



ENC424J600/624J600

数据手册

带 SPI 或并行接口的
独立 10/100 以太网控制器

请注意以下有关 Microchip 器件代码保护功能的要点:

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信: 在正常使用的情况下, Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前, 仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知, 所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。

代码保护功能处于持续发展中。Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了《数字器件千年版权法案 (Digital Millennium Copyright Act)》。如果这种行为导致他人在未经授权的情况下, 能访问您的软件或其他受版权保护的成果, 您有权依据该法案提起诉讼, 从而制止这种行为。

提供本文档的中文版本仅为便于理解。请勿忽视文档中包含的英文部分, 因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为为您提供便利, 它们可能由更新之信息所替代。确保应用符合技术规范, 是您自身应负的责任。Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保, 包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和/或生命安全应用, 一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时, 会维护和保障 Microchip 免于承担法律责任, 并加以赔偿。在 Microchip 知识产权保护下, 不得暗中或以其他方式转让任何许可证。

商标

Microchip 的名称和徽标组合、Microchip 徽标、dsPIC、KEELOQ、KEELOQ 徽标、MPLAB、PIC、PICmicro、PICSTART、PIC³² 徽标、rfPIC 和 UNI/O 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

FilterLab、Hampshire、HI-TECH C、Linear Active Thermistor、MXDEV、MXLAB、SEEVAL 和 The Embedded Control Solutions Company 均为 Microchip Technology Inc. 在美国的注册商标。

Analog-for-the-Digital Age、Application Maestro、CodeGuard、dsPICDEM、dsPICDEM.net、dsPICworks、dsSPEAK、ECAN、ECONOMONITOR、FanSense、HI-TIDE、In-Circuit Serial Programming、ICSP、Mindi、MiWi、MPASM、MPLAB Certified 徽标、MPLIB、MPLINK、mTouch、Octopus、Omniscient Code Generation、PICC、PICC-18、PICDEM、PICDEM.net、PICKit、PICKtail、REAL ICE、rLAB、Select Mode、Total Endurance、TSHARC、UniWinDriver、WiperLock 和 ZENA 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。

SQTP 是 Microchip Technology Inc. 在美国的服务标记。

在此提及的所有其他商标均为各持有公司所有。

© 2010, Microchip Technology Inc. 版权所有。

ISBN: 978-1-60932-092-8

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
== ISO/TS 16949:2002 ==

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham 的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2002 认证。公司在 PIC[®] MCU 与 dsPIC[®] DSC、KEELOQ[®] 跳码器件、串行 EEPROM、单片机外设、非易失性存储器和模拟产品方面的质量体系流程均符合 ISO/TS-16949:2002。此外, Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

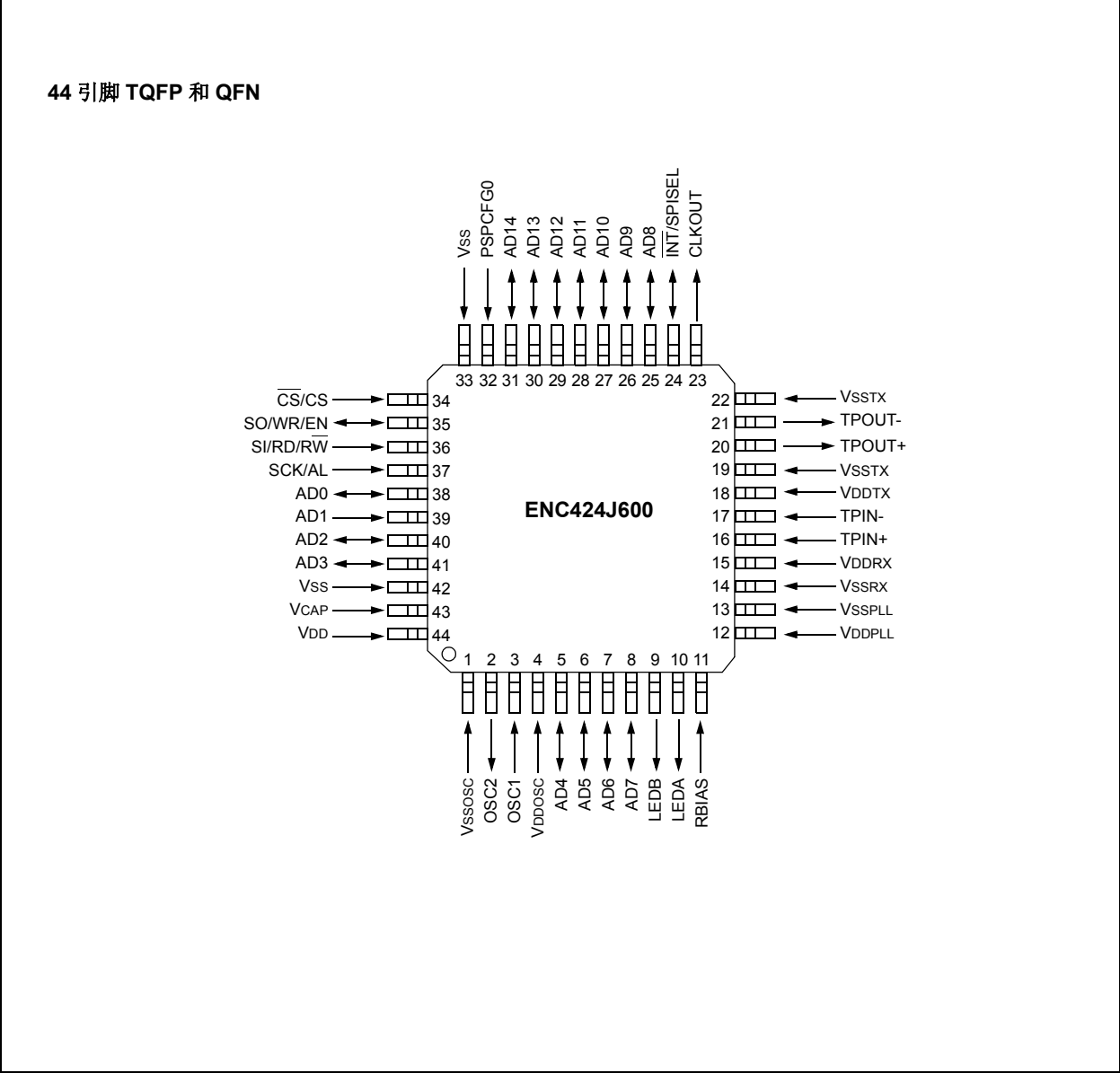
带 SPI 或并行接口的独立 10/100 以太网控制器

- 符合 IEEE 802.3™ 的快速以太网控制器
- 集成 MAC 和 10/100Base-T PHY
- 硬件安全加速引擎
- 24 KB 的发送 / 接收数据包缓冲 SRAM
- 支持一个带自动极性检测和校正的 10/100Base-T 端口
- 支持自动协商
- 支持暂停控制帧，包括自动发送和接收流控制
- 支持半双工和全双工工作模式
- 可编程为在发生冲突时自动重发
- 可编程填充和 CRC 生成
- 可编程自动拒绝错误数据包和过小数据包
- 工厂预编程的唯一 MAC 地址
- MAC:
 - 支持单播、多播和广播数据包
 - 支持混杂接收
 - 可编程模式匹配
 - 可编程多种数据包格式过滤，包括 Magic Packet™、单播、多播、广播、特定数据包匹配、目标地址哈希匹配或其他数据包
- PHY:
 - 波形整形输出滤波器
 - 内部环回模式
 - 能量检测掉电模式
- 可用 MCU 接口:
 - 带有增强操作码集的 14 Mbit/s SPI 接口（44 引脚和 64 引脚封装）
 - 8 位复用并行接口（44 引脚和 64 引脚封装）
 - 8 位 / 16 位复用或解复用并行接口（仅 64 引脚封装）
- 安全引擎:
 - 支持最长 1024 位操作数的高性能模幂运算引擎
 - 支持 RSA® 和 Diffie-Hellman 密钥交换算法
 - 高性能 AES 加密 / 解密引擎，支持 128 位、192 位和 256 位密钥
 - 支持硬件 AES ECB、CBC、CFB 和 OFB 模式
 - 支持软件 AES CTR 模式
 - 快速 MD5 哈希计算
 - 快速 SHA-1 哈希计算
- 缓冲区:
 - 可配置发送 / 接收缓冲区大小
 - 硬件管理的循环接收 FIFO
 - 8 位 / 16 位随机访问和顺序访问
 - 用于快速存储器复制的高性能内部 DMA
 - 支持高性能的硬件 IP 校验和计算
 - 掉电模式下也可访问
 - 除了用于发送和接收数据包之外，缓冲空间也可用于常规应用
- 工作特性:
 - 两个用于支持单 / 双 LED 配置的 LED 指示输出
 - 发送和接收中断
 - 25 MHz 时钟
 - 可承受 5V 输入电压
 - 可编程频率范围为 50 kHz 至 33.3 MHz 的时钟输出引脚
 - 工作电压范围为 3.0V 至 3.6V
 - 温度范围: -40°C 至 +85°C（工业级）
- 提供 44 引脚 TQFP 和 QFN 封装以及 64 引脚 TQFP 封装

器件	SRAM (字节)	引脚数	速度 (Mbps)	安全			SPI	PSP			
				ModEx 1024 位	MD5 SHA-1	AES 256 位		复用		解复用	
								8 位	16 位	8 位	16 位
ENC424J600	24K	44	10/100	有	有	有	有	无	无	无	
ENC624J600	24K	64	10/100	有	有	有	有	有	有	有	

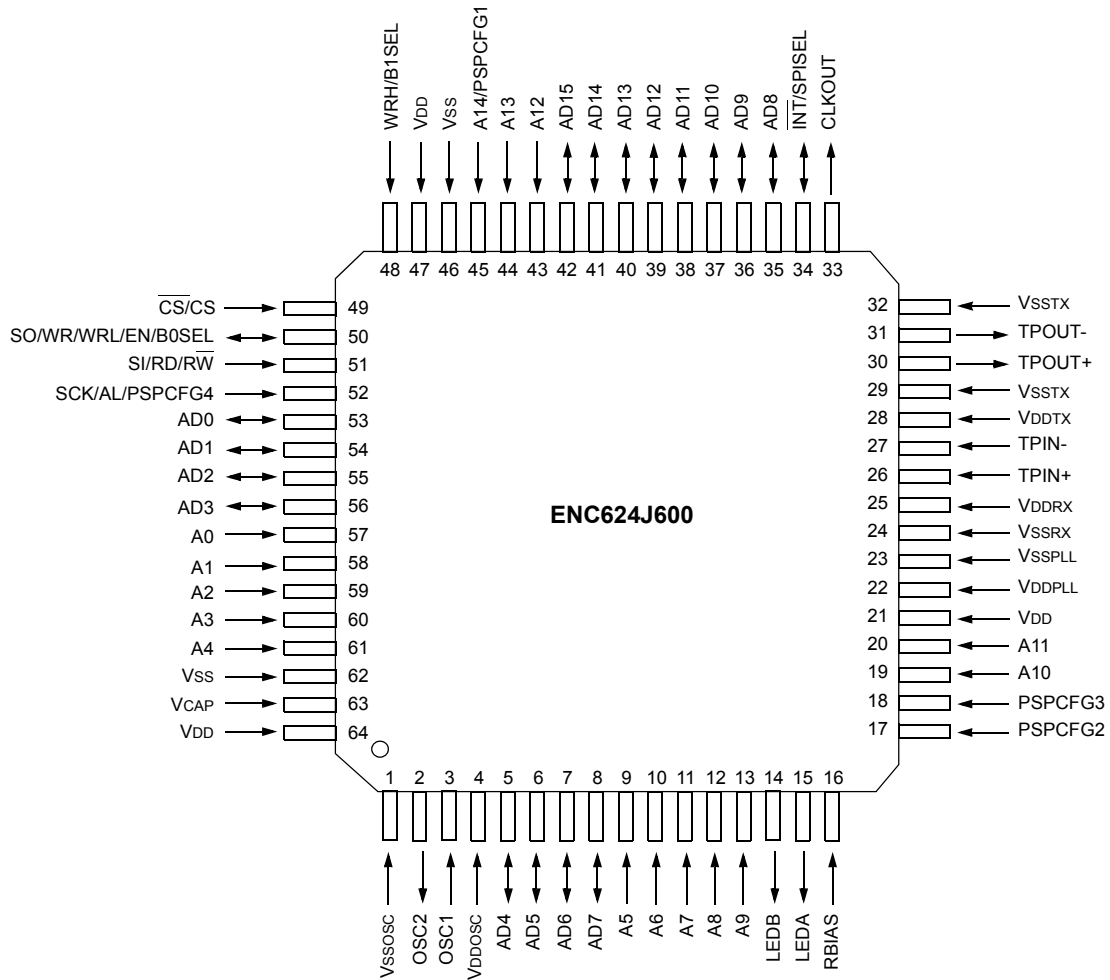
ENC424J600/624J600

引脚图



引脚图 (续)

64 引脚 TQFP



ENC424J600/624J600

目录

1.0	器件概述	5
2.0	外部连接	9
3.0	存储器构成	17
4.0	串行外设接口（SPI）	39
5.0	并行从端口接口（PSP）	51
6.0	以太网概述	71
7.0	复位	73
8.0	初始化	75
9.0	发送和接收数据包	83
10.0	接收过滤器	95
11.0	流控制	105
12.0	速度 / 双工模式配置和自动协商	109
13.0	中断	117
14.0	直接存储器访问（DMA）控制器	123
15.0	加密安全引擎	125
16.0	节能特性	137
17.0	电气特性	141
18.0	封装信息	149
附录 A:	版本历史	157
索引		159
Microchip 网站		163
变更通知客户服务		163
客户支持		163
读者反馈表		164
产品标识体系		165

致客户

我们旨在提供最佳文档供客户正确使用 Microchip 产品。为此，我们将不断改进出版物的内容和质量，使之更好地满足您的要求。出版物的质量将随新文档及更新版本的推出而得到提升。

如果您对本出版物有任何问题或建议，请通过电子邮件联系我公司 TRC 经理，电子邮件地址为 CTRC@microchip.com，或将本数据手册后附的《读者反馈表》传真到 86-21-5407 5066。我们期待您的反馈。

最新数据手册

欲获得本数据手册的最新版本，请查询我公司的网站：

<http://www.microchip.com>

查看数据手册中任意一页下边角处的文献编号即可确定其版本。文献编号中数字串后的字母是版本号（例如，DS30000A 是文档 DS30000 的 A 版本）。

勘误表

现有器件可能带有一份勘误表，描述了实际运行与数据手册中记载内容之间存在的细微差异以及建议的变通方法。一旦我们了解到器件 / 文档存在某些差异时，就会发布勘误表。勘误表将注明其所适用的硅片版本和文档版本。

欲了解某一器件是否存在勘误表，请通过以下方式之一查询：

- Microchip 的网站：<http://www.microchip.com>
- 当地 Microchip 销售办事处（见最后一页）

在联络销售办事处或文献中心时，请说明您所使用的器件型号、硅片版本和数据手册版本（包括文献编号）。

客户通知系统

欲及时获知 Microchip 产品的最新信息，请到我公司网站 www.microchip.com 上注册。

1.0 器件概述

本文档包含以下器件的特定信息：

- ENC424J600
- ENC624J600

ENC424J600 和 ENC624J600 是带有行业标准串行外设接口（Serial Peripheral Interface, SPI）或柔性并行接口的独立快速以太网控制器。它们可用作任何配备有 SPI 或标准并行端口的单片机的以太网网络接口。

ENC424J600/624J600 器件符合 IEEE 802.3 中适用于 10 Base-T 和 100 Base-TX 以太网的全部规范，包括许多可选条款，例如自动协商。ENC424J600/624J600 器件采用了一系列数据包过滤机制以对传入数据包进行限制。它们还提供了一个 16 位宽的内部 DMA，以实现快速数据吞吐和硬件 IP 校验和计算支持。

对于需要 SSL、TLS 以及其他与加密相关的协议的安全和身份验证功能的应用，提供了一个安全引擎模块。该引擎可执行 RSA、Diffie-Hellman、AES、MD5 和 SHA-1 算法计算，以缩短代码大小、加快连接的建立和吞吐，并减少固件开发的工作量。

通过 SPI 或并行接口与单片机通信，数据传输速率为 14 Mbit/s（对于 SPI）至 160 Mbit/s（对于 16 位解复用并行接口）。提供了专用于 LED 连接、活动指示以及发送 / 接收 / DMA 中断的引脚。

提供了一个通用 24 KB 片内 RAM 缓冲区，用于执行发送和接收操作。主单片机还可以用它来进行常规存储操作。通信协议（例如 TCP）可使用此存储器保存可能需要重新发送的数据。

在最终产品易于生产性方面，ENC624J600 系列的每个器件都预编程了唯一的非易失性 MAC 地址。在大多数情况下，这使最终器件省去了串行编程步骤。

ENC424J600（44 引脚）和 ENC624J600（64 引脚）器件之间的唯一功能性区别是它们支持的并行接口选项不同。表 1-1 提供了这些区别及公共特性的汇总。图 1-1 给出了器件的一般框图。

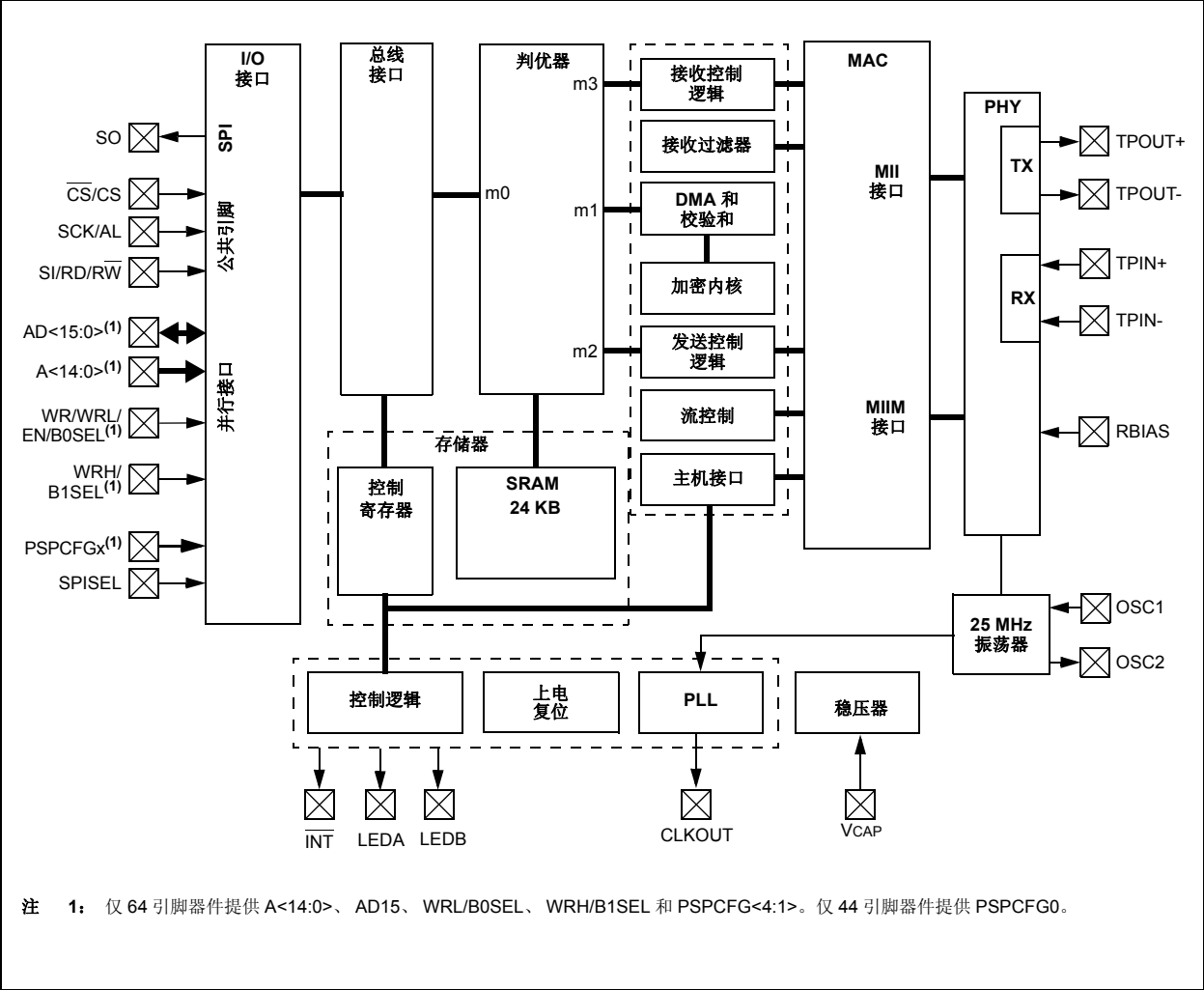
表 1-2 中给出了按功能排序的引脚功能列表。

表 1-1: ENC424J600/624J600 的器件特性

特性	ENC424J600	ENC624J600
引脚数	44	64
以太网工作速度	10/100 Mbps（自动协商、自动检测或手动）	
以太网双工模式	半双工和全双工（自动协商和手动）	
以太网流控制	暂停和背压（自动和手动）	
缓冲存储器（字节）	24K（按 12K 字 x 16 组织）	
内部中断源	11（可映射到单个外部中断标志）	
串行主机接口（SPI）	有	有
并行主机接口：		
工作模式	2	8
复用，8 位	有	有
16 位	无	有
解复用，8 位	无	有
16 位	无	有
加密安全选项：		
128/192/256 位 AES	有	有
MD5/SHA-1	有	有
1024 位模幂	有	有
接收过滤器选项	根据 CRC 匹配 / 不匹配、过小错误收集或拒绝、单播、非本地（Not-Me）单播、多播、广播、Magic Packet™、模式表和哈希表来接受或拒绝数据包	
封装	44 引脚 TQFP 和 QFN	64 引脚 TQFP

ENC424J600/624J600

图 1-1: ENC424J600/624J600 框图



ENC424J600/624J600

表 1-2: ENC424J600/624J600 引脚说明

引脚名称	引脚号		引脚类型	输入缓冲器	说明
	44 引脚	64 引脚			
AD0	38	53	I/O	CMOS	PSP 复用地址输入总线和 / 或双向数据总线
AD1	39	54	I/O	CMOS	
AD2	40	55	I/O	CMOS	
AD3	41	56	I/O	CMOS	
AD4	5	5	I/O	CMOS	
AD5	6	6	I/O	CMOS	
AD6	7	7	I/O	CMOS	
AD7	8	8	I/O	CMOS	
AD8	25	35	I/O	CMOS	
AD9	26	36	I/O	CMOS	
AD10	27	37	I/O	CMOS	
AD11	28	38	I/O	CMOS	
AD12	29	39	I/O	CMOS	
AD13	30	40	I/O	CMOS	
AD14	31	41	I/O	CMOS	
AD15	—	42	I/O	CMOS	
A0	—	57	I	CMOS	PSP 解复用地址输入总线
A1	—	58	I	CMOS	
A2	—	59	I	CMOS	
A3	—	60	I	CMOS	
A4	—	61	I	CMOS	
A5	—	9	I	CMOS	
A6	—	10	I	CMOS	
A7	—	11	I	CMOS	
A8	—	12	I	CMOS	
A9	—	13	I	CMOS	
A10	—	19	I	CMOS	
A11	—	20	I	CMOS	
A12	—	43	I	CMOS	
A13	—	44	I	CMOS	
A14	—	45	I	CMOS	
AL	37	52	I	CMOS	PSP 地址锁存引脚
B0SEL	—	50	I	CMOS	PSP 字节 0 选择引脚
B1SEL	—	48	I	CMOS	PSP 字节 1 选择引脚
CLKOUT	23	33	O	—	可供外部使用的可编程时钟输出引脚
$\overline{\text{CS}}$	34	49	I	CMOS	SPI 片选引脚（低电平有效）
CS	34	49	I	CMOS	PSP 片选引脚（高电平有效）
EN	35	50	I	CMOS	PSP R/W 使能选通引脚
$\overline{\text{INT}}$	24	34	O	—	中断输出引脚（低电平有效）
LEDA	10	15	O	—	可编程以太网状态 / 活动 LED 引脚
LEDB	9	14	O	—	可编程以太网状态 / 活动 LED 引脚

图注: I = 输入; O = 输出; P = 电源; CMOS = CMOS 兼容输入缓冲器; ANA = 模拟电平输入 / 输出

ENC424J600/624J600

表 1-2: ENC424J600/624J600 引脚说明 (续)

引脚名称	引脚号		引脚类型	输入缓冲器	说明
	44 引脚	64 引脚			
OSC1	3	3	I	ANA	25 MHz 晶振 / 时钟输入引脚
OSC2	2	2	O	—	25 MHz 晶振输出引脚
PSPCFG0	32	—	I	CMOS	PSP 模式选择引脚 0
PSPCFG1	—	45	I	CMOS	PSP 模式选择引脚 1
PSPCFG2	—	17	I	CMOS	PSP 模式选择引脚 2
PSPCFG3	—	18	I	CMOS	PSP 模式选择引脚 3
PSPCFG4	—	52	I	CMOS	PSP 模式选择引脚 4
RBIAS	11	16	I	ANA	PHY 偏置 (外部电阻) 连接引脚
RD	36	51	I	CMOS	PSP 读选通引脚
RW	36	51	I	CMOS	PSP 读 / 写信号组合引脚
SCK	37	52	I	CMOS	SPI 串行时钟输入引脚
SI	36	51	I	CMOS	SPI 串行数据输入引脚 (来自主器件)
SO	35	50	O	—	SPI 串行数据输出引脚 (至主器件)
SPISEL	24	34	I	CMOS	SPI/PSP 接口选择引脚
TPIN-	17	27	I	ANA	以太网接收负差分信号输入引脚
TPIN+	16	26	I	ANA	以太网接收正差分信号输入引脚
TPOUT-	21	31	O	—	以太网发送负差分信号输出引脚
TPOUT+	20	30	O	—	以太网发送正差分信号输出引脚
VCAP	43	63	P	—	稳压器外接电容引脚
VDD	44	21, 47, 64	P	—	数字逻辑的正 3.3V 电源
VDDOSC	4	4	P	—	25 MHz 振荡器的正 3.3V 电源
VDDPLL	12	22	P	—	PHY PLL 电路的正 3.3V 电源
VDDRX	15	25	P	—	PHY RX 电路的正 3.3V 电源
VDDTX	18	28	P	—	PHY TX 电路的正 3.3V 电源
VSS	33, 42	46, 62	P	—	数字逻辑的参考地
VSSOSC	1	1	P	—	25 MHz 振荡器的参考地
VSSPLL	13	23	P	—	PHY PLL 电路的参考地
VSSRX	14	24	P	—	PHY RX 电路的参考地
VSSTX	19, 22	29, 32	P	—	PHY TX 电路的参考地
WR	35	50	I	CMOS	PSP 写选通引脚
WRH	—	48	I	CMOS	PSP 高字节写选通引脚
WRL	—	50	I	CMOS	PSP 低字节写选通引脚

图注: I = 输入; O = 输出; P = 电源; CMOS = CMOS 兼容输入缓冲器; ANA = 模拟电平输入 / 输出

2.0 外部连接

2.1 振荡器

PIC18F1220/1320 器件工作在固定的 25 MHz 时钟输入下。该时钟可由外部 CMOS 时钟振荡器产生，或由 OSC1 和 OSC2 引脚之间连接的平行切割、基本模式 25 MHz 晶振产生。使用顺序切割的晶振可能会使振荡器产生的频率不正确。要符合 IEEE 802.3 以太网时序要求，时钟总误差必须小于等于 ± 50 ppm；不要使用超出此范围的谐振器或时钟生成器。

当器件使用晶振作为时钟源时，请采用图 2-1 中给出的连接。当使用 CMOS 时钟振荡器或其他外部时钟源时，请采用图 2-2 中给出的连接。

图 2-1: 晶振工作原理

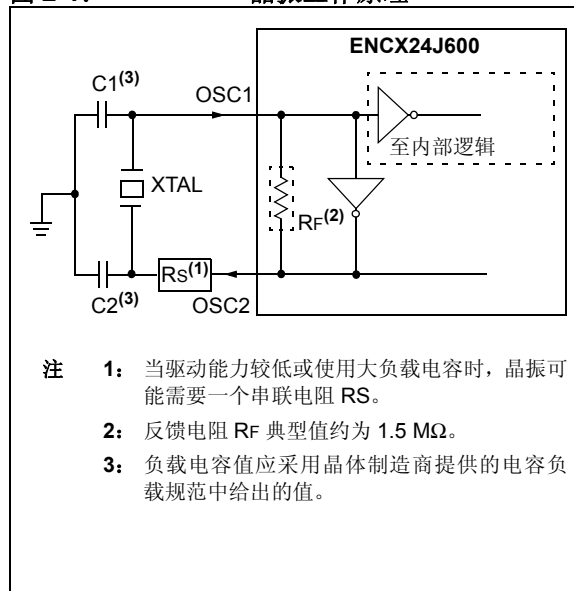
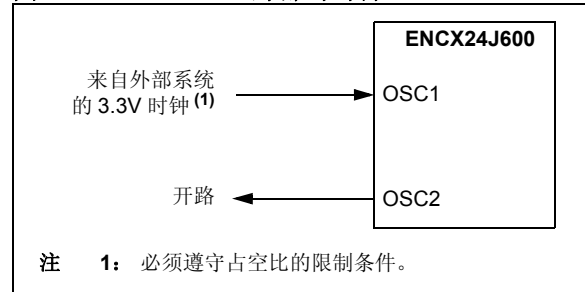


图 2-2: 外部时钟源



2.2 CLKOUT 引脚

可选择通过时钟输出引脚（CLKOUT）为主控制器或系统中其他器件提供时钟源。

PLL 可对 OSC1 引脚上连接的 25 MHz 时钟进行倍频，以在内部生成 100 MHz 的时基。通过可配置后分频器驱动此 100 MHz 时钟，可产生范围较宽的各种 CLKOUT 频率。PLL 倍频中增加了时钟抖动，该抖动符合第 17.0 节“电气特性”中的 PLL 抖动规范。但是，后分频器确保时钟具有一个近似理想的占空比。

通过 COCON<3:0> 位（ECON2<11:8>）使能 CLKOUT 功能和选择后分频比。要产生干净的时钟信号，必须使 CLKOUT 输出和 COCON 位不受所有复位和掉电模式的影响。退出上电复位后，CLKOUT 功能被使能，且默认产生 4 MHz 时钟。这使得器件能够为主处理器直接提供时钟。

当 COCON 位被写为新的配置时，CLKOUT 输出可以切换到新的频率而不产生任何毛刺。不会产生持续时间短于原始时钟或新时钟的高电平脉冲或低电平脉冲。

ENC424J600/624J600

2.3 电压引脚和偏置引脚

2.3.1 VDD 和 VSS 引脚

要降低片内噪声大小和满足以太网的高电流需求，PIC18F1220/1320 器件上应提供许多电源引脚：

- VDD 和 VSS
- VDDOSC 和 VSSOSC
- VDDPLL 和 VSSPLL
- VDDRX 和 VSSRX
- VDDTX 和 VSSTX

上面的每个 VDD 和 VSS 引脚上应有一个尽可能靠近引脚放置的 $0.1\ \mu\text{F}$ 陶瓷旁路电容。为了更好地抑制 EMI 辐射，应靠近 VDDTX/VSSTX 和 VDDPLL/VSSPLL 引脚、在相应的 VDD 和 VSS 引脚之间放置一些其他的小电容，例如 $0.001\ \mu\text{F}$ 的电容。

所有 VDD 电源引脚必须外接相同的 $3.3\text{V} \pm 10\%$ 电源。同样地，所有 VSS 电源参考地引脚必须外接相同的接地节点。如果两个引脚上存在地连接（例如 VSSTX），那么需将这两个引脚连接起来，不要让任何一个引脚悬空。此外，建议 44 引脚 QFN 封装上的底部外露金属焊盘与 Vss 相连。

不建议在任意两个电源引脚之间（例如 VDDOSC 和 VDDRX 之间）放置铁氧体磁环或电感。但是，如果为了抑制电源噪声而使用一个铁氧体磁环或电感将所有 VDD 电源与主电路电源隔离，这是可以接受的。通常情况下不必进行这种隔离。

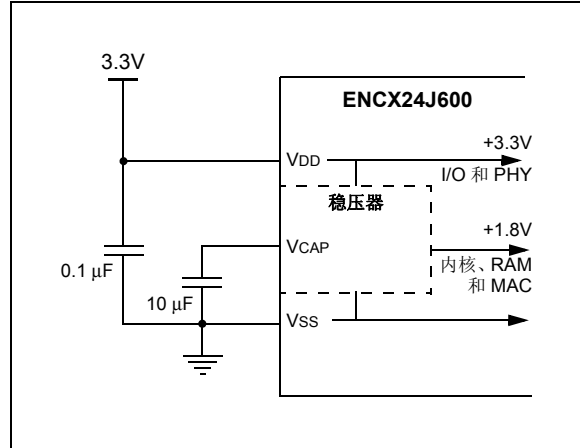
2.3.2 VCAP 引脚

大多数器件的数字逻辑的标称工作电压为 1.8V 。此电压由片内稳压器提供，片内稳压器从 VDD 轨生成数字电源电压。唯一需要的外部元件是外部滤波电容，连接在 VCAP 引脚和地之间，如图 2-3 所示。建议采用大于等于 $10\ \mu\text{F}$ 的电容。

该电容还必须具有一个相对较低的等效串联电阻（Equivalent Series Resistance, ESR）。建议使用低 ESR 电容（陶瓷电容、钽电容或类似电容），避免使用高 ESR 电容（例如铝电解电容）。

内部稳压器不用于驱动外部负载；因此，不要把其他电路连接到 VCAP。

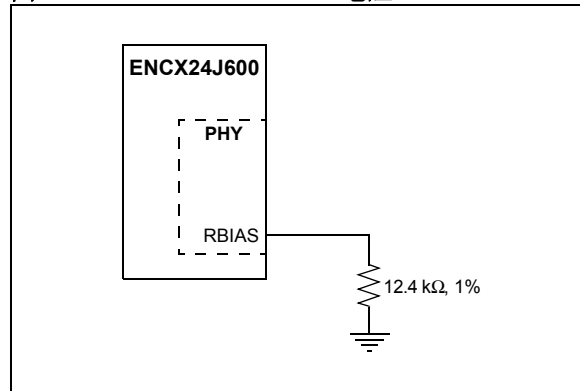
图 2-3: VCAP 连接



2.3.3 RBIAS 引脚

PHY 模块中的内部模拟电路需要在 RBIAS 和地之间外接一个阻值为 $12.4\ \text{k}\Omega$ 、精度为 1% 的电阻，如图 2-4 所示。该电阻影响 TPOUT+/- 引脚信号的幅值。RBIAS 电阻应尽可能靠近芯片放置，不要紧邻信号线，以防止噪声容性耦合到该引脚并影响发送操作。建议采用表面贴装型电阻。

图 2-4: RBIAS 电阻



2.4 以太网信号引脚和外部磁性元件

PIC18F1220/1320 器件的典型应用需要使用一个以太网变压器模块以及几个电阻和电容来实现完全符合 IEEE 802.3 的 10/100 以太网接口，如图 2-5 所示。

以太网发送接口由两个引脚组成：TPOUT+ 和 TPOUT-。这两个引脚实现了一个差分对和电流模式发送器。要产生以太网波形，一般应用需要使用 1:1 的中心抽头式脉冲变压器，用于 10/100 或 10/100/1000 以太网操作。当以太网模块被使能且与其他模块连接时，从 TPOUT 引脚连续地灌电流。当 PHY 正在发送时，通过改变 TPOUT+ 和 TPOUT- 的相对灌电流，在以太网电缆上产生差分电压。

类似地，以太网接收接口也由差分对组成：TPIN+ 和 TPIN-。要符合 IEEE 802.3 标准并帮助防止静电释放，这些引脚常常通过 1:1 中心抽头式变压器（与发送变压器封装在一起）与以太网电缆隔离。

PHY 使用内置的高速 ADC 采样接收波形并使用 DSP 对其进行解码。PHY 实现了许多强大的功能，包括基线漂

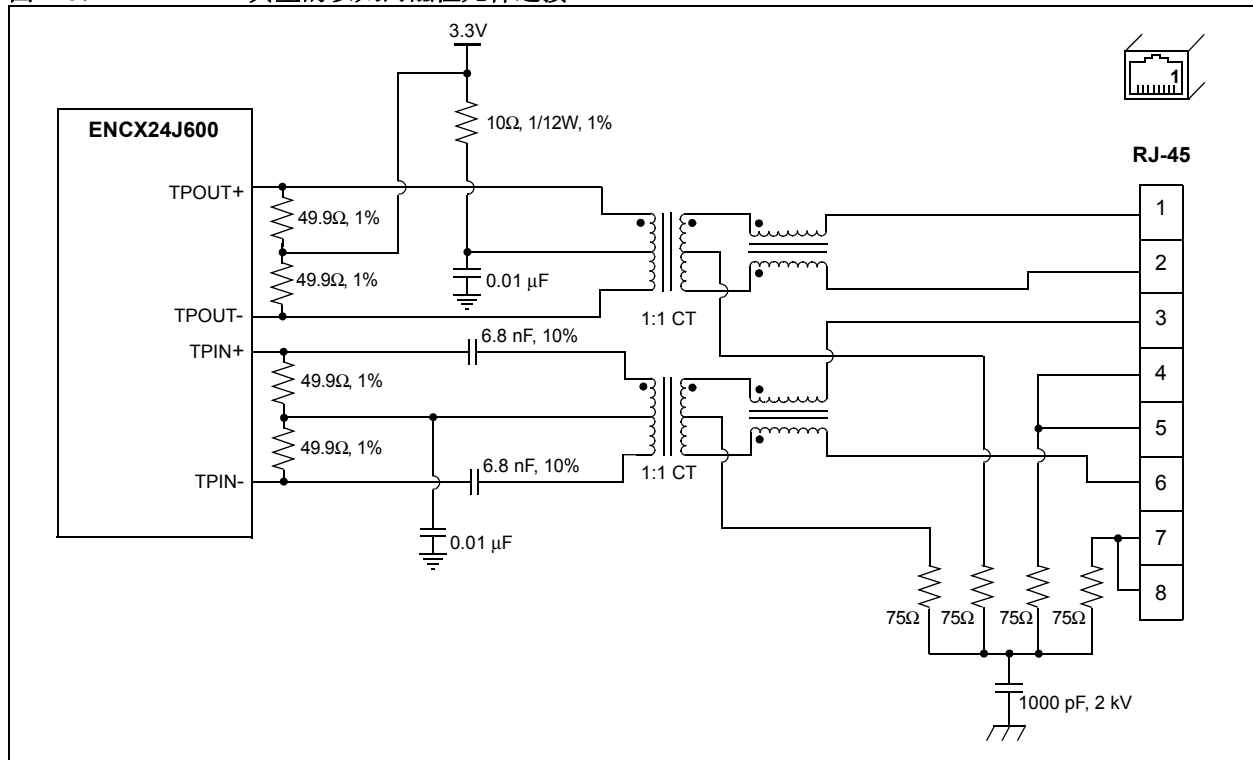
移校正（适用于 100Base-TX）和自动接收极性校正（适用于 10Base-T）。

要正确终止发送和接收传输线，需要连接四个阻值为 49.9Ω 、精度为 1% 的电阻。如果 ENC424J600 和以太网变压器之间的电路板布线较长，那么端接电阻应靠近芯片（而不是靠近变压器）放置。

在接收信号路径上，使用了两个电容值为 6.8 nF 、精度为 10% 的电容。这些电容与 49.9Ω 的端接电阻一起形成了一个 RC 高通滤波器，以降低基线漂移。为获得最佳性能，请不要遗漏或更改这些电容。其余各电容可以阻止直流电流，并为两个差分对提供稳定的共模电压。TPIN+/- 引脚输出可被内部 ADC 接受的弱共模电压。要确保正常操作，请不要尝试从外部将 TPIN+/- 共模电压强制为某个其他值。

在电源到发送变压器中心抽头的电流路径中连接了一个阻值为 10Ω 、精度为 1% 的电阻。如前所述，TPOUT+/- 引脚实现了一个电流模式的驱动拓扑，在该拓扑中，引脚只能灌电流，不产生直流电压。流经变压器的电流路径产生发送波形。 10Ω 电阻可以降低 PHY 的散热量，因此必须具有 $1/12\text{ W}$ 或更高的额定功率。

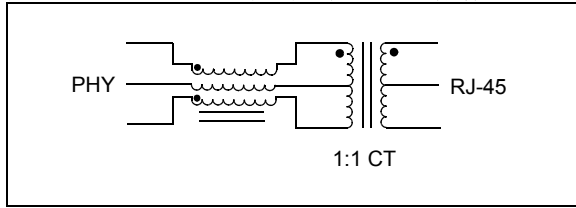
图 2-5: 典型的以太网磁性元件连接



2.4.1 其他 EMI 和布线注意事项

要减少 EMI 辐射，应该在电缆（RJ-45）侧靠近变压器放置共模电感。这些电感应是典型以太网变压器模块中使用的标准电感。由于 ENCX24J600 PHY 使用了电流模式的驱动拓扑，所以正常情况下发送电感必须放置在发送变压器的电缆侧。对于磁性元件，电感放置在发送变压器的 PHY 侧通常会导致产生失真、不符合要求的发送波形。但是，有些用发送中心抽头线缠绕发送电感铁芯的磁性元件也可用于产生符合要求的波形（图 2-6）。这些类型的变压器适合用在某些以太网供电（Power-over Ethernet, PoE）应用中。

图 2-6: 备用的发送电感拓扑



接收接口上的共模电感可以放置在接收变压器的电缆侧或 PHY 侧。磁性元件的建议特性和必需特性如第 17.0 节“电气特性”所述。

图 2-5 中的四个 75Ω 电阻和高压电容用于防止以太网电缆中的每根双绞线悬空和发射 EMI。在 PoE 应用中需要对其实现进行调整。

除非发送和接收信号对比较短，否则它们应遵守差分布线规则连接至 ENCX24J600 和以太网连接器之间。与以太网电缆一样，差分走线的目标特性阻抗应是 100Ω。应尽量减少过孔的使用，因为这会导致阻抗不连续。其他电路板级别的信号不应与发送和接收信号对平行，以减少容性耦合和串扰。

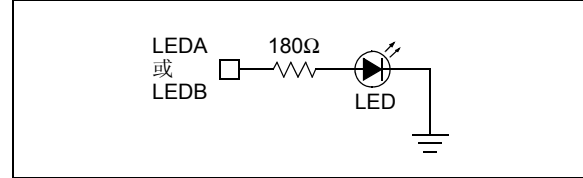
2.5 LEDA 和 LEDB 引脚

LEDA 和 LEDB 引脚提供了专用的 LED 状态指示输出。LED 用于显示链路状态、发送 / 接收活动以及其他可编程选项；然而完全可以选择使用一个还是两个 LED。这两个引脚由硬件自动驱动，不需要主单片机的支持。除了 LED 本身之外，通常只需要一个元件即限流电阻。

默认情况下在上电复位时，LEDA 显示以太网链路状态，LEDB 显示 PHY 级别的发送 / 接收活动。由于 LED 工作在 PHY 级别，所以任何时候只要检测到以太网数据包，不管该数据包是否有效，也不管它是否满足正确的接收过滤条件，在 LEDB 上都会显示有接收活动。

正常情况下，器件通过在引脚上输出拉电流来点亮 LED，如图 2-7 所示。如果反向连接 LED，将阳极与 VDD 相连，阴极通过限流电阻与 LEDA/LEDB 相连，将会导致 LED 显示“反向感应”行为，在 LED 应该关闭的时候点亮，在应该开启的时候熄灭。

图 2-7: 单色 LED 连接

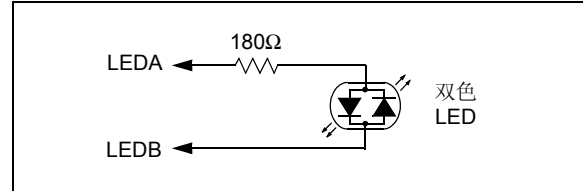


只要通电、提供 25 MHz 时钟和以太网磁性元件且正确连线，那么两个 LED 都会自动开始工作。无需通过 SPI 或 PSP 接口连接到主单片机。因此，LEDA 和 LEDB 可用作初始原型开发期间指示成功组装的快速指示器。

2.5.1 使用双色 LED

在空间有限的应用中，经常需要使用一个双色 LED 来显示多个工作参数。这些 LED 连接在 LEDA 和 LEDB 之间，如图 2-8 所示。

图 2-8: 双色 LED 连接



ENCX24J600 器件使用两种特殊的硬件显示模式来最大程度地利用双色 LED。当 LACFG<3:0> 和 LBCFG<3:0> (EIDLED<15:8>) 位设置为 1111 或 1110 时，可以分别选择这两种模式。在这两种配置中，链路状态点亮 LED，速度 / 双工状态设置 LED 颜色，而发送 / 接收事件使 LED 熄灭。如果有链路、未发生发送 / 接收事件且速度 / 双工状态为 100 Mbps/ 全双工，那么 LEDB 引脚驱动为高电平，而 LEDA 驱动为低电平。

2.6 $\overline{\text{INT}}$ 引脚

$\overline{\text{INT}}$ 是低电平有效的信号，用于标识外部器件的中断事件。根据应用的不同，它可用于在已发送或接收到数据包或发生一些其他异步操作时用信号通知主单片机。它还可用于唤醒单片机或其他基于 LAN 活动的系统组件；这是可选功能。

当没有中断在等待处理时， $\overline{\text{INT}}$ 引脚驱动为高电平，当发生中断时，驱动为低电平。它不会进入高阻态，除非在最初上电时使用了复用的 SPISEL 引脚功能。

由于 ENC424J600/624J600 器件使用缓冲区存储发送和接收数据包，所以主单片机无需对器件执行实时操作。单片机可查询器件寄存器以查看器件状态是否已更改。

2.7 主接口引脚

要使与单片机的接口具有高度的灵活性，ENC424J600/624J600 器件提供了两种选择：基于串行外设接口（SPI）标准的串行接口和灵活的 8/16 位并行从端口（Parallel Slave Port, PSP）接口。在任何给定时间只能使用一个接口。

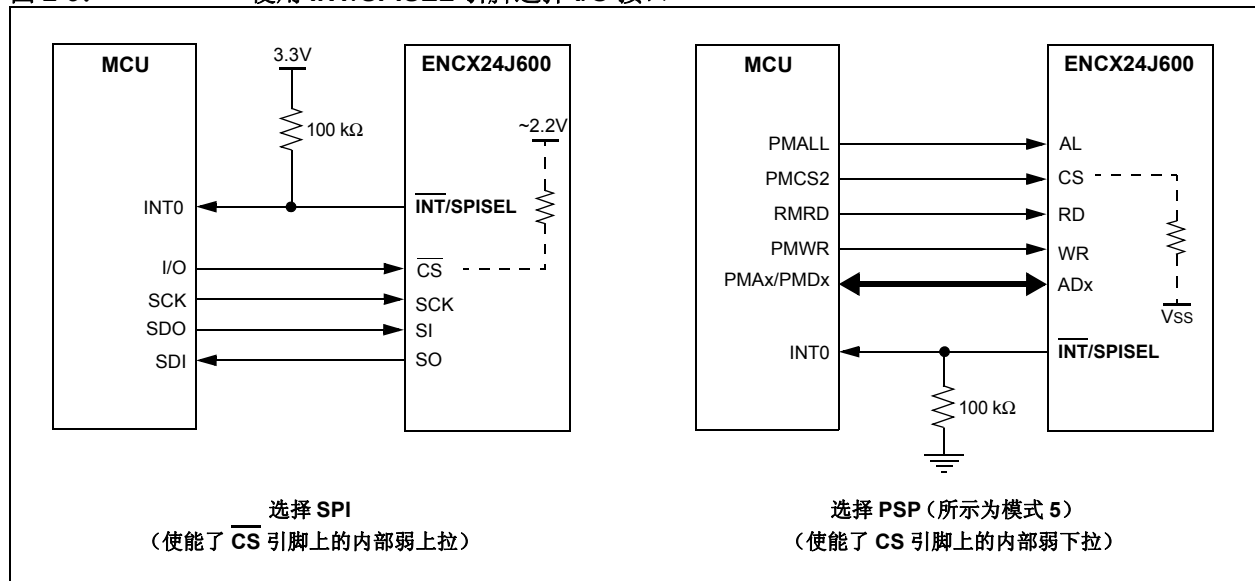
在上电时通过 $\overline{\text{INT}}$ /SPISEL 引脚上的 SPISEL 功能由硬件选择 I/O 接口。要完成此操作，只需在向器件供电且器件退出上电复位状态后将施加到该引脚的电平约锁存

1 至 10 μs 。如果 SPISEL 被锁存在逻辑高电平状态，将使能串行接口。如果 SPISEL 被锁存在逻辑低电平状态，则使能 PSP 接口。图 2-9 给出了上电时选择 SPI 或 PSP 接口所需的连接示例。

要确保上电时选择 SPI 接口，则必须在 VDD 和 SPISEL 引脚之间连接一个外部上拉电阻。此外，如果使用并行接口，那么必须在 VSS 和 SPISEL 引脚之间连接一个下拉电阻。在大多数电路中，建议使用小于等于 100 k Ω 的电阻来确保可靠地锁存正确的逻辑电平。如果 SPISEL 电路中存在大电容（例如寄生电容），则可能需要使用一个小的上拉或下拉电阻来进行补偿并确保上电期间检测到正确的电平。

当 SPISEL 与 $\overline{\text{INT}}$ 中断输出功能复用时，禁止不通过电阻直接连接到 VDD 或 VSS。如果 $\overline{\text{INT}}$ 与主单片机相连，则单片机必须保持该引脚信号为高阻态，并禁止在上电期间将其驱动为不正确的逻辑状态。如果 VDD 电源的上升速度较慢，器件将退出 POR，等待 1 至 10 μs 的锁存定时器延时，然后在 VDD 达到器件指定的最小工作电压前采样 SPISEL 引脚的状态。这种情况下，器件仍然锁存正确的值，假设其电压满足最小值 V_{IH} （D004）或最大值 V_{IL} （D006）规范，这两个参数是 VDD 的函数。

图 2-9: 使用 $\overline{\text{INT}}$ /SPISEL 引脚选择 I/O 接口



ENC424J600/624J600

2.7.1 SPI

使能时，通过以下四个引脚实现 SPI 接口：

- $\overline{\text{CS}}$
- SO
- SI
- SCK

必须连接所有这四个引脚以使用 SPI 接口。

$\overline{\text{CS}}$ 、SI 和 SCK 输入引脚都可承受 5V 的电压。SO 引脚处于高阻态时也可承受 5V 的电压。当 $\overline{\text{CS}}$ 连接至逻辑高电平（即未选择芯片）时，SO 始终为高阻态。

当使能 SPI 接口时，所有 PSP 接口引脚（ENC624J600 器件上的 PSPCFG2 和 PSPCFG3 除外）都未被使用。它们都处于高阻态且禁止其输入缓冲器。要确保最佳的 ESD 性能，建议将未使用的 PSP 引脚连接至 Vss 或 VDD。但是，如果由于电路板级别布局和布线的需要，则可以将这些引脚保持为悬空状态。

如果 ENC624J600 器件工作在 SPI 模式下，建议将 PSPCFG2 和 PSPCFG3 引脚连接至 Vss 或任何逻辑高电压，不要悬空。使用的具体状态并不重要。

2.7.2 PSP

根据特定器件的需要，PSP 接口可以通过最多 34 个引脚实现。该接口是高度可配置接口，以适应多种不同的

并行接口；不是每种配置都要用到所有可用的引脚。最多有 8 种不同的工作模式。第 5.0 节“并行从端口接口（PSP）”对这些模式进行了详细说明。

PSPCFG 引脚控制所使用的并行接口模式。器件上电时，这些引脚上的值与 SPISEL 引脚上值的锁存方法相同。不同 PSPCFG 模式引脚上的 VDD 和 Vss 电压组合决定了 PSP 模式，如表 2-1 所示。

ENC424J600 器件上只提供了 PSP 模式 5 和 6（8 位宽、复用数据和地址）。分别将 Vss 或 VDD 与 PSPCFG0 相连可选择这两种模式。

ENC624J600 器件提供了所有八种 PSP 模式，将 PSPCFG<4:1> 引脚直接连接至 VDD 或地以选择这些模式。某些模式选择的编码使复用引脚功能 AD14（在 PSPCFG1 上）和 SCK/AL（在 PSPCFG4 上）只处于“无关”状态，因此无需对这些引脚使用上拉 / 下拉电阻。

所有 PSP 引脚（AD<15:0> 除外）都是 ENC624J600 系列器件的输入引脚，都可承受 5V 的电压。AD<15:0> 引脚是双向 I/O 引脚，在输入模式下可承受 5V 的电压。当 CS 信号为低电平（未选择芯片）时，该引脚始终为输入引脚。

所有未使用的 PSP 引脚都处于高阻态。但是，建议将其连接至 Vss 或逻辑高电平，不要悬空。

表 2-1: PIC18F1220/1320 器件的 PSP 模式选择

接口模式	INT/SPISEL	PSPCFG					使用的引脚
		0	1	2	3	4	
44 引脚							
PSP 模式 5	下拉	0	—	—	—	—	AL, CS, RD, WR, AD<14:0>
PSP 模式 6	下拉	1	—	—	—	—	AL, CS, RW, EN, AD<14:0>
64 引脚							
PSP 模式 1	下拉	—	x	0	0	0	CS, RD, WR, A14:A0, AD<7:0>
PSP 模式 2	下拉	—	x	0	0	1	CS, RW, EN, A14:A0, AD<7:0>
PSP 模式 3	下拉	—	x	1	0	0	CS, RD, WRL, WRH, A<13:0>, AD<15:0>
PSP 模式 4	下拉	—	x	1	0	1	CS, RW, B0SEL, B1SEL, A<13:0>, AD<15:0>
PSP 模式 5	下拉	—	0	0	1	x	AL, CS, RD, WR, AD<14:0>
PSP 模式 6	下拉	—	1	0	1	x	AL, CS, RW, EN, AD<14:0>
PSP 模式 9	下拉	—	0	1	1	x	AL, CS, RD, WRL, WRH, AD<15:0>
PSP 模式 10	下拉	—	1	1	1	x	AL, CS, RW, B0SEL, B1SEL, AD<15:0>

图注： x = 任意值， 0 = 逻辑低电平（与 Vss 相连）， 1 = 逻辑高电平（与 VDD 相连）， — = 引脚不存在

2.7.3 $\overline{\text{CS}}/\text{CS}$ 引脚

串行和并行接口的片选功能共用一个公共引脚 $\overline{\text{CS}}/\text{CS}$ 。该引脚配备了内部弱上拉和弱下拉电阻。如果选择了 SPI 接口 ($\overline{\text{CS}}$)，则自动使能弱上拉电阻，同时禁止弱下拉电阻。如果选择了 PSP 接口 (CS)，则自动使能弱下拉电阻，同时禁止弱上拉电阻。这样可使 $\overline{\text{CS}}/\text{CS}$ 引脚在未被驱动时保持未选择状态，以避免使用该引脚上的外部电路板级电阻。

当使用 SPI 模式而使能内部弱上拉时，在无负载的典型情况下，它只将 $\overline{\text{CS}}/\text{CS}$ 引脚最多拉高至大约 $V_{\text{DD}}-1.1\text{V}$ 或 2.2V 左右，不会一直拉至 V_{DD} 。当使用 PSP 接口时，使能弱下拉，在无负载情况下它可一直拉低至 V_{SS} 。

2.8 数字 I/O 电平

ENC424J600/624J600 器件上的所有数字输出引脚都包含 CMOS 输出驱动器，它最大可以连续灌拉电流 18mA 。所有数字输入引脚和用作输入的 I/O 引脚都可承受 5V 的电压。这些特性通常表示无需任何连接逻辑，ENCX24J600 就可以与主单片机直接相连。但是，与 5V 系统接口时必须考虑一些注意事项。

由于数字输出只能驱动到最高为 V_{DD} 电压 (3.3V 的标称值)，所以电压可能不够高，无法确保具有高输入阈值的 5V 系统检测到逻辑高电平。这种情况下，可能需要进行 3.3V ENCX24J600 到 5V 主单片机的单向电平转换。

使用 SPI 接口时，可能需要使用廉价的 74HCT08 (四逻辑与门)、74ACT125 (四三态缓冲器) 或其他带有 TTL 电平输入缓冲器的 5V CMOS 芯片来提供必要的电平转换。使用三态缓冲器便于集成到与其他器件共享 SPI 总线的系统中。但是，用户必须确保电平转换器的传播延时不会导致最大 SPI 频率降低到低于要求值。图 2-10 和图 2-11 给出了两个电平转换方案示例。

使用 PSP 接口时，如果要在 ENCX24J600 上执行读操作，则 8 个或所有 16 个 ADx 引脚都需要进行电平转换。这种情况下，可以使用 8 位 74ACT245 或 16 位 74ACT16245 总线收发器或类似器件。

图 2-10: 使用逻辑与门在 SPI 接口上进行电平转换

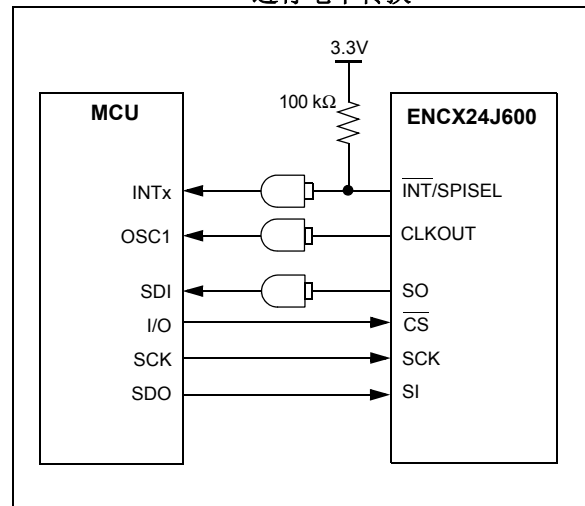
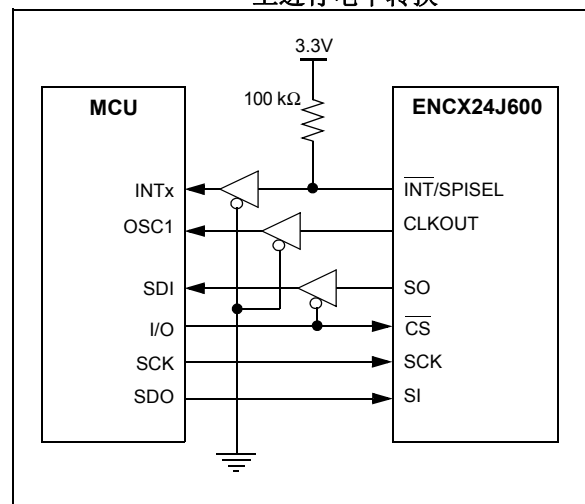


图 2-11: 使用三态缓冲器在 SPI 接口上进行电平转换



ENC424J600/624J600

注:

3.0 存储器构成

ENC424J600/624J600 中的所有存储器都以易失性 RAM 的形式实现。根据功能的不同，可划分为四种存储区：

- 特殊功能寄存器（Special Function Register，SFR）
- PHY 特殊功能寄存器
- 加密数据存储区
- SRAM 缓冲区

SFR 用于配置、控制器件的大部分模块并提供其状态信息。可通过 I/O 接口直接访问这些 SFR。

PHY SFR 用于配置、控制 PHY 模块并提供其状态信息。它们位于 PHY 模块内，与所有其他常规 SFR 独立，因此不能通过 I/O 接口直接访问。

加密数据存储区用于存储模幂、AES 和 MD5/SHA-1 哈希引擎的密钥和数据信息。只能通过 DMA 模块访问此存储区。

SRAM 缓冲区是一块 12K x 16 位（24 KB）的 RAM 阵列，用于缓存发送和接收数据包，也可用作主单片机的通用存储区。尽管 SRAM 使用 16 位字，但它是可字节写的。可在所有 I/O 接口上通过指针间接访问此存储区。还可以通过 PSP 接口直接访问。

3.1 I/O 接口和存储器映射

根据选择的 I/O 接口不同，这四个存储区可划分为两个或三个不同的存储地址空间。如果选择了串行接口，则存储器可分组为三个地址空间。如果选择了一个并行接口，则分为两个地址空间。无论哪种情况，PHY SFR 始终位于自己的存储地址空间内。

3.1.1 SPI 接口映射

如果选择 SPI 接口，则器件存储器映射由三个存储地址空间组成（图 3-1）：

- SFR 区
- 主存储区
- PHY 寄存器区

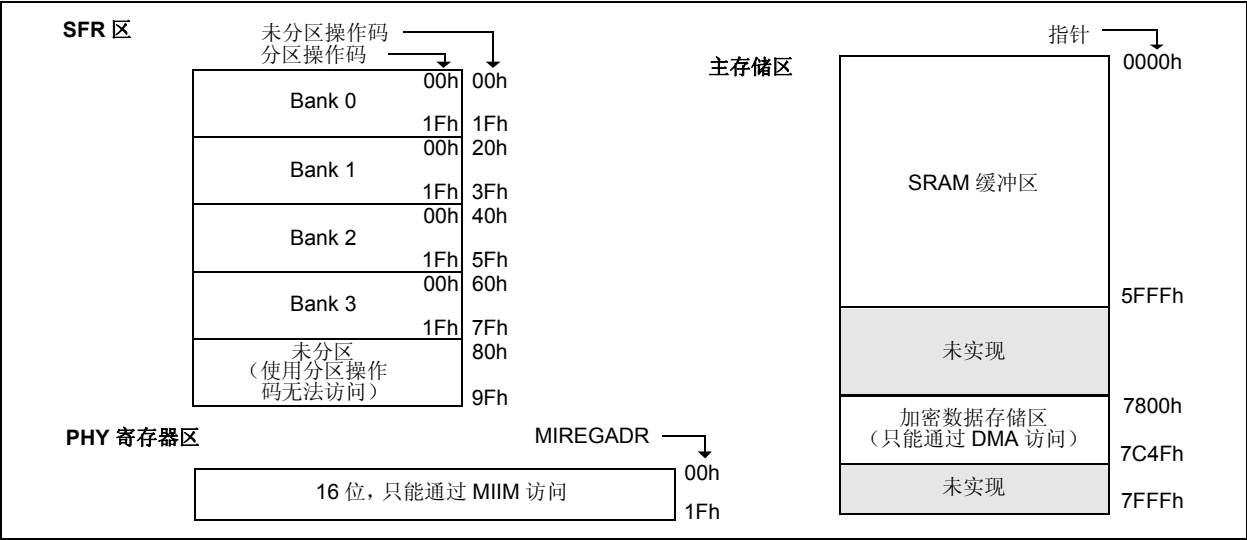
用户可以直接访问 SFR 区。这是一个 160 个字节长的线性存储空间。为了提高效率，可将 SFR 区作为四个存储区（每个存储区 32 个字节）进行寻址，其起始地址为 00h，在 SFR 区末尾处有一个 32 字节的未分区存储区。分区寻址允许在每次处理事务时通过串行接口交换少量地址位来寻址 SFR。这样可以减少协议开销、增强性能。也可以使用未分区 SPI 命令通过其 8 位未分区地址来直接寻址 SFR。如果对事务处理开销要求不高，采用这种寻址方式使接口更为简单。

主存储区是可字节寻址的 32 KB 线性存储空间。其中，头 24 KB 存储区（0000h 至 5FFFh）为 SRAM 缓冲区。器件使用几个作为存储区指针的 SFR 和虚拟数据窗口寄存器来访问该缓冲区，如第 3.5.5 节“间接访问 SRAM 缓冲区”所示。

主存储区的地址（7800h 至 7C4Fh）可以映射到用于加密数据模块的存储区。不能通过 SPI 接口直接访问这些地址，只能通过 DMA 来访问。

PHY SFR 是最后一个存储空间。这是一个可字寻址的 32 字线性存储空间。只能通过 MIIM 接口访问该存储区（详细信息请参见第 3.3 节“PHY 特殊功能寄存器”）。

图 3-1：选择 SPI 接口时的 ENC424J600/624J600 存储器映射



ENC424J600/624J600

3.1.2 PSP 接口映射

选择了一个并行接口时，存储器映射与 SPI 映射有很大的差别。此时分为两个不同的存储地址空间（图 3-2）：

- 主存储区
- PHY 寄存器区

与串行存储器映射时一样，主存储区也是可字节寻址的 32 KB 线性空间，头 24 KB 存储区为 SRAM 缓冲区。加密数据存储区映射到的位置与在串行存储器映射时的相同。主要差别是 SFR 现在所处的位置比加密数据空间的地址要高。SFR 上方的其他存储区保留给其附属的位置 1 寄存器和位清零寄存器。

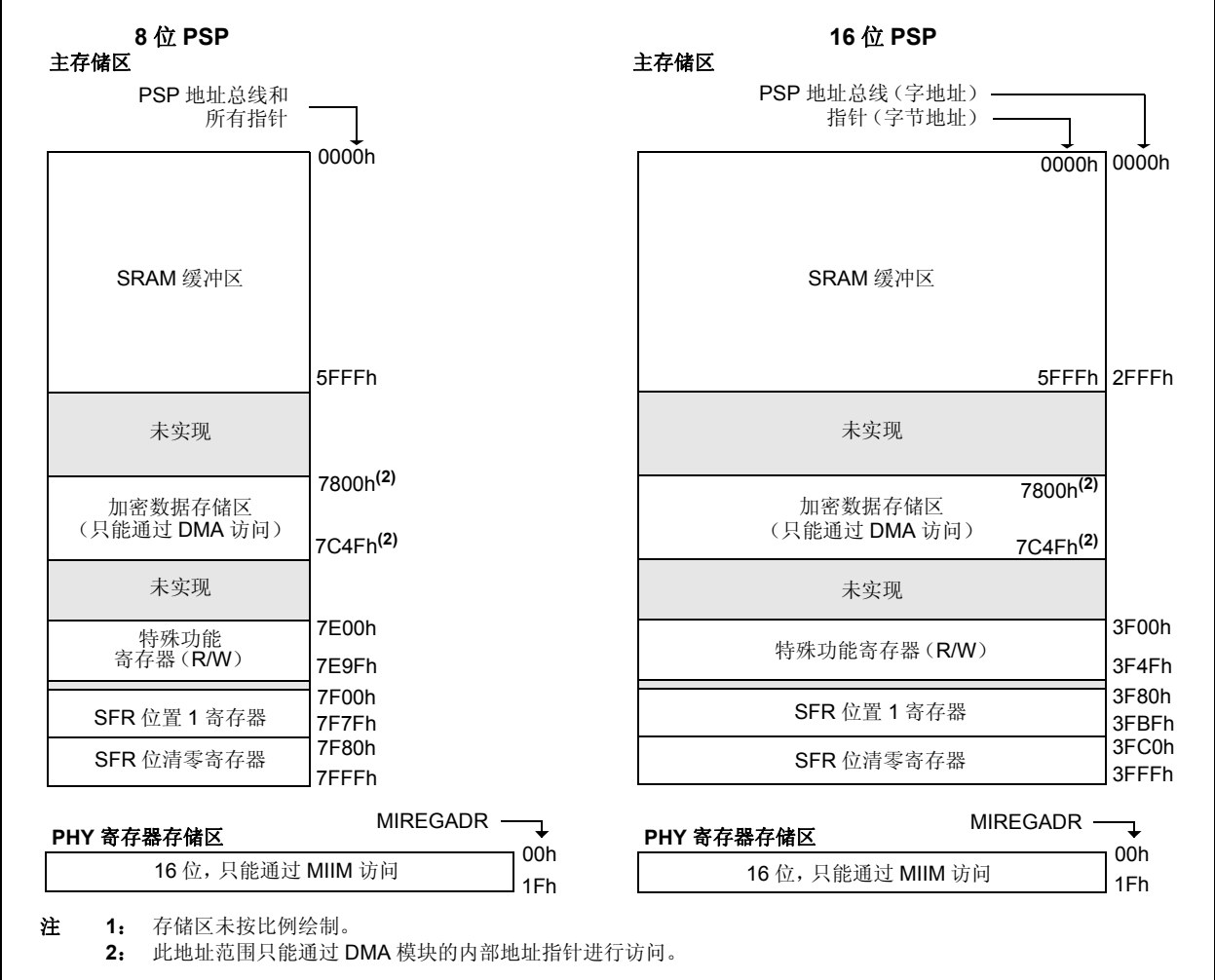
除了加密数据存储区以外，主存储区中的所有地址都可以通过 PSP 总线直接访问。与使用串行接口时一样，只能通过 DMA 访问加密存储区。

8 位接口和 16 位接口之间的区别是外部地址总线寻址 SRAM 缓冲区的方式不同。在 16 位数据模式下，地址总线将该缓冲区视作 16 位宽、可字寻址的空间（范围为 0000h 至 3FFFh）。在 8 位数据模式下，地址总线将该缓冲区视作 8 位宽、可字节寻址的空间（范围为 0000h 至 7FFFh）。无论哪种情况，用作存储器指针的 SFR 仍然可以将该缓冲区作为字节宽、可字节寻址的空间进行寻址。

PHY SFR 空间的实现方式与上述 SPI 接口时的实现方式相同。

在 8 位和 16 位 PSP 模式下，无需使用整个宽度的地址总线也能实现器件的全部功能。这是因为仍然可以使用 SFR 指针针对 SRAM 缓冲区执行读写操作。实际上，此功能允许设计人员在空间有限或引脚有限的应用中只将部分 A 或 AD 地址引脚与主单片机相连。例如，在 8 位复用 PSP 模式 5 或 6 下，将引脚 AD<14:9> 与 VDD 相连，仍然可以实现对所有 SFR 的直接地址访问。这样可以减少与主控制器连接所需的引脚数，包括将接口控制引脚减少到 12 或 13 个。

图 3-2：选择 PSP 接口时的 ENC424J600/624J600 存储器映射⁽¹⁾



3.2 特殊功能寄存器

SFR提供主控制器和片内以太网控制器逻辑之间的主要接口。写这些寄存器将控制接口操作，而读这些寄存器则允许主控制器监控这些操作。

所有寄存器都是 16 位宽。在 SPI 和 8 位 PSP 接口（本质上是面向字节的）上，寄存器划分为独立的高地址单元和低地址单元，分别用后缀“H”和“L”表示。所有寄存器都以小尾数格式存储，因此低字节始终位于较低的存储地址处。

有些可用地址未实现或标记为“保留”。不对这些地址单元写入数据。从保留地址单元读取的数据应被忽略。从未实现地址单元读取数据将返回 0。读写包含保留位的寄存器时，应遵守寄存器定义中规定的所有规则。

表 3-1 至 3-6 给出了用户可访问的所有寄存器的地址。表 3-7（第 26 页）中给出了 SFR 的完整位列表。

3.2.1 E 寄存器

以“E”开头命名的 SFR 是主要的控制和指针寄存器。它们可配置和控制器件的所有（非 MAC）顶层功能，还可以操作用于定义存储缓冲区的指针。可以任何顺序对这些寄存器读写任意长度的数据，无需考虑地址对齐问题。

3.2.2 MAC 寄存器

以“MA”或“MI”开头命名的 SFR 在 MAC 模块硬件中实现。因此，其操作与“E”寄存器的操作有两方面的不同。

首先，MAC 寄存器只支持读写操作。不能对各个位执行置 1 和清零操作。

而且，不管使用哪种 I/O 接口，必须始终以 16 位字的形式写 MAC 寄存器。也就是说，在 SPI 或 8 位 PSP 接口上，所有写操作必须按照先写入低字节然后再写入相关高字节的顺序执行。在 16 位 PSP 接口上，必须使两条写使能线或两条字节选择线有效才能执行 16 位写操作。不能执行无序的写操作，例如先写入一个 MAC 寄存器的低字节、再写入第二个 MAC 寄存器的低字节，然后写入第一个寄存器的高字节。

3.2.3 SPI 寄存器映射

如前所述，SFR 区分为四个存储区以及一个不能进行存储区寻址的特殊存储区。每个存储区都是 32 字节长并且可以用 5 位地址值进行寻址。所有 SFR 存储区都还可以通过未分区 SPI 操作码访问，这些未分区操作码使用完整的 8 位地址形成无分区的线性地址映射。

所有 SPI 存储区的最后 10 个字节（16h 至 1Fh）都指向相同的五个寄存器：EUDAST、EUDAND、ESTAT、EIR 和 ECON1。它们是控制和监视器件工作的关键寄存器。由于具有相同的分区地址，因此可以在不切换存储区的情况下便可很方便地访问它们。

SPI 接口具有一个综合指令集，用于读写寄存器以及置 1 和清零寄存器内的各个位或位域。第 4.0 节“串行外设接口（SPI）”将详细说明 SPI 指令集。

表 3-1 中给出了选择 SPI 接口时的 SFR 映射。寄存器按存储区显示。在最左边一栏中，每行显示的是寄存器的分区（5 位）地址。每个寄存器的未分区（8 位）地址显示在寄存器名称的左边。

注：使用分区寻址方式不能访问未分区存储区（80h 至 9Fh）内的 SFR。必须使用未分区 SFR 操作码对这些寄存器执行操作。

ENC424J600/624J600

表 3-1: ENC424J600/624J600 SFR 映射 (SPI 接口)

分区的寄存器地址	Bank 0 (偏移量为 00h)		Bank 1 (偏移量为 20h)		Bank 2 (偏移量为 40h)		Bank 3 (偏移量为 60h)		未分区 ⁽¹⁾ (偏移量为 80h)	
	未分区地址	名称	未分区地址	名称	未分区地址	名称	未分区地址	名称	未分区地址	名称
00	00	ETXSTL	20	EHT1L	40	MACON1L	60	MAADR3L	80	EGPDATA ⁽²⁾
01	01	ETXSTH	21	EHT1H	41	MACON1H	61	MAADR3H	81	保留
02	02	ETXLENL	22	EHT2L	42	MACON2L	62	MAADR2L	82	ERXDATA ⁽²⁾
03	03	ETXLENH	23	EHT2H	43	MACON2H	63	MAADR2H	83	保留
04	04	ERXSTL	24	EHT3L	44	MABBIPGL	64	MAADR1L	84	EUDADATA ⁽²⁾
05	05	ERXSTH	25	EHT3H	45	MABBIPGH	65	MAADR1H	85	保留
06	06	ERXTAILL	26	EHT4L	46	MAIPGL	66	MIWRL	86	EGPRDPTL
07	07	ERXTAILH	27	EHT4H	47	MAIPGH	67	MIWRH	87	EGPRDPTH
08	08	ERXHEADL	28	EPMM1L	48	MACLCONL	68	MIRDL	88	EGPWRPTL
09	09	ERXHEADH	29	EPMM1H	49	MACLCONH	69	MIRDH	89	EGPWRPTH
0A	0A	EDMASTL	2A	EPMM2L	4A	MAMXFLL	6A	MISTATL	8A	ERXRPTL
0B	0B	EDMASTH	2B	EPMM2H	4B	MAMXFLH	6B	MISTATH	8B	ERXRPTH
0C	0C	EDMALENL	2C	EPMM3L	4C	保留	6C	EPAUSL	8C	ERXWRPTL
0D	0D	EDMALENH	2D	EPMM3H	4D	保留	6D	EPAUSH	8D	ERXWRPTH
0E	0E	EDMADSTL	2E	EPMM4L	4E	保留	6E	ECON2L	8E	EUDARDPTL
0F	0F	EDMADSTH	2F	EPMM4H	4F	保留	6F	ECON2H	8F	EUDARDPTH
10	10	EDMACSL	30	EPMCSL	50	保留	70	ERXWML	90	EUDAWRPTL
11	11	EDMACSH	31	EPMCSH	51	保留	71	ERXWMH	91	EUDAWRPTH
12	12	ETXSTATL	32	EPMOL	52	MICMDL	72	EIEL	92	保留
13	13	ETXSTATH	33	EPMOH	53	MICMDH	73	EIEH	93	保留
14	14	ETXWIREL	34	ERXFCONL	54	MIREGADRDL	74	EIDLEDL	94	保留
15	15	ETXWIREH	35	ERXFCONH	55	MIREGADRH	75	EIDLEDH	95	保留
16	16	EUDASTL	36	EUDASTL	56	EUDASTL	76	EUDASTL	96	保留
17	17	EUDASTH	37	EUDASTH	57	EUDASTH	77	EUDASTH	97	保留
18	18	EUDANDL	38	EUDANDL	58	EUDANDL	78	EUDANDL	98	保留
19	19	EUDANDH	39	EUDANDH	59	EUDANDH	79	EUDANDH	99	保留
1A	1A	ESTATL	3A	ESTATL	5A	ESTATL	7A	ESTATL	9A	保留
1B	1B	ESTATH	3B	ESTATH	5B	ESTATH	7B	ESTATH	9B	保留
1C	1C	EIRL	3C	EIRL	5C	EIRL	7C	EIRL	9C	保留
1D	1D	EIRH	3D	EIRH	5D	EIRH	7D	EIRH	9D	保留
1E	1E	ECON1L	3E	ECON1L	5E	ECON1L	7E	ECON1L	9E	—
1F	1F	ECON1H	3F	ECON1H	5F	ECON1H	7F	ECON1H	9F	—

- 注
- 1: 只能通过未分区 SPI 操作码访问未分区 SFR。
 - 2: 使用这些寄存器访问 SRAM 缓冲区时, 只能使用 N 字节 SRAM 指令。更多详细信息, 请参见第 4.6.2 节“未分区 SFR 操作”和第 4.6.3 节“SRAM 缓冲区操作”。

ENC424J600/624J600

3.2.4 PSP 寄存器映射

使用 PSP 接口时，SFR 存储器是线性的：无需选择分区就可以直接访问所有寄存器。为了与 SPI 接口保持一致，在 PSP 存储器映射中，EUDAST、EUDAND、ESTAT、EIR 和 ECON1 寄存器都应分布在四个不同的地址单元。用户可以选择使用这四个地址单元中的任意一个。

表 3-2 和表 3-3 分别给出了 8 位 PSP 接口和 16 位 PSP 接口时的 SFR 映射。

表 3-2: ENC424J600/624J600 SFR 映射（基本寄存器映射，8 位 PSP 接口）

地址	名称	地址	名称	地址	名称	地址	名称	地址	名称
7E00	ETXSTL	7E20	EHT1L	7E40	MACON1L	7E60	MAADR3L	7E80	EGPDATA
7E01	ETXSTH	7E21	EHT1H	7E41	MACON1H	7E61	MAADR3H	7E81	保留
7E02	ETXLENL	7E22	EHT2L	7E42	MACON2L	7E62	MAADR2L	7E82	ERXDATA
7E03	ETXLENH	7E23	EHT2H	7E43	MACON2H	7E63	MAADR2H	7E83	保留
7E04	ERXSTL	7E24	EHT3L	7E44	MABBIPGL	7E64	MAADR1L	7E84	EUDADATA
7E05	ERXSTH	7E25	EHT3H	7E45	MABBIPGH	7E65	MAADR1H	7E85	保留
7E06	ERXTAILL	7E26	EHT4L	7E46	MAIPGL	7E66	MIWRL	7E86	EGPRDPTL
7E07	ERXTAILH	7E27	EHT4H	7E47	MAIPGH	7E67	MIWRH	7E87	EGPRDPTH
7E08	ERXHEADL	7E28	EPMM1L	7E48	MACLCONL	7E68	MIRDL	7E88	EGPWRPTL
7E09	ERXHEADH	7E29	EPMM1H	7E49	MACLCONH	7E69	MIRDH	7E89	EGPWRPTH
7E0A	EDMASTL	7E2A	EPMM2L	7E4A	MAMXFLL	7E6A	MISTATL	7E8A	ERXRDPTL
7E0B	EDMASTH	7E2B	EPMM2H	7E4B	MAMXFLH	7E6B	MISTATH	7E8B	ERXRDPTH
7E0C	EDMALENL	7E2C	EPMM3L	7E4C	保留	7E6C	EPAUSL	7E8C	ERXWRPTL
7E0D	EDMALENH	7E2D	EPMM3H	7E4D	保留	7E6D	EPAUSH	7E8D	ERXWRPTH
7E0E	EDMADSTL	7E2E	EPMM4L	7E4E	保留	7E6E	ECON2L	7E8E	EUDARDPTL
7E0F	EDMADSTH	7E2F	EPMM4H	7E4F	保留	7E6F	ECON2H	7E8F	EUDARDPTH
7E10	EDMACSL	7E30	EPMCSL	7E50	保留	7E70	ERXWML	7E90	EUDAWRPTL
7E11	EDMACSH	7E31	EPMCSH	7E51	保留	7E71	ERXWMH	7E91	EUDAWRPTH
7E12	ETXSTATL	7E32	EPMOL	7E52	MICMDL	7E72	EIEL	7E92	保留
7E13	ETXSTATH	7E33	EPMOH	7E53	MICMDH	7E73	EIEH	7E93	保留
7E14	ETXWIREL	7E34	ERXFCONL	7E54	MIREGADRL	7E74	EIDLEDL	7E94	保留
7E15	ETXWIREH	7E35	ERXFCONH	7E55	MIREGADRH	7E75	EIDLEDH	7E95	保留
7E16	EUDASTL	7E36	EUDASTL	7E56	EUDASTL	7E76	EUDASTL	7E96	保留
7E17	EUDASTH	7E37	EUDASTH	7E57	EUDASTH	7E77	EUDASTH	7E97	保留
7E18	EUDANDL	7E38	EUDANDL	7E58	EUDANDL	7E78	EUDANDL	7E98	保留
7E19	EUDANDH	7E39	EUDANDH	7E59	EUDANDH	7E79	EUDANDH	7E99	保留
7E1A	ESTATL	7E3A	ESTATL	7E5A	ESTATL	7E7A	ESTATL	7E9A	保留
7E1B	ESTATH	7E3B	ESTATH	7E5B	ESTATH	7E7B	ESTATH	7E9B	保留
7E1C	EIRL	7E3C	EIRL	7E5C	EIRL	7E7C	EIRL	7E9C	保留
7E1D	EIRH	7E3D	EIRH	7E5D	EIRH	7E7D	EIRH	7E9D	保留
7E1E	ECON1L	7E3E	ECON1L	7E5E	ECON1L	7E7E	ECON1L	7E9E	—
7E1F	ECON1H	7E3F	ECON1H	7E5F	ECON1H	7E7F	ECON1H	7E9F	—

ENC424J600/624J600

表 3-3: ENC424J600/624J600 SFR 映射（基本寄存器映射，16 位 PSP 接口）

地址	名称	地址	名称	地址	名称	地址	名称	地址	名称
3F00	ETXST	3F10	EHT1	3F20	MACON1	3F30	MAADR3	3F40	EGPDATA
3F01	ETXLEN	3F11	EHT2	3F21	MACON2	3F31	MAADR2	3F41	ERXDATA
3F02	ERXST	3F12	EHT3	3F22	MABBIPG	3F32	MAADR1	3F42	EUDADATA
3F03	ERXTAIL	3F13	EHT4	3F23	MAIPG	3F33	MIWR	3F43	EGPRDPT
3F04	ERXHEAD	3F14	EPMM1	3F24	MACLCON	3F34	MIRD	3F44	EGPWRPT
3F05	EDMAST	3F15	EPMM2	3F25	MAMXFL	3F35	MISTAT	3F45	ERXRDPT
3F06	EDMALEN	3F16	EPMM3	3F26	保留	3F36	EPAUS	3F46	ERXWRPT
3F07	EDMADST	3F17	EPMM4	3F27	保留	3F37	ECON2	3F47	EUDARDPT
3F08	EDMACS	3F18	EPMCS	3F28	保留	3F38	ERXWM	3F48	EUDAWRPT
3F09	ETXSTAT	3F19	EPMO	3F29	MICMD	3F39	EIE	3F49	保留
3F0A	ETXWIRE	3F1A	ERXFCON	3F2A	MIREGADR	3F3A	EIDLED	3F4A	保留
3F0B	EUDAST	3F1B	EUDAST	3F2B	EUDAST	3F3B	EUDAST	3F4B	保留
3F0C	EUDAND	3F1C	EUDAND	3F2C	EUDAND	3F3C	EUDAND	3F4C	保留
3F0D	ESTAT	3F1D	ESTAT	3F2D	ESTAT	3F3D	ESTAT	3F4D	保留
3F0E	EIR	3F1E	EIR	3F2E	EIR	3F3E	EIR	3F4E	保留
3F0F	ECON1	3F1F	ECON1	3F2F	ECON1	3F3F	ECON1	3F4F	—

3.2.4.1 PSP 位置 1 和位清零寄存器

SPI 存储器映射与 PSP 存储器映射的主要区别还在于它为许多 E 寄存器提供了附属的位置 1 和位清零寄存器。由于 PSP 接口允许直接访问存储器地址单元，而不需要命令解释器，所以没有用于执行单个位操作的指令。而该接口实现了独立的位置 1 和位清零寄存器，从而允许用户在不影响其他位的值的情况下单独操作易失性位（如中断标志位）。设置这些寄存器中任意一个寄存器的位，可置 1 或清零基本寄存器中的相应位。

在 PSP 接口上，位置 1 和位清零寄存器与其相应的“基本”SFR 分别位于不同的可寻址存储空间内。这些寄存器地址始终与其相应的基本寄存器保持固定的偏移量。对于 8 位接口，偏移量为 100h（置 1）或 180h（清零）。对于 16 位接口，偏移量为 80h（置 1）或 C0h（清零）。顾名思义，附属寄存器的名称就是基本寄存器的名称加上后缀（对于位置 1 寄存器，后缀为“-SET”或“-SETH/SETL”；对于位清零寄存器，后缀为“-CLR”或“-CLR/CLRL”）。

大部分 SFR 都有自己的位置 1 和位清零寄存器对。但以下 SFR 除外：

- MAC 寄存器，包括用于 PHY 访问的 MI 寄存器
- 只读状态寄存器（ERXHEAD、ETXSTAT、ETXWIRE 和 ESTAT）
- 所有 SRAM 缓冲区指针和数据窗口（在 8 位接口中，SFR 的地址范围为 7E80h 至 7E9Fh；在 16 位接口中，SFR 的地址范围为 3F40h 至 3F4Fh）

表 3-4 和表 3-5 分别给出了 8 位 PSP 接口时的位置 1 和位清零寄存器。16 位接口时的寄存器列表如表 3-6 所示。

表 3-4: ENC424J600/624J600 SFR 映射（置 1 寄存器映射，8 位 PSP 接口）

位置 1 寄存器（7F00h 至 7F7Fh） ⁽¹⁾							
地址	名称	地址	名称	地址	名称	地址	名称
7F00	ETXSTSETL	7F20	EHT1SETL	7F40	保留	7F60	保留
7F01	ETXSTSETH	7F21	EHT1SETH	7F41	保留	7F61	保留
7F02	ETXLENSETL	7F22	EHT2SETL	7F42	保留	7F62	保留
7F03	ETXLENSETH	7F23	EHT2SETH	7F43	保留	7F63	保留
7F04	ERXSTSETL	7F24	EHT3SETL	7F44	保留	7F64	保留
7F05	ERXSTSETH	7F25	EHT3SETH	7F45	保留	7F65	保留
7F06	ERXTAILSETL	7F26	EHT4SETL	7F46	保留	7F66	保留
7F07	ERXTAILSETH	7F27	EHT4SETH	7F47	保留	7F67	保留
7F08	—	7F28	EPMM1SETL	7F48	保留	7F68	保留
7F09	—	7F29	EPMM1SETH	7F49	保留	7F69	保留
7F0A	EDMASTSETL	7F2A	EPMM2SETL	7F4A	保留	7F6A	保留
7F0B	EDMASTSETH	7F2B	EPMM2SETH	7F4B	保留	7F6B	保留
7F0C	EDMALENSETL	7F2C	EPMM3SETL	7F4C	保留	7F6C	EPAUSSETL
7F0D	EDMALENSETH	7F2D	EPMM3SETH	7F4D	保留	7F6D	EPAUSSETH
7F0E	EDMADSTSETL	7F2E	EPMM4SETL	7F4E	保留	7F6E	ECON2SETL
7F0F	EDMADSTSETH	7F2F	EPMM4SETH	7F4F	保留	7F6F	ECON2SETH
7F10	EDMACSSETL	7F30	EPMCSSETL	7F50	保留	7F70	ERXWMSETL
7F11	EDMACSSETH	7F31	EPMCSSETH	7F51	保留	7F71	ERXWMSETH
7F12	—	7F32	EPMOSETL	7F52	保留	7F72	EIESETL
7F13	—	7F33	EPMOSETH	7F53	保留	7F73	EIESETH
7F14	—	7F34	ERXFCONSETL	7F54	保留	7F74	EIDLEDSETL
7F15	—	7F35	ERXFCONSETH	7F55	保留	7F75	EIDLEDSETH
7F16	EUDASTSETL	7F36	EUDASTSETL	7F56	EUDASTSETL	7F76	EUDASTSETL
7F17	EUDASTSETH	7F37	EUDASTSETH	7F57	EUDASTSETH	7F77	EUDASTSETH
7F18	EUDANDSETL	7F38	EUDANDSETL	7F58	EUDANDSETL	7F78	EUDANDSETL
7F19	EUDANDSETH	7F39	EUDANDSETH	7F59	EUDANDSETH	7F79	EUDANDSETH
7F1A	—	7F3A	—	7F5A	—	7F7A	—
7F1B	—	7F3B	—	7F5B	—	7F7B	—
7F1C	EIRSETL	7F3C	EIRSETL	7F5C	EIRSETL	7F7C	EIRSETL
7F1D	EIRSETH	7F3D	EIRSETH	7F5D	EIRSETH	7F7D	EIRSETH
7F1E	ECON1SETL	7F3E	ECON1SETL	7F5E	ECON1SETL	7F7E	ECON1SETL
7F1F	ECON1SETH	7F3F	ECON1SETH	7F5F	ECON1SETH	7F7F	ECON1SETH

注 1: 没用于地址范围在 7E80h 和 7E9Fh 之间的基本 SFR 实现位置 1 和位清零寄存器。

ENC424J600/624J600

表 3-5: ENC424J600/624J600 SFR 映射（清零寄存器映射，8 位 PSP 接口）

位清零寄存器（7F80h 至 7FFFh） ⁽¹⁾							
地址	名称	地址	名称	地址	名称	地址	名称
7F80	ETXSTCLRL	7FA0	EHT1CLRL	7FC0	保留	7FE0	保留
7F81	ETXSTCLRHL	7FA1	EHT1CLRHL	7FC1	保留	7FE1	保留
7F82	ETXLENCLRL	7FA2	EHT2CLRL	7FC2	保留	7FE2	保留
7F83	ETXLENCLRHL	7FA3	EHT2CLRHL	7FC3	保留	7FE3	保留
7F84	ERXSTCLRL	7FA4	EHT3CLRL	7FC4	保留	7FE4	保留
7F85	ERXSTCLRHL	7FA5	EHT3CLRHL	7FC5	保留	7FE5	保留
7F86	ERXTAILCLRL	7FA6	EHT4CLRL	7FC6	保留	7FE6	保留
7F87	ERXTAILCLRHL	7FA7	EHT4CLRHL	7FC7	保留	7FE7	保留
7F88	—	7FA8	EPMM1CLRL	7FC8	保留	7FE8	保留
7F89	—	7FA9	EPMM1CLRHL	7FC9	保留	7FE9	保留
7F8A	EDMASTCLRL	7FAA	EPMM2CLRL	7FCA	保留	7FEA	保留
7F8B	EDMASTCLRHL	7FAB	EPMM2CLRHL	7FCB	保留	7FEB	保留
7F8C	EDMALENCLRL	7FAC	EPMM3CLRL	7FCC	保留	7FEC	EPAUSCLRL
7F8D	EDMALENCLRHL	7FAD	EPMM3CLRHL	7FCD	保留	7FED	EPAUSCLRHL
7F8E	EDMADSTCLRL	7FAE	EPMM4CLRL	7FCE	保留	7FEE	ECON2CLRL
7F8F	EDMADSTCLRHL	7FAF	EPMM4CLRHL	7FCF	保留	7FEF	ECON2CLRHL
7F90	EDMACSCLRL	7FB0	EPMCSCCLRL	7FD0	保留	7FF0	ERXWMCCLRL
7F91	EDMACSCLRHL	7FB1	EPMCSCCLRHL	7FD1	保留	7FF1	ERXWMCCLRHL
7F92	—	7FB2	EPMOCLRL	7FD2	保留	7FF2	EIECLRL
7F93	—	7FB3	EPMOCLRHL	7FD3	保留	7FF3	EIECLRHL
7F94	—	7FB4	ERXFCONCLRL	7FD4	保留	7FF4	EIDLEDCLRL
7F95	—	7FB5	ERXFCONCLRHL	7FD5	保留	7FF5	EIDLEDCLRHL
7F96	EUDASTCLRL	7FB6	EUDASTCLRL	7FD6	EUDASTCLRL	7FF6	EUDASTCLRL
7F97	EUDASTCLRHL	7FB7	EUDASTCLRHL	7FD7	EUDASTCLRHL	7FF7	EUDASTCLRHL
7F98	EUDANDCLRL	7FB8	EUDANDCLRL	7FD8	EUDANDCLRL	7FF8	EUDANDCLRL
7F99	EUDANDCLRHL	7FB9	EUDANDCLRHL	7FD9	EUDANDCLRHL	7FF9	EUDANDCLRHL
7F9A	—	7FBA	—	7FDA	—	7FFA	—
7F9B	—	7FBB	—	7FDB	—	7FFB	—
7F9C	EIRCLRL	7FBC	EIRCLRL	7FDC	EIRCLRL	7FFC	EIRCLRL
7F9D	EIRCLRHL	7FBD	EIRCLRHL	7FDD	EIRCLRHL	7FFD	EIRCLRHL
7F9E	ECON1CLRL	7FBE	ECON1CLRL	7FDE	ECON1CLRL	7FFE	ECON1CLRL
7F9F	ECON1CLRHL	7FBF	ECON1CLRHL	7FDF	ECON1CLRHL	7FFF	ECON1CLRHL

注 1: 没有为地址范围在 7E80h 和 7E9Fh 之间的基本 SFR 实现位置 1 和位清零寄存器。

表 3-6: ENC424J600/624J600 SFR 映射 (置 1/ 清零寄存器映射, 16 位 PSP 接口)

位置 1 寄存器 (3F80h 至 3FBFh) ⁽¹⁾							
地址	名称	地址	名称	地址	名称	地址	名称
3F80	ETXSTSET	3F90	EHT1SET	3FA0	保留	3FB0	保留
3F81	ETXLENSET	3F91	EHT2SET	3FA1	保留	3FB1	保留
3F82	ERXSTSET	3F92	EHT3SET	3FA2	保留	3FB2	保留
3F83	ERXTAILSET	3F93	EHT4SET	3FA3	保留	3FB3	保留
3F84	—	3F94	EPMM1SET	3FA4	保留	3FB4	保留
3F85	EDMASTSET	3F95	EPMM2SET	3FA5	保留	3FB5	保留
3F86	EDMALENSET	3F96	EPMM3SET	3FA6	保留	3FB6	EPAUSSET
3F87	EDMADSTSET	3F97	EPMM4SET	3FA7	保留	3FB7	ECON2SET
3F88	EDMACSSET	3F98	EPMCSSET	3FA8	保留	3FB8	ERXWMSET
3F89	—	3F99	EPMOSET	3FA9	保留	3FB9	EIESET
3F8A	—	3F9A	ERXFCON	3FAA	保留	3FBA	EIDLEDSET
3F8B	EUDASTSET	3F9B	EUDASTSET	3FAB	EUDASTSET	3FBB	EUDASTSET
3F8C	EUDANDSET	3F9C	EUDANDSET	3FAC	EUDANDSET	3FBC	EUDANDSET
3F8D	—	3F9D	—	3FAD	—	3FBD	—
3F8E	EIRSET	3F9E	EIRSET	3FAE	EIRSET	3FBE	EIRSET
3F8F	ECON1SET	3F9F	ECON1SET	3FAF	ECON1SET	3FBF	ECON1SET
位清零寄存器 (3FC0h 至 3FFFh) ⁽¹⁾							
地址	名称	地址	名称	地址	名称	地址	名称
3FC0	ETXSTCLR	3FD0	EHT1CLR	3FE0	保留	3FF0	保留
3FC1	ETXLENCLR	3FD1	EHT2CLR	3FE1	保留	3FF1	保留
3FC2	ERXSTCLR	3FD2	EHT3CLR	3FE2	保留	3FF2	保留
3FC3	ERXTAILCLR	3FD3	EHT4CLR	3FE3	保留	3FF3	保留
3FC4	—	3FD4	EPMM1CLR	3FE4	保留	3FF4	保留
3FC5	EDMASTCLR	3FD5	EPMM2CLR	3FE5	保留	3FF5	保留
3FC6	EDMALENCLR	3FD6	EPMM3CLR	3FE6	保留	3FF6	EPAUSCLR
3FC7	EDMADSTCLR	3FD7	EPMM4CLR	3FE7	保留	3FF7	ECON2CLR
3FC8	EDMACSCLR	3FD8	EPMCSCLR	3FE8	保留	3FF8	ERXWMCLR
3FC9	—	3FD9	EPMOCLR	3FE9	保留	3FF9	EIECLR
3FCA	—	3FDA	ERXFCONCLR	3FEA	保留	3FFA	EIDLEDCLR
3FCB	EUDASTCLR	3FDB	EUDASTCLR	3FEB	EUDASTCLR	3FFB	EUDASTCLR
3FCC	EUDANDCLR	3FDC	EUDANDCLR	3FEC	EUDANDCLR	3FFC	EUDANDCLR
3FCD	—	3FDD	—	3FED	—	3FFD	—
3FCE	EIRCLR	3FDE	EIRCLR	3FEE	EIRCLR	3FFE	EIRCLR
3FCF	ECON1CLR	3FDF	ECON1CLR	3FEF	ECON1CLR	3FFF	ECON1CLR

注 1: 没有为地址范围在 3F40h 和 3F4Fh 之间的基本 SFR 实现位置 1 和位清零寄存器。

表 3-7: ENC424J600/624J600 寄存器文件汇总

文件名称	8 位	高字节（“H” 寄存器）								低字节（“L” 寄存器）								复位值
		Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
	16 位	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
EUDAST	—	用户定义缓冲区起始指针（EUDAST<14:8>）								用户定义缓冲区起始指针（EUDAST<7:0>）								00, 00
EUDAND	—	用户定义缓冲区结束指针（EUDAND<14:8>）								用户定义缓冲区结束指针（EUDAND<7:0>）								5F, FF
ESTAT	INT	FCIDLE	RXBUSY	CLKRDY	r	PHYDPX	r	PHYLNK	PKTCNT7	PKTCNT6	PKTCNT5	PKTCNT4	PKTCNT3	PKTCNT2	PKTCNT1	PKTCNT0	00, 00	
EIR	CRYPTEN	MODEXIF	HASHIF	AESIF	LINKIF	r	r	r	r	PKTIF	DMAIF	r	TXIF	TXABTIF	RXABTIF	PCFULIF	0A, 00	
ECON1	MODEXST	HASHEN	HASHOP	HASHLST	AESST	AESOP1	AESOP0	PKTDEC	FCOP1	FCOP0	DMAST	DMACPY	DMACSSD	DMANOCs	TXRTS	RXEN	00, 00	
ETXST	—	发送起始地址（ETXST<14:8>）								发送起始地址（ETXST<7:0>）								00, 00
ETXLEN	—	发送长度（ETXLEN<14:8>）								发送长度（ETXLEN<7:0>）								00, 00
ERXST	—	接收缓冲区起始地址（ERXST<14:8>）								接收缓冲区起始地址（ERXST<7:0>）								53, 40
ERXTAIL	—	接收尾指针（ERXTAIL<14:8>）								接收尾指针（ERXTAIL<7:0>）								5F, FE
ERXHEAD	—	接收头指针（ERXHEAD<14:8>）								接收头指针（ERXHEAD<7:0>）								53, 40
EDMAST	—	DMA 起始地址（EDMAST<14:8>）								DMA 起始地址（EDMAST<7:0>）								00, 00
EDMALEN	—	DMA 长度（EDMALEN<14:8>）								DMA 长度（EDMALEN<7:0>）								00, 00
EDMADST	—	DMA 目标地址（EDMADST<14:8>）								DMA 目标地址（EDMADST<7:0>）								00, 00
EDMACS	DMA 校验和高字节（EDMACS<15:8>）								DMA 校验和低字节（EDMACS<7:0>）								00, 00	
ETXSTAT	—	—	—	r	r	LATECOL	MAXCOL	EXDEFER	DEFER	r	r	CRCBAD	COLCNT3	COLCNT2	COLCNT1	COLCNT0	00, 00	
ETXWIRE	线上发送的字节数（包括冲突字节），高字节（ETXWIRE<15:8>）								线上发送的字节数（包括冲突字节），低字节（ETXWIRE<7:0>）								00, 00	
EHT1	哈希表过滤器（EHT1<15:8>）								哈希表过滤器（EHT1<7:0>）								00, 00	
EHT2	哈希表过滤器（EHT2<31:24>）								哈希表过滤器（EHT2<23:16>）								00, 00	
ETH3	哈希表过滤器（ETH3<47:40>）								哈希表过滤器（ETH3<39:32>）								00, 00	
ETH4	哈希表过滤器（ETH4<63:56>）								哈希表过滤器（ETH4<55:48>）								00, 00	
EPMM1	模式匹配过滤器屏蔽（EPMM1<15:8>）								模式匹配过滤器屏蔽（EPMM1<7:0>）								00, 00	
EPMM2	模式匹配过滤器屏蔽（EPMM2<15:8>）								模式匹配过滤器屏蔽（EPMM2<7:0>）								00, 00	
EPMM3	模式匹配过滤器屏蔽（EPMM3<15:8>）								模式匹配过滤器屏蔽（EPMM3<7:0>）								00, 00	
EPMM4	模式匹配过滤器屏蔽（EPMM4<15:8>）								模式匹配过滤器屏蔽（EPMM4<7:0>）								00, 00	
EPMCS	模式匹配过滤器校验和高字节（EPMCS<15:8>）								模式匹配过滤器校验和低字节（EPMCS<7:0>）								00, 00	
ERXFCON	HTEN	MPEN	—	NOTPM	PMEN3	PMEN2	PMEN1	PMEN0	CRCEEN	CRCEEN	RUNTEEN	RUNTEN	UCEN	NOTMEEN	MCEN	BCEN	00, 59	
EPMO	模式匹配过滤器偏移量高字节（EPMO<15:8>）								模式匹配过滤器偏移量低字节（EPMO<7:0>）								00, 00	
MACON1	r	r	—	—	r	r	r	r	—	—	—	LOOPBK	r	RXPAUS	PASSALL	r	x0, 0D	
MACON2	—	DEFER	BPEN	NOBKOFF	—	—	r	r	PADCFG2	PADCFG1	PADCFG0	TXCRCEN	PHDREN	HFRMEN	r	FULDPX	40, B2	
MABBIPG	—	—	—	—	—	—	—	—	—	BBIPG6	BBIPG5	BBIPG4	BBIPG3	BBIPG2	BBIPG1	BBIPG0	00, 12	
MAIPG	—	r	r	r	r	r	r	r	—	IPG6	IPG5	IPG4	IPG3	IPG2	IPG1	IPG0	0C, 12	
MACLCON	—	—	r	r	r	r	r	r	—	—	—	—	MAXRET3	MAXRET2	MAXRET1	MAXRET0	37, 0F	
MAMXFL	MAC 最大帧长度高字节（MAMXFL<15:8>）								MAC 最大帧长度低字节（MAMXFL<7:0>）								05, EE	

图注: — = 未实现, 读为 0; q = 唯一 MAC 地址或芯片版本的半字节; r = 保留位, 不能修改; x = 复位值未知。每个字节的复位值以十六进制表示。

表 3-7: ENC424J600/624J600 寄存器文件汇总 (续)

文件名称	8 位	高字节（“H” 寄存器）								低字节（“L” 寄存器）								复位值	
		Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
	16 位	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
MICMD		—	—	—	—	—	—	—	—	—	—	—	—	—	—	MIISCAN	MIIRD	--, 00	
MIREGADR		—	—	—	r	r	r	r	r	—	—	—	PHREG4	PHREG3	PHREG2	PHREG1	PHREG0	01, 00	
MAADR3		MAC 地址字节 6（MAADR<7:0>）								MAC 地址字节 5（MAADR<15:8>）								qq, qq	
MAADR2		MAC 地址字节 4（MAADR<23:16>）								MAC 地址字节 3（MAADR<31:24>）/OUI 字节 3								qq, a3	
MAADR1		MAC 地址字节 2（MAADR<39:32>）/OUI 字节 2								MAC 地址字节 1（MAADR<47:40>）/OUI 字节 1								04, 00	
MIWR		MII 管理写数据高字节（MIWR<15:8>）								MII 管理写数据低字节（MIWR<7:0>）								00, 00	
MIRD		MII 管理读数据高字节（MIRD<15:8>）								MII 管理读数据低字节（MIRD<7:0>）								00, 00	
MISTAT		—	—	—	—	—	—	—	—	—	—	—	—	r	NVALID	SCAN	BUSY	--, 00	
EPAUS		暂停定时器值高字节（EPAUS<15:8>）								暂停定时器值，低字节（EPAUS<7:0>）								10, 00	
ECON2		ETHEN	STRCH	TXMAC	SHA1MD5	COCON3	COCON2	COCON1	COCON0	AUTOFC	TXRST	RXRST	ETHRST	MODLEN1	MODLEN0	AESLEN1	AESLEN0	CB, 00	
ERXWM		RXFWM7	RXFWM6	RXFWM5	RXFWM4	RXFWM3	RXFWM2	RXFWM1	RXFWM0	RXEWM7	RXEWM6	RXEWM5	RXEWM4	RXEWM3	RXEWM2	RXEWM1	RXEWM0	10, 0F	
EIE		INTIE	MODEXIE	HASHIE	AESIE	LINKIE	r	r	r	r	PKTIE	DMAIE	r	TXIE	TXABTIE	RXABTIE	PCFULIE	80, 10	
EIDLED		LACFG3	LACFG2	LACFG1	LACFG0	LBCFG3	LBCFG2	LBCFG1	LBCFG0	DEVID2	DEVID1	DEVID0	REVID4	REVID3	REVID2	REVID1	REVID0	26, qq	
EGPDATA		r	r	r	r	r	r	r	r	通用数据窗口寄存器								--, xx	
ERXDATA		r	r	r	r	r	r	r	r	以太网接收数据窗口寄存器								--, xx	
EUDADATA		r	r	r	r	r	r	r	r	用户定义缓冲区数据窗口寄存器								--, xx	
EGPRDPT		—	通用窗口读指针高字节（ETXRDPT<14:8>）								通用窗口读指针低字节（ETXRDPT<7:0>）								05, FA
EGPWRPT		—	通用窗口写指针高字节（ETXWRPT<14:8>）								通用窗口写指针低字节（ETXWRPT<7:0>）								00, 00
ERXRDPT		—	接收窗口读指针高字节（ERXRDPT<14:8>）								接收窗口读指针低字节（ERXRDPT<7:0>）								05, FA
ERXWRPT		—	接收窗口写指针高字节（ERXWRPT<14:8>）								接收窗口写指针低字节（ERXWRPT<7:0>）								00, 00
EUDARDPT		—	UDA 窗口读指针（EUDARDPT<14:8>）								UDA 窗口读指针（EUDARDPT<7:0>）								05, FA
EUDAWRPT		—	UDA 窗口写指针（EUDAWRPT<14:8>）								UDA 窗口写指针（EUDAWRPT<7:0>）								00, 00

图注: — = 未实现, 读为 0; q = 唯一 MAC 地址或芯片版本的半字节; r = 保留位, 不能修改; x = 复位值未知。每个字节的复位值以十六进制表示。

3.3 PHY 特殊功能寄存器

PHY 寄存器提供 PHY 模块的配置和控制功能，以及其操作的状态信息。这些 16 位寄存器有自己的存储空间，不在主 SFR 空间内。

与其他 SFR 不同，PHY SFR 不能通过 SPI 或 PSP 接口直接访问。而是通过一组实现了 IEEE 802.3 定义的介质无关接口管理（Media Independent Interface Management, MIIM）的特殊 MAC 控制寄存器进行访问；这些寄存器为 MICMD、MISTAT 和 MIREGADR 寄存器。

共有 32 个 PHY 地址；但是只有 10 个地址单元实现了表 3-8 中列出的用户可访问寄存器。对未实现地址单元的写操作无效，尝试读这些地址单元将返回 FFFFh。不要对 PHY 寄存器的保留地址单元执行写操作，如果执行读操作，则忽略其内容。

表 3-8: PHY 特殊功能寄存器映射

地址	名称	地址	名称
00	PHCON1	10	保留
01	PHSTAT1	11	PHCON2
02	保留	12	保留
03	保留	13	—
04	PHANA	14	保留
05	PHANLPA	15	保留
06	PHANE	16	保留
07	—	17	保留
08	—	18	—
09	—	19	—
0A	—	1A	—
0B	—	1B	PHSTAT2
0C	—	1C	保留
0D	—	1D	保留
0E	—	1E	保留
0F	—	1F	PHSTAT3

3.3.1 读 PHY 寄存器

读 PHY 寄存器可获得完整的 16 位数据。

要读 PHY 寄存器：

1. 将要读取的 PHY 寄存器的地址写入 MIREGADR 寄存器（寄存器 3-1）。确保也置 1 了该寄存器的保留位 bit 8。
2. 将 MIIRD 位（MICMD<0>，寄存器 3-2）置 1。开始读操作，同时 BUSY 位（MISTAT<0>，寄存器 3-3）由硬件自动置 1。
3. 等待 25.6 μ s。查询 BUSY 位（MISTAT<0>）以确定操作是否完成。当忙时，主控制器不应启动任何 MIISCAN 操作或写 MIWR 寄存器。当 MAC 得到寄存器内容时，BUSY 位会清零。
4. 将 MIIRD 位（MICMD<0>）清零。
5. 从 MIRD 寄存器读取所需数据。对于 8 位接口，读取这些字节的顺序不重要。

3.3.2 写 PHY 寄存器

写 PHY 寄存器时，将一次写入全部的 16 位数据，不能对部分位进行写操作。如果只需要再编程寄存器中的某几位，主单片机必须首先读 PHY 寄存器，修改读到的数据，然后将数据写回 PHY 寄存器。

要写 PHY 寄存器：

1. 将要写入的 PHY 寄存器的地址写入 MIREGADR 寄存器。确保也置 1 了该寄存器的保留位 bit 8。
2. 将 16 位数据写入 MIWR 寄存器。必须先写低字节，再写高字节。
3. 对 MIWR 寄存器的高字节执行写操作会启动 MIIM 事务，BUSY 位（MISTAT<0>）也会由硬件自动置 1。

在 MIIM 操作完成后写 PHY 寄存器，用时 25.6 μ s。当写操作完成后，BUSY 位将自动清零。BUSY 位置 1 时，主控制器不应启动任何 MIISCAN、MIWR 或 MIIRD 操作。

3.3.3 扫描 PHY 寄存器

可将 MAC 配置为对 PHY 寄存器自动执行背对背读操作。在需要定期更新状态信息的情况下，这可以降低主控制器的复杂度。

要执行扫描操作：

1. 将要读取的 PHY 寄存器的地址写入 MIREGADR 寄存器。确保也置 1 了该寄存器的保留位 bit 8。
2. 将 MIISCAN 位 (MICMD<1>) 置 1。开始扫描操作，同时 BUSY 位 (MISTAT<0>) 由硬件自动置 1。在 25.6 μ s 后完成第一次读操作。以相同的时间间隔完成后续的读操作，直到操作被取消。可以通过查询 NVALID 位 (MISTAT<2>) 来确定第一次读操作完成的时间。

在将 MIISCAN 位置 1 后，每经过 25.6 μ s 均会自动更新 MIRD 寄存器。没有状态信息可显示 MIRD 寄存器被更新的时间。主控制器通过 SPI 或 8 位 PSP 接口一次只能读一个寄存器地址单元。因此，不能假定同时通过 PHY 读取 MIRDL 和 MIRDH 的值。

当进行 MIISCAN 操作时，禁止主控制器写 MIWR 或启动 MIIRD 操作。可以通过先将 MIISCAN 位 (MICMD<1>) 清零，然后查询 BUSY 位 (MISTAT<0>) 来取消 MIISCAN 操作。在 BUSY 位清零后可启动新的操作。

寄存器 3-1: MIREGADR: MII 管理地址寄存器

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1
—	—	—	r	r	r	r	r
bit 15							bit 8

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	PHREG4	PHREG3	PHREG2	PHREG1	PHREG0
bit 7							bit 0

图注：

R = 可读位

W = 可写位

U = 未实现位，读为 0

-n = 上电复位时的值

1 = 置 1

0 = 清零

x = 未知

bit 15-13 未实现：读为 0

bit 12-8 保留：写为 00001 (01h)

bit 7-5 未实现：读为 0

bit 4-0 **PHREG<4:0>**: MII 管理 PHY 寄存器地址选择位
对其进行 MII 管理读写操作的 PHY 寄存器的地址。

ENC424J600/624J600

寄存器 3-2: MICMD: MII 管理命令寄存器

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15				bit 8			

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0
—	—	—	—	—	—	MIISCAN	MIIRD
bit 7				bit 0			

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = 上电复位时的值

1 = 置 1

0 = 清零

x = 未知

bit 15-2

未实现: 读为 0

bit 1

MIISCAN: MII 扫描使能位

1 = 连续读 MIREGADR<4:0> 指定的 PHY 寄存器, 并把数据复制到 MIRD

0 = 未进行 MII 管理扫描操作

bit 0

MIIRD: MII 读使能位

1 = 读一次 MIREGADR<4:0> 指定的 PHY 寄存器, 并把数据复制到 MIRD

0 = 未进行 MII 管理读操作

寄存器 3-3: MISTAT: MII 管理状态寄存器

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15				bit 8			

U-0	U-0	U-0	U-0	R-0	R-0	R-0	R-0
—	—	—	—	r	NVALID	SCAN	BUSY
bit 7				bit 0			

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = 上电复位时的值

1 = 置 1

0 = 清零

x = 未知

bit 15-4

未实现: 读为 0

bit 3

保留: 读操作时忽略

bit 2

NVALID: MII 管理读数据无效状态位

1 = MIRD 的内容仍然无效

0 = MII 管理读周期已完成并且 MIRD 已被更新

bit 1

SCAN: MII 管理扫描状态位

1 = 正在进行 MII 管理扫描操作

0 = 未进行 MII 管理扫描操作

bit 0

BUSY: MII 管理忙状态位

1 = 当前正在读或写 PHY 寄存器

0 = MII 管理接口空闲

表 3-9: PHY 寄存器文件汇总

文件名称	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	复位时的值
PHCON1	PRST	PLOOPBK	SPD100	ANEN	PSLEEP	r	RENEG	PFULDPX	r	r	r	r	r	r	r	r	10, 00
PHSTAT1	r	FULL100	HALF100	FULL10	HALF10	r	r	r	r	r	ANDONE	LRFAULT	ANABLE	LLSTAT	r	EXTREGS	78, 09
PHANA	ADNP	r	ADFAULT	r	ADPAUS1	ADPAUS0	r	AD100FD	AD100	AD10FD	AD10	ADIEEEE4	ADIEEEE3	ADIEEEE2	ADIEEEE1	ADIEEEE0	01, E1
PHANLPA	LPNP	LPACK	LPFAULT	r	LPPAUS1	LPPAUS0	LP100T4	LP100FD	LP100	LP10FD	LP10	LPIEEEE4	LPIEEEE3	LPIEEEE2	LPIEEEE1	LPIEEEE0	xx, xx
PHANE	r	r	r	r	r	r	r	r	r	r	r	PDFLT	r	r	LPARCD	LPANABL	00, 00
PHCON2	r	r	EDPWRDN	r	EDTHRES	r	r	r	r	r	r	r	r	FRCLNK	EDSTAT	r	00, 02
PHSTAT2	r	r	r	r	r	r	r	r	r	r	r	PLRITY	r	r	r	r	xx, 0x
PHSTAT3	r	r	r	r	r	r	r	r	r	r	r	SPDDPX2	SPDDPX1	SPDDPX0	r	r	00, 40

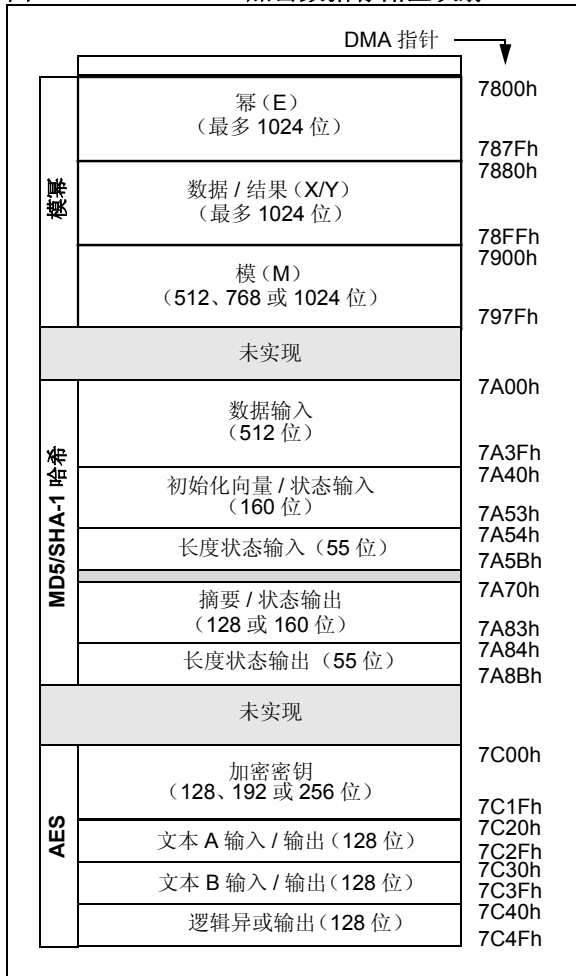
图注: r = 保留位，写为 0，读操作时忽略； x = 未知。每个字节的复位值以十六进制表示。

3.4 加密数据存储

加密数据存储用于存储模幂、AES 和 MD5/SHA-1 哈希引擎的密钥和数据信息。这些模块的 RAM 实际上是在模块内部实现的；因此可实现对访问密集型加密引擎的快速存储器访问，而且应用还可以同时使用多个模块。该存储器可映射到只能由 DMA 控制器访问的地址空间。主控制器必须先将数据写入 24 KB 的 SRAM 缓冲区，然后使用 DMA 将数据复制到安全引擎，才能实现对加密数据存储器的写操作。而读操作的顺序则与之相反，需要使用 DMA 将数据从安全引擎复制到 SRAM 缓冲区。

图 3-3 给出了加密存储空间的映射。关于加密引擎的更多信息，请参见第 15.0 节“加密安全引擎”。关于 DMA 控制器的更多信息，请参见第 14.0 节“直接存储器访问 (DMA) 控制器”。

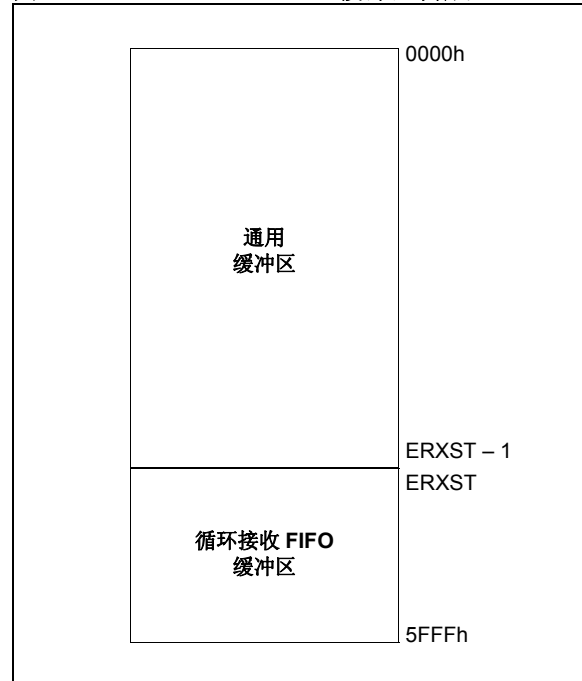
图 3-3: 加密数据存储区映射



3.5 SRAM 缓冲区

SRAM 缓冲区是一块 12K 字 x 16 位 (24 KB) 的存储器，用于缓存发送 / 接收数据包，也用作主控制器的通用存储区。大多数情况下，可使用面向字节的接口访问该存储区，因此该存储区通常可被视为由一个通用 / 发送存储区和一个接收存储区组成的简单 24 KB 存储缓冲区。

图 3-4: SRAM 缓冲区构成



10Base-T 和 100Base-TX 网络上的以太网通信分别以 10 Mbps 或 100 Mbps 的固定速度进行。不允许字节间间隙。这就要求主控制器在允许硬件开始发送之前在 SRAM 缓冲区中将出栈发送帧作为一个整体进行构建。类似地，在接收数据包时，缓冲区为硬件提供了写传入数据包的空间，并不强制主单片机立即读取并处理该数据包。

在器件退出复位状态后，不管其他发送、接收或 DMA 操作是否也正在同时访问通用或接收缓冲存储区，主控制器都可以访问整个缓冲区。

3.5.1 通用缓冲区

通用缓冲存储区的起始地址为 0000h，包括最高地址为（但不包括）ERXST 寄存器指向的存储地址（即 ERXST - 1）的所有存储区。

该缓冲区用于存储发送数据包、主控制器希望保存较长一段时间的已接收数据、或主控制器没有为其提供内部存储空间的任何类型的易失性或状态信息。上层通信协议和应用程序（例如具有 SSL 或 TLS 安全性的 TCP/IP 协议栈）通常情况下难以实现，或者说如果不使用大缓冲区，那么在高延迟的 Internet 链路上执行时性能较差。

对于如 TCP 之类、面向连接的可靠协议，理论最大吞吐量与链路的往返应答延迟和相应发送或接收缓冲区的大小成正比。ENCX24J600 上的通用缓冲存储区非常适合使用 TCP 协议实现 Internet 上的高性能通信，在这种高性能通信中，往返应答延迟可以控制在毫秒级。

3.5.2 接收缓冲区

接收缓冲区由一个硬件管理的循环 FIFO 缓冲区构成。该缓冲区的地址范围扩展为从 ERXST 指针指向的字节到接近 SRAM 末尾的地址 5FFFh。因此，缓冲区大小（以字节计）定义为：

$$\text{接收缓冲区大小} = 5FFFh - \text{ERXST} + 1$$

当从以太网接口接收数据字节时，这些字节被顺序写入接收缓冲区。但是当写完地址 5FFFh 处的存储单元后，硬件会自动折回并将接收的下一字节数据写入 ERXST 指向的存储单元。因此接收硬件将不会写入接收 FIFO 缓冲区边界以外的单元。

要确保正确的 16 位字对齐，要求 ERXST 指针指向偶数的存储地址。该寄存器的最低有效位是只读位，固定为 0，以强制偶地址对齐。而该寄存器中所有其他实现的位均为可读写位，可用软件编程为指向 0000h 至 5FFEh 范围内的任何偶地址。

器件复位时，ERXST 的默认值为 5340h。这表示有 21,312 个字节分配给通用缓冲区，有 3,264 个字节分配给接收缓冲区。这种大小的接收缓冲区足以存储两个或两个以上最大长度的以太网帧，或者许多小数据包的任意组合。

只有禁止了接收逻辑，主控制器才可以编程 ERXST 指针。在通过将 RXEN (ECON1<0>) 置 1 使能了接收逻辑后，不可以修改此指针。

不管发送、DMA 操作或主控制器读写操作是否正在同时访问 SRAM，接收硬件始终能够访问接收存储器。接收硬件不会因存储器访问带宽不足而丢弃数据包。

3.5.3 发送缓冲区

ENC624J600 系列未实现专用发送缓冲区。发送硬件能够从任意存储地址开始（包括偏离 16 位字边界的奇存储地址）灵活地发送数据。主控制器可发送整个 24 KB SRAM 中通用存储区或接收 FIFO 存储区中的数据。

由于发送的这种灵活性，主控制器可以在通用缓冲区中存储许多预构建的数据包，以进行快速发送。此外，由于硬件可发送来自接收缓冲区的数据，因此可以快速修改某些数据包头字段并重新发送接收到的数据包，而不必读取整个数据包内容并将其存入主单片机。这种特性可以提高某些代理程序、网关或回送（“ping”）应用程序的性能。

发送硬件仅从 SRAM 读取数据，不向 SRAM 写入任何数据。

不管接收操作、DMA 操作或主控制器读写操作是否正在同时尝试访问 SRAM，发送硬件始终能够访问整个 SRAM。

3.5.4 直接访问 SRAM 缓冲区

可以通过任意一个 PSP 接口直接访问 SRAM 缓冲区。假定所有需要的地址线都已连接，则可以直接读写图 3-2 中给出的存储器映射（加密数据存储区除外）中的所有地址。以这种方式进行访问，主控制器必须处理所有必需的地址递增以及计满返回计算。如果使用 16 位 PSP 接口，则还包括字节寻址到字寻址的转换。

无法通过 SPI 接口进行直接访问。

3.5.5 间接访问 SRAM 缓冲区

所有 I/O 接口都可以实现对 SRAM 缓冲区的间接访问。通过 SPI 接口只能进行间接访问。通过 PSP 接口，直接访问和间接访问皆可。

访问 SRAM 时，主单片机可以使用三个独立的指针对：

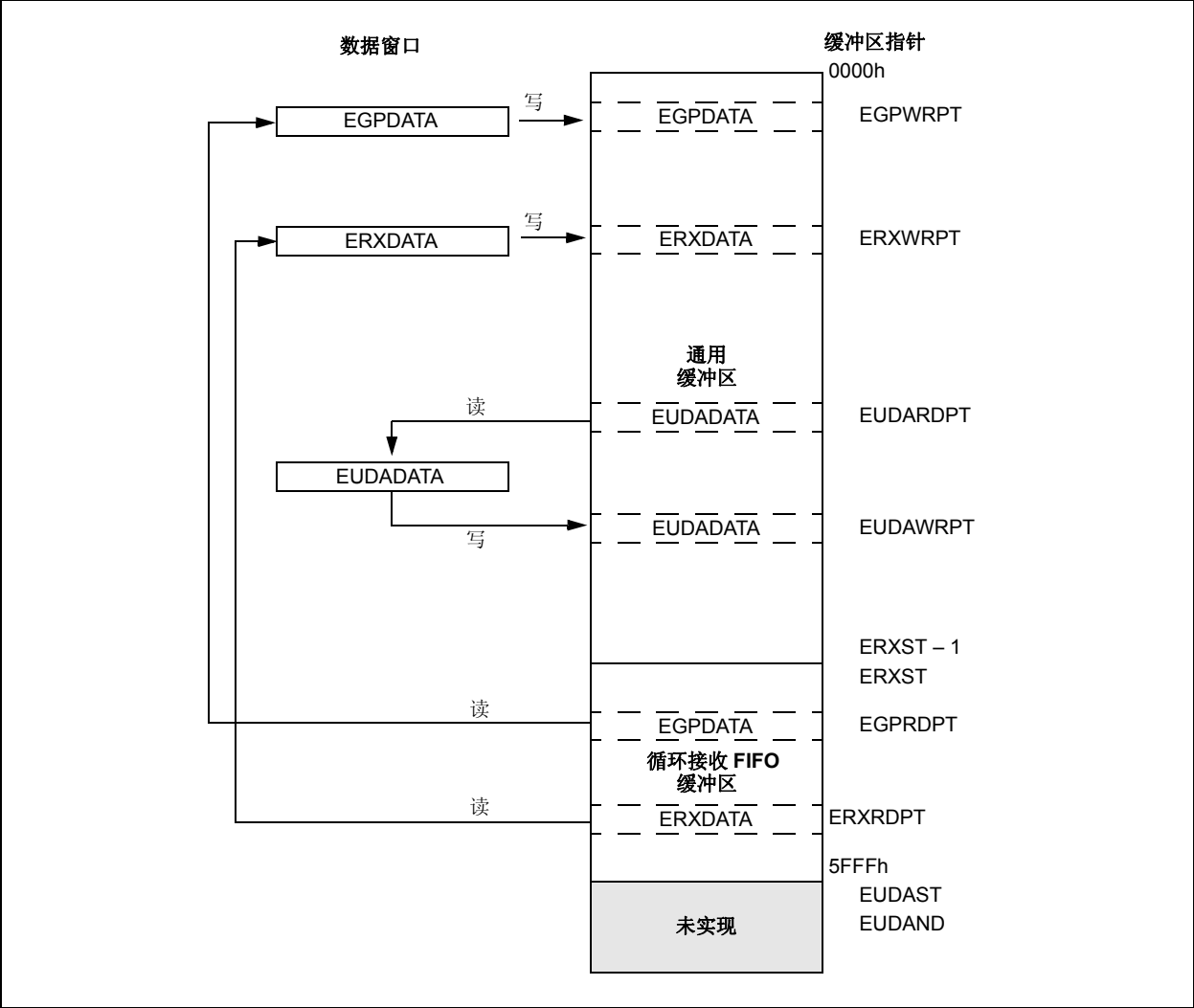
- 通用缓冲区读写指针（EGPRDPT/EGPWRPT）
- 接收缓冲区读写指针（ERXRDPT/ERXWRPT）
- 用户定义缓冲区读写指针（EUDARDPT/EUDAWRPT）

这些指针中的每一对都提供一个 8 位虚拟窗口寄存器（EGPDATA、ERXDATA 和 EUDATA），通过这些寄存器可以读写 SRAM 数据。图 3-5 中给出了这些指针及其相关的数据窗口。

EGPDATA、ERXDATA 和 EUDADATA 都为 8 位宽。当通过 16 位 PSP 接口对它们进行写操作时，必须使用低字节的字节选择或写使能引脚；选通高字节的字节选择或写使能引脚无效。从 16 位 PSP 接口读取数据时，将返回有用数据的一个字节到数据总线的低 8 位；而忽略高 8 位。

读数据窗口寄存器时，得到相应读指针指示的地址处的存储器内容，并将其提供给主单片机。类似地，写数据窗口寄存器时，使用主单片机的数据更新相应写指针指示的地址处的存储器内容。每完成一次读写操作，硬件中的相应指针便自动递增 1。

图 3-5: 间接访问缓冲区使用的指针



例如，要从缓冲区地址 5402h 处读取数据：

1. 将 5402h 写入 EGPRDPT。
2. 从 EGPDATA 读取。

读操作完成后，EGPRDPT 值通常会递增 1（在本例中，递增到 5403h）。如果主单片机接下来还要从地址 5403h 处读取数据，它只需从 EGPDATA 窗口寄存器执行第二次读操作。读操作不影响写指针 EGPWRPT。

类似地，要将 A3h 写入缓冲区地址 0007h：

1. 将 0007h 写入 EGPWRPT。
2. 将 A3h 写入 EGPDATA。

写操作完成后，EGPWRPT 值通常会递增 1（在本例中，递增到 0008h）。写操作不影响读指针 EGPRDPT。

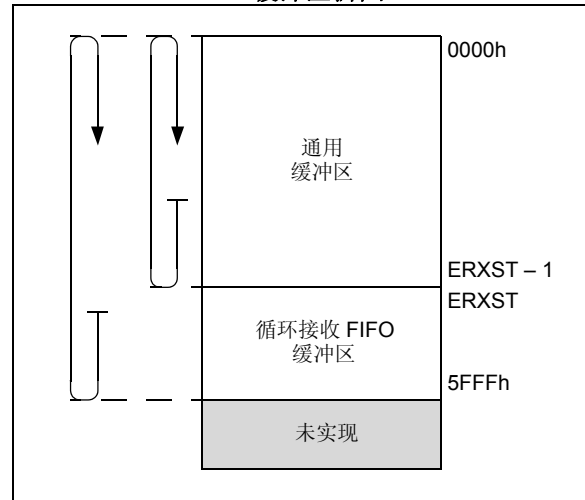
这三个指针集（通用缓冲区读写指针、接收缓冲区读写指针和用户定义缓冲区读写指针）中的每一个都可用于访问 SRAM 缓冲区内的所有地址。这三个指针集的区别在于它们的地址折回方式不同。

应用可以选择使用所有三个指针接口来访问 RAM。由于其需要的上下文切换（例如从读接收数据包切换到读通用 RAM）开销极小，所以可使应用达到最大性能。但是，为了简单起见，有些应用可能只使用这三个 E*DATA 接口中的其中一个或两个。

3.5.5.1 使用 EGPDATA 的循环折回

涉及 EGPDATA 的操作通常会导致 EGPRDPT 或 EGPWRPT 指针自动递增一个字节地址。但是，如果已到达通用缓冲区的末尾（ $ERXST - 1$ ）或已实现 SRAM 的末尾（5FFFh），指针将递增到地址 0000h，从而使后续访问折回到 SRAM 缓冲区的开头（图 3-6）。公式 3-1 中说明了递增操作逻辑。

图 3-6: 使用 EGPDATA 窗口的循环缓冲区折回



公式 3-1: EGPRDPT 和 EGPWRPT 的指针递增逻辑

```

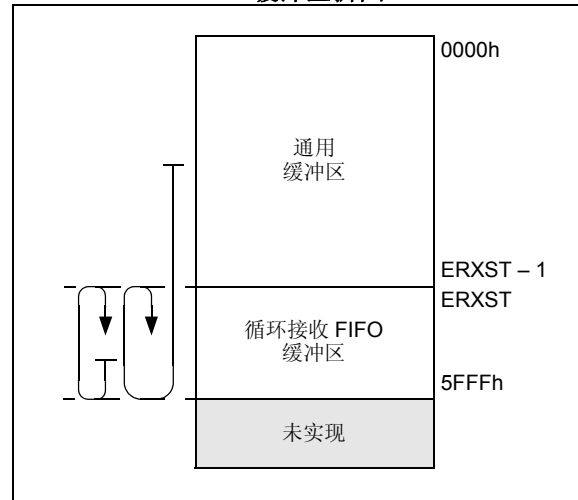
if EGPRDPT/EGPWRPT = ERXST - 1, then
    EGPRDPT/EGPWRPT = 0000h
else if EGPRDPT/EGPWRPT = 5FFFh, then
    EGPRDPT/EGPWRPT = 0000h
else
    EGPRDPT/EGPWRPT = EGPRDPT/EGPWRPT + 1
    
```

3.5.5.2 使用 ERXDATA 的循环折回

和通用指针一样，对 ERXDATA 执行操作通常会导致 ERXRDPT 或 ERXWRPT 指针自动递增一个字节地址。但是，如果已到达接收缓冲区的末尾（5FFFh），指针将递增到 ERXST 定义的接收 FIFO 缓冲区的开头（图 3-7）。

ERXDATA 接口的接收折回规则与接收硬件使用的缓冲区折回规则一样。因此，该寄存器接口适合从接收缓冲区读取数据包数据。主控制器可以设置 ERXRDPT 值指向接收缓冲区中数据包的开头，这样的话，不必再次写入 ERXRDPT 读指针就可以读取整个数据包的内容。

图 3-7: 使用 ERXDATA 窗口的循环缓冲区折回



公式 3-2: ERXRDPT 和 ERXWRPT 的指针递增逻辑

```
if ERXRDPT/ERXWRPT = 5FFFh, then
    ERXRDPT/ERXWRPT = ERXST
else
    ERXRDPT/ERXWRPT = ERXRDPT/ERXWRPT + 1
```

3.5.5.3 使用 EUDADATA 的循环折回

用户定义缓冲区主要用于在通用存储区内设置循环 FIFO，以供 TCP/IP 协议栈或其他应用程序使用。用户定义缓冲区的折回操作比通用缓冲区或接收缓冲区的折回操作要稍微复杂一些。这是因为 EUDAST 和 EUDAND 设置的用户自定义边界的优先级比一般的折回操作的高。

与其他指针一样，用户可以通过主单片机对 EUDAST 和 EUDAND 进行完全配置。与 ERXST 在接收硬件使能之后无法修改不同，EUDAST 和 EUDAND 可以随时修改。

与前述情况一样，对 EUDADATA 执行操作通常会导致 EUDARDPT 或 EUDAWRPT 指针自动递增一个字节地址。如果已到达 EUDAND 指向的地址，指针将递增到 EUDAST 指定的地址。但是，如果已到达存储器的末尾（5FFFh），而 EUDAND 又指向其他某个地址，那么指针将递增到存储器的开头（0000h）。如果 EUDAND 被设置为 5FFFh，那么指针地址不是递增到 0000h，而是递增到 EUDAST 的值。

公式 3-3 中说明了递增操作逻辑。

公式 3-3: EUDARDPT 和 EUDAWRPT 的指针递增逻辑

```
if EUDARDPT/EUDAWRPT = EUDAND, then
    EUDARDPT/EUDAWRPT = EUDAST
else if EUDARDPT/EUDAWRPT = 5FFFh, then
    EUDARDPT/EUDAWRPT = 0000h
else
    EUDARDPT/EUDAWRPT = EUDARDPT/EUDAWRPT + 1
```

用户定义缓冲区起始地址 EUDAST 是一个读写寄存器。要确保正确折回，应通过在硬件在内部强制最低有效位为 0 来实现该寄存器的 16 位偶数字对齐。类似地，用户定义缓冲区结束地址 EUDAND 是一个强制为奇存储地址的读写寄存器。EUDAND 的最低有效位在内部设置为 1。想在存储器中使用这些硬件特性设置通用循环 FIFO 的应用必须同样遵守这些对齐要求。

如果用户定义缓冲区结束地址 EUDAND 的存储地址比起始地址 EUDAST 的高，缓冲区将根据 EUDARDPT 或 EUDAWRPT 指针所指向的地址单元来决定折回到 EUDAST 还是折回到存储器的开头。这是图 3-8 中的第 1 种情况。

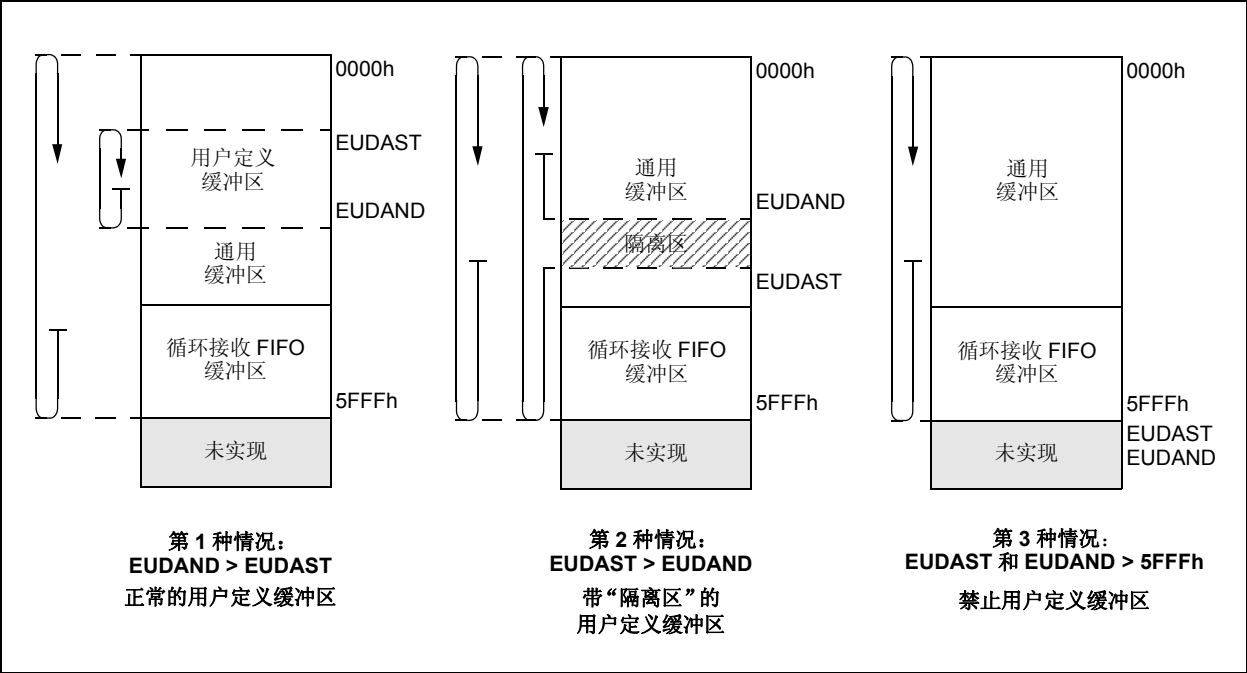
在某些情况（例如访问分段数据时）下，将 EUDAST 指针存放在高于结束地址的存储地址处是非常有用的。以这种方式组织时，将在存储器中间创建一个“隔离

区”，使用用户定义缓冲区指针进行的后续读写操作将跳过 EUDAND 和 EUDAST 之间的这段地址范围。这是第 2 种情况。

如果不需要用户定义缓冲区，可通过将 EUDAST 和 EUDAND 设置为已实现存储区范围之外的其他地址来有效地禁止它。例如，如果 EUDAST 设置为 6000h，EUDAND 设置为 6001h，EUDARDPT 和 EUDAWRPT 永远不会到达这些地址。它们会从已实现 RAM 的末尾折回到开头，如第 3 种情况所示。

禁止用户定义缓冲区时，主控制器可以将 EUDADATA 接口用作到 RAM 的辅助通用窗口。但是，与原来的通用指针不同，EUDARDPT 和 EUDAWRPT 在到达 ERXST 边界时不会折回，这样就可以实现对整个 SRAM 缓冲区的访问。这有助于进行需要在单个操作中读写整个 SRAM 缓冲区的调试和测试操作。

图 3-8：使用 EUDATA 窗口的循环缓冲区折回



ENC424J600/624J600

注:

4.0 串行外设接口（SPI）

对于不提供并行单片机接口或不需要并行单片机接口的应用，ENC424J600/624J600 器件为其提供了可选的 SPI I/O 端口。SPI 端口在许多单片机上通常都有提供，而且在未实现它的常规 I/O 引脚上还可利用软件进行模拟。这使得 SPI 端口成为 ENC424J600/624J600 器件与各种主控制器结合使用的理想选择。

4.1 物理实现

ENC424J600/624J600 器件上的 SPI 端口只能用作从端口。主控制器必须配置为生成串行时钟（SCK）信号的 SPI 主器件。

这种实现支持 SPI 模式 0,0，此模式要求：

- SCK 在逻辑低电平时处于空闲状态
- 在时钟上升沿移入数据，而在时钟下降沿移出数据

不支持使用翻转时钟极性和 / 或相位的其他 SPI 模式。

命令和数据通过 SI 引脚送入器件。在 SCK 的下降沿从 SO 引脚输出数据。在执行操作时 \overline{CS} 引脚必须保持低电平，在操作完成时返回到逻辑高电平。

当 \overline{CS} 处于无效（逻辑高电平）状态时，SO 引脚被置为高阻态，可承受 5V 的电压。这样，ENC424J600 器件可连接到多个 SPI 从器件共用的同一 SPI 总线上，而且这些从器件在不工作时也会进入高阻态。

关于此接口物理连接的详细信息，请参见第 2.7 节“主接口引脚”。

4.2 SPI 指令集

SPI 接口支持由 47 个不同的操作码组成的独特指令集，其中包括大量的经过优化的操作码，这些操作码能以极低的 SPI 协议开销执行各种频繁执行的操作。只用 6 个 N 字节操作码就可实现整个以太网功能。其余 41 个操作码是可选操作码；但是，这些操作码却往往能够提高整个系统的性能。

SPI 操作码划分为四类：

- 单字节操作码：直接操作码指令；为面向任务的 SFR 操作而设计，不返回数据
- 双字节操作码：直接操作码指令；为 SFR 操作而设计，返回字节数据
- 三字节操作码：带字长度参数的操作码；包括用于指针操作的读写操作，返回字长度数据
- N 字节操作码：带一个或多个字节参数的操作码；包括用于常规存储空间访问操作的读写操作，返回一个或多个字节的数据

表 4-1 提供了所有操作码的完整汇总。随后对每个操作码系列进行了详细的说明。

ENC424J600/624J600

表 4-1: SPI 指令集

指令	助记符	指令			
		第 1 个字节	第 2 个字节	第 3 个字节	第 N 个字节
选择 Bank 0	B0SEL	1100 0000	—	—	—
选择 Bank 1	B1SEL	1100 0010	—	—	—
选择 Bank 2	B2SEL	1100 0100	—	—	—
选择 Bank 3	B3SEL	1100 0110	—	—	—
系统复位	SETETHRST	1100 1010	—	—	—
禁止流控制	FCDISABLE	1110 0000	—	—	—
单帧流控制	FCSINGLE	1110 0010	—	—	—
多帧流控制	FCMULTIPLE	1110 0100	—	—	—
清除流控制	FCCLEAR	1110 0110	—	—	—
数据包计数器递减	SETPKTDEC	1100 1100	—	—	—
停止 DMA	DMASTOP	1101 0010	—	—	—
启动 DMA 和校验和操作	DMACKSUM	1101 1000	—	—	—
启动带种子的 DMA 校验和	DMACKSUMS	1101 1010	—	—	—
启动 DMA 复制	DMACOPY	1101 1100	—	—	—
启动 DMA 复制和带种子的校验和	DMACOPYS	1101 1110	—	—	—
请求数据包发送	SETTXRTS	1101 0100	—	—	—
使能接收	ENABLERX	1110 1000	—	—	—
禁止接收	DISABLERX	1110 1010	—	—	—
允许中断	SETEIE	1110 1100	—	—	—
禁止中断	CLREIE	1110 1110	—	—	—
读存储区选择	RBSEL	1100 1000	xxxx xxxx	—	—
写 EGPRDPT	WGPRDPT	0110 0000	dddd dddd	DDDD DDDD	—
读 EGPRDPT	RGPRDPT	0110 0010	xxxx xxxx	XXXX XXXX	—
写 ERXRDPT	WRXRDPT	0110 0100	dddd dddd	DDDD DDDD	—
读 ERXRDPT	RRXRDPT	0110 0110	xxxx xxxx	XXXX XXXX	—
写 EUDARDPT	WUDARDPT	0110 1000	dddd dddd	DDDD DDDD	—
读 EUDARDPT	RUDARDPT	0110 1010	xxxx xxxx	XXXX XXXX	—
写 EGPWRPT	WGPWRPT	0110 1100	dddd dddd	DDDD DDDD	—
读 EGPWRPT	RGPWRPT	0110 1110	xxxx xxxx	XXXX XXXX	—
写 ERXWRPT	WRXWRPT	0111 0000	dddd dddd	DDDD DDDD	—
读 ERXWRPT	RRXWRPT	0111 0010	xxxx xxxx	XXXX XXXX	—
写 EUDAWRPT	WUDAWRPT	0111 0100	dddd dddd	DDDD DDDD	—
读 EUDAWRPT	RUDAWRPT	0111 0110	xxxx xxxx	XXXX XXXX	—
读控制寄存器	RCR	000a aaaa	xxxx xxxx	XXXX XXXX	XXXX XXXX
写控制寄存器	WCR	010a aaaa	dddd dddd	DDDD DDDD	DDDD DDDD
读未分区控制寄存器	RCRU	0010 0000	AAAA AAAA	xxxx xxxx	XXXX XXXX
写未分区控制寄存器	WCRU	0010 0010	AAAA AAAA	dddd dddd	DDDD DDDD
位域置 1	BFS	100a aaaa	dddd dddd	DDDD DDDD	DDDD DDDD
位域清零	BFC	101a aaaa	dddd dddd	DDDD DDDD	DDDD DDDD
将未分区寄存器的位域置 1	BFSU	0010 0100	AAAA AAAA	dddd dddd	DDDD DDDD
将未分区寄存器的位域清零	BFCU	0010 0110	AAAA AAAA	dddd dddd	DDDD DDDD
读 EGPDATA	RGPDATA	0010 1000	xxxx xxxx	XXXX XXXX	XXXX XXXX
写 EGPDATA	WGPDATA	0010 1010	dddd dddd	DDDD DDDD	DDDD DDDD
读 ERXDATA	RRXDATA	0010 1100	xxxx xxxx	XXXX XXXX	XXXX XXXX
写 ERXDATA	WRXDATA	0010 1110	dddd dddd	DDDD DDDD	DDDD DDDD
读 EUDADATA	RUDADATA	0011 0000	xxxx xxxx	XXXX XXXX	XXXX XXXX
写 EUDADATA	WUDADATA	0011 0010	dddd dddd	DDDD DDDD	DDDD DDDD

图注: x/x = 读数据, d/D = 写数据, a = 分区 SFR 地址, A = 未分区 SFR 地址。“x”和“D”表示为可选操作。

4.3 单字节指令

所有单字节指令都是用来执行影响 ENCX24J600 器件状态的简单命令。大多数情况下，控制位的置 1 或清零操作需要执行一个或多个 N 字节的操作码，单字节指令只可置 1 或清零少量控制位，且不返回任何数据给单片机。

图 4-1 给出了执行单字节指令操作的时序关系图。从器件 SI 引脚上输入操作码 11xxxxx0，操作码的最高有效位在前；最低有效位始终为 0。在 $\overline{\text{CS}}$ 引脚驱动为低电平时，SO 引脚驱动为有效状态，显示不确定值 1 或 0。而且它还将一直保持有效状态，直到 $\overline{\text{CS}}$ 引脚返回高电平状态为止。

由于所有单字节指令的长度固定，且不带可选参数，所以在执行了任何单字节指令之后无需拉高片选线的电平就可以立即执行任何指令。

如果在操作码的第 8 位发送到 ENCX24J600 之前 $\overline{\text{CS}}$ 控制信号无效，则会产生不确定结果。在某些情况下，指令可完整执行，也可部分执行。要避免指令部分执行的情况，建议不要中断单字节指令。如果无法避免指令部分执行的情况，可让应用稍后再次发出相同的指令并让它完整执行以使器件进入已知状态。

总共有 20 个单字节操作码，如表 4-2 所列。执行所有单字节操作码时无需考虑选择哪个 SFR 存储区。这些操作码中有的影响多个位，有的影响 SFR 寻址，详细说明如下所示。

4.3.1 BxSEL 操作码

存储区选择操作码 B0SEL、B1SEL、B2SEL 和 B3SEL 可将 SFR 存储区分别切换到 Bank 0、Bank 1、Bank 2 和 Bank 3。更新后的存储区选择状态在内部保存到 ENCX24J600 器件内的易失性存储器中。通过使用读存储区选择 (RBSEL) 操作码，固件可检索当前选择的 SFR 存储区状态。

使用 RCR、WCR、BFS 和 BFC 指令时，需要使用存储区选择操作码来访问大部分的 SFR 地址。这将在第 4.6 节 “N 字节指令” 中详细讨论。

器件上电复位或系统复位时，自动选择 Bank 0。复位后，硬件不会再次修改存储区状态。除非执行下一个 BxSEL 操作码或者发生系统复位，否则由 BxSEL 操作码编程的任何值都将保持不变。

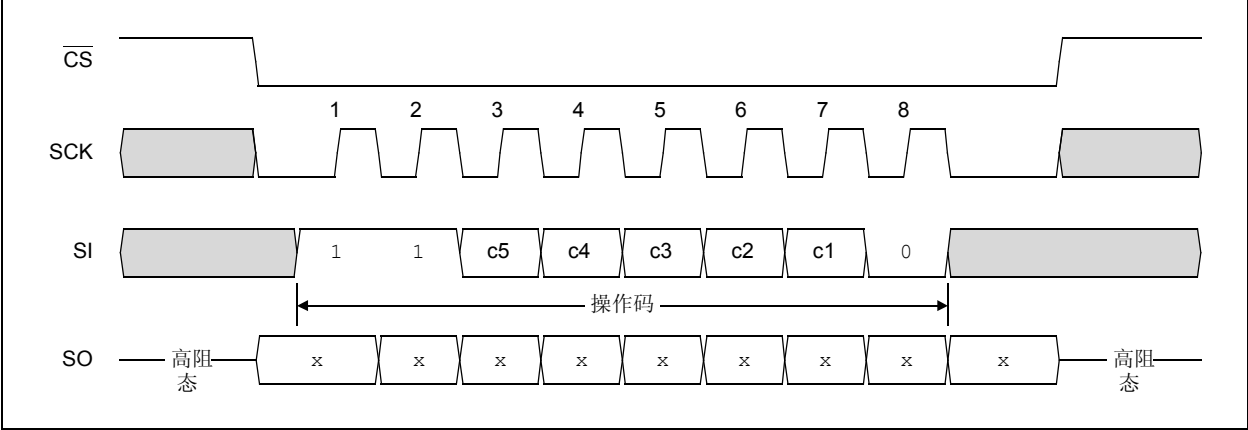
4.3.2 FC（流控制）操作码

流控制操作码 FCDISABLE、FCSINGLE、FCMULTIPLE 和 FCCLEAR 都可以通过更改 FCOP<1:0> 位 (ECON1<7:6>) 的值来修改器件的流控制模式。这些操作码的执行与当前选择哪一个 SFR 存储区无关。关于流控制操作的更多信息，请参见第 11.0 节 “流控制”。

4.3.3 DMA 操作码

DMA 操作码 DMASTOP、DMACKSUM、DMACKSUMS、DMACOPY 和 DMACOPYS 通过同时更改 DMAST、DMACPY、DMACSSD 和 DMANOCs 控制位 (ECON1<5:2>) 的值来改变器件 DMA 控制器的操作。关于 DMA 操作的更多信息，请参见第 14.0 节 “直接存储器访问 (DMA) 控制器”。

图 4-1：单字节指令的时序图



ENC424J600/624J600

表 4-2: 单字节指令

助记符	操作码	指令
B0SEL	1100 0000	选择 SFR Bank 0
B1SEL	1100 0010	选择 SFR Bank 1
B2SEL	1100 0100	选择 SFR Bank 2
B3SEL	1100 0110	选择 SFR Bank 3
SETETHRST	1100 1010	通过将 ETHRST (ECON2<4>) 置 1 发出系统复位信号
FCDISABLE	1110 0000	禁止流控制 (设置 ECON1<7:6> = 00)
FCSINGLE	1110 0010	发送单个暂停帧 (设置 ECON1<7:6> = 01)
FCMULTIPLE	1110 0100	通过定期暂停帧使能流控制 (设置 ECON1<7:6> = 10)
FCCLEAR	1110 0110	通过最终暂停帧终止流控制 (设置 ECON1<7:6> = 11)
SETPKTDEC	1100 1100	通过将 PKTDEC (ECON1<8>) 置 1 使 PKTCNT 递减计数
DMASTOP	1101 0010	通过将 DMAST (ECON1<5>) 清零停止当前 DMA 操作
DMACKSUM	1101 1000	启动 DMA 和校验和操作 (设置 ECON1<5:2> = 1000)
DMACKSUMS	1101 1010	启动带种子的 DMA 校验和操作 (设置 ECON1<5:2> = 1010)
DMACOPY	1101 1100	启动 DMA 复制和校验和操作 (设置 ECON1<5:2> = 1100)
DMACOPYS	1101 1110	启动 DMA 复制和带种子的校验和操作 (设置 ECON1<5:2> = 1110)
SETTXRTS	1101 0100	将 TXRTS (ECON1<1>) 置 1 来发送以太网数据包
ENABLERX	1110 1000	通过将 RXEN (ECON1<0>) 置 1 来使能数据包接收
DISABLERX	1110 1010	通过将 RXEN (ECON1<0>) 清零来禁止数据包接收
SETEIE	1110 1100	通过将 INT (ESTAT<15>) 置 1 来允许以太网中断
CLREIE	1110 1110	通过将 INT (ESTAT<15>) 清零来禁止以太网中断

4.4 双字节指令

ENCX24J600 器件的命令集中只有一条指令使用了两个 SPI 字节。读存储区选择操作码 RBSEL 用于读取内部 SFR 存储区选择状态并返回值给主控制器。

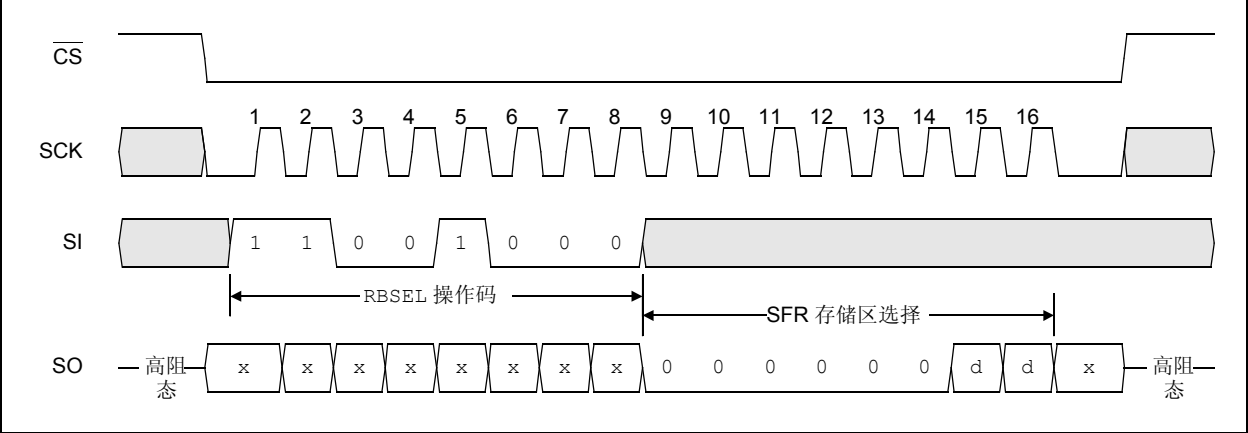
图 4-2 给出了执行双字节操作的时序关系图。必须从 SI 引脚输入操作码的第一个字节 11001000 (最高有效位在前)，随后是第二个字节的“无关”值 (在第 9 至第

16 个 SCK 上升沿期间)。在 SO 引脚上返回存储区选择值 (00h 至 03h)，最高有效位在前，此时第二个字节仍在 SI 引脚上。

由于该指令的长度固定，不带可选参数，因此在执行了 RBSEL 指令之后无需拉高片选线的电平就可以立即执行任何指令。

由于该操作码未修改 ENCX24J600 器件的内部状态，因此只要将 CS 引脚返回至无效状态就可以随时中止该操作码的执行。

图 4-2: 双字节指令的时序图 (RBSEL 操作码)



4.5 三字节指令

可使用三字节指令来快速读取或更新访问SRAM缓冲区所用的读写指针。与单字节指令和 RBSEL 指令不同，每个三字节指令可实现不同的读写操作。

对于读命令（如图 4-3 所示），必须从 SI 引脚输入操作码字节 011xxx10（最高有效位在前），随后是第二和第三字节的“无关”值（在第 9 至第 24 个 SCK 上升沿期间）。在第二和第三字节期间，在 SO 线上返回响应数据。

SO 线上的数据也按照最高有效位在前的顺序输出。但是，读命令多采用小尾数（little-endian）的顺序读取 16 位指针。因此，SO 线上的第一个字节（在第 9 至第 16 个 SCK 时钟脉冲期间返回的字节）是 16 位指针的低字节，随后是高字节（在第 17 至第 24 个 SCK 时钟脉冲期间返回的字节）。

读操作不影响 ENC424J600 器件的内部状态，因此随时可通过将片选引脚拉高来中止操作。

对于写命令（如图 4-4 所示），必须从 SI 引脚输入操作码字节 011xxx10（最高有效位在前），后面紧跟要写入的指针数据。与读操作期间返回的数据一样，写数据必须以最高有效位在前的顺序首先写入低字节。

如果应用只需要写 16 位指针的低字节，那么可以选择在第 16 个时钟脉冲后通过拉高片选引脚的电平并等待足够的片选保持时间来跳过高字节。然后硬件更新指针的低字节，而保持高字节的原始值不变。

在写操作期间，当片选线有效时，器件可驱动 SO 线为有效状态。忽略此时间间隔内的值。

所有三字节指令（包括读操作在内）都是在第 24 个 SCK 时钟脉冲结束（如果可以到达）时完成。主控制器无需拉高片选线就可以再发出一条 SPI 指令或多条固定长度的指令。

共有 12 条三字节指令，读写指令各 6 条，如表 4-3 所列。

图 4-3: 三字节读指令的时序图

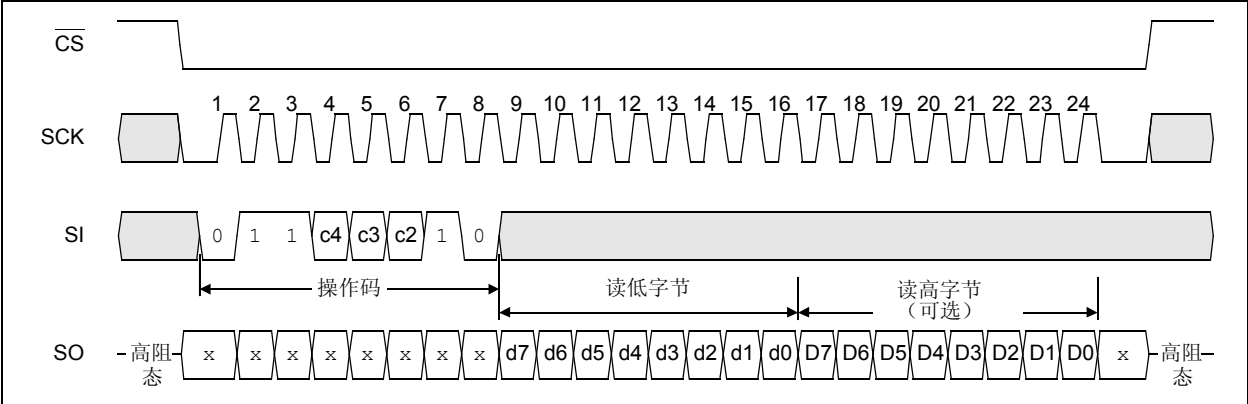
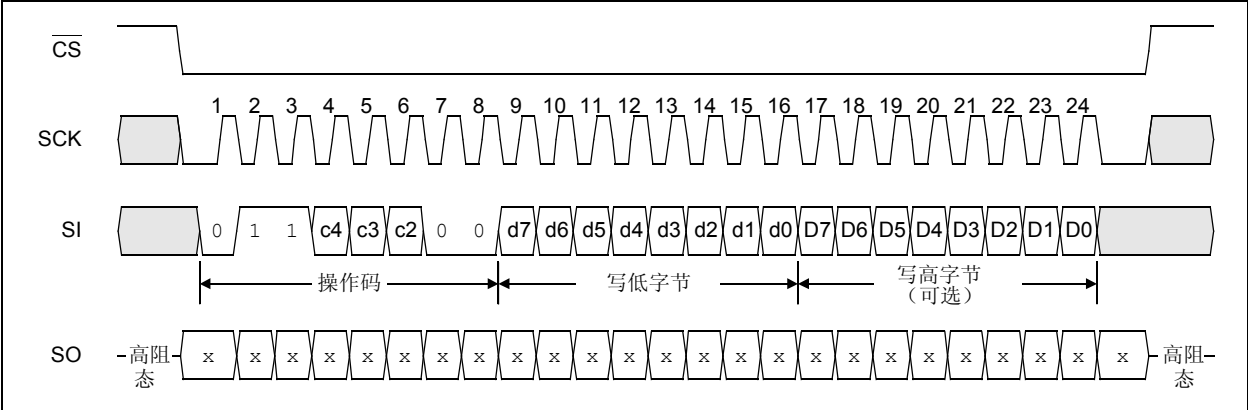


图 4-4: 三字节写指令的时序图



ENC424J600/624J600

表 4-3: 三字节指令

助记符	操作码	参数		指令
	第 1 个字节	第 2 个字节	第 3 个字节	
WGPRDPT	0110 0000	dddd dddd	DDDD DDDD	写通用缓冲区读指针（EGPRDPT）。
RGPRDPT	0110 0010	xxxx xxxx	XXXX XXXX	读通用缓冲区读指针（EGPRDPT）。
WRXRDPT	0110 0100	dddd dddd	DDDD DDDD	写接收缓冲区读指针（ERXRDPT）。
RRXRDPT	0110 0110	xxxx xxxx	XXXX XXXX	读接收缓冲区读指针（ERXRDPT）。
WUDARDPT	0110 1000	dddd dddd	DDDD DDDD	写用户定义存储区读指针（EUDARDPT）。
RUDARDPT	0110 1010	xxxx xxxx	XXXX XXXX	读用户定义存储区读指针（EUDARDPT）。
WGPWRPT	0110 1100	dddd dddd	DDDD DDDD	写通用缓冲区写指针（EGPWRPT）。
RGPWRPT	0110 1110	xxxx xxxx	XXXX XXXX	读通用缓冲区写指针（EGPWRPT）。
WRXWRPT	0111 0000	dddd dddd	DDDD DDDD	写接收缓冲区写指针（ERXWRPT）。
RRXWRPT	0111 0010	xxxx xxxx	XXXX XXXX	读接收缓冲区写指针（ERXWRPT）。
WUDAWRPT	0111 0100	dddd dddd	DDDD DDDD	写用户定义存储区写指针（EUDAWRPT）。
RUDAWRPT	0111 0110	xxxx xxxx	XXXX XXXX	读用户定义存储区写指针（EUDAWRPT）。

图注: x/d = 指针数据低字节, X/D = 指针数据高字节（可选）。

4.6 N 字节指令

N 字节指令是 SPI 命令中使用最多的一类，因为它们可以读写任何可寻址的 SFR 或 SRAM 空间。之所以称为 N 字节指令是因为它们的长度可变，至少需要两个字节，但是数据参数的字节数不确定或者返回的输出字节数不受限制。这种特性使得它们能够对 SRAM 缓冲区读写整个数据阵列。

由于这些指令的长度可变，所以除非 $\overline{\text{CS}}$ 线拉高，否则在任何 N 字节指令之后都无法执行其他操作码。将 $\overline{\text{CS}}$ 线拉高可以终止指令并将 SO 引脚置于高阻态。

N 字节指令的格式根据执行的是读操作还是写操作、是访问分区 SFR、未分区 SFR 还是 SRAM 单元而各不相同。接下来的章节将讨论这些格式之间的区别。

4.6.1 分区 SFR 操作

N 字节分区 SFR 指令为 WCR、RCR、BFS 和 BFC。这些指令在执行之前需要使用合适的 BxSEL 指令来选择正

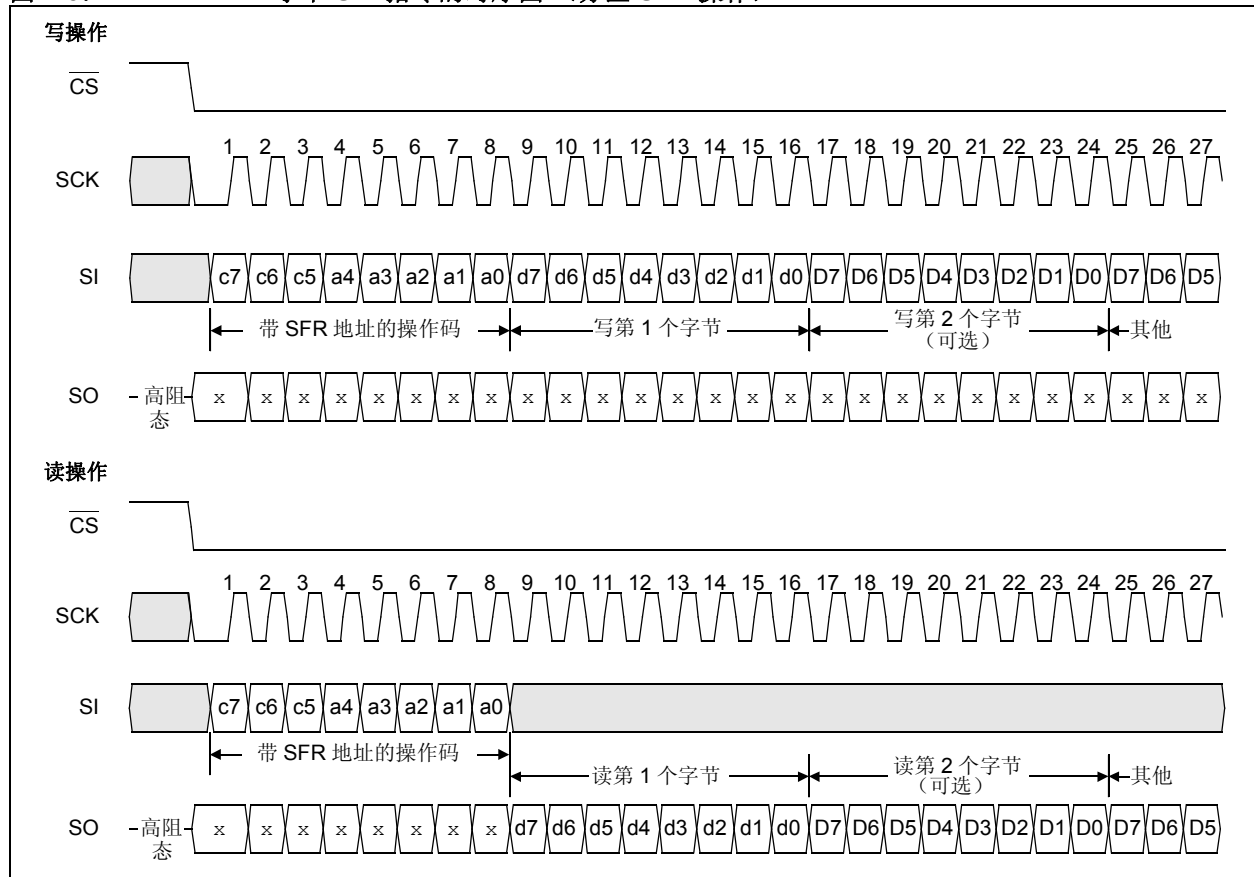
确的 SFR 存储区。因此，它们无法用于未分区 SFR 空间（80h 至 9Fh）。

图 4-5 给出了这些操作的时序图。与所有其他操作码一样，SI 引脚上的数据必须是最高有效位在前。对于所有分区指令，数据的第一个字节必须是操作码，由 3 位表示指令的前缀和 5 位分区 SFR 地址组成。如果指令是写或位域置 1/ 清零操作码，则下一个字节是要写入的数据或位掩码。对于读指令，SI 引脚上的下一个字节是“无关”字节。

对于写和位域置 1/ 清零指令，当 $\overline{\text{CS}}$ 引脚驱动为低电平时，SO 引脚驱动为有效状态，显示不确定值 1 或 0。对于读指令，在第 1 至第 8 个 SCK 时钟脉冲期间，在 SO 线上随时钟移出不确定数据。从第 9 个时钟脉冲开始，在 SO 引脚上随时钟移出字节宽度的有效数据，最高有效位在前。

只要 $\overline{\text{CS}}$ 引脚保持低电平状态，会一直在 SCK 线上提供时钟脉冲、从 SI 线输入数据、指令会不断地执行、自动递增到 SFR 存储区中的下一个寄存器地址，并将数据从 SI 写入后续寄存器或从后续寄存器在 SO 上输出数据。到达存储区末尾时，地址自动折回到存储区的开始（00h）处并继续递增，但所选的存储区不会改变。

图 4-5: N 字节 SPI 指令的时序图（分区 SFR 操作）



ENC424J600/624J600

共有四个分区 SFR 操作码，汇总在表 4-4 中。下面给出了这些操作码的更多详细信息。

4.6.1.1 WCR 操作码

写控制寄存器（WCR）操作码字节由前缀 010 以及要写入的第一个寄存器的 5 位分区 SFR 地址组成。例如，如果当前选择了 Bank 3，且主单片机想写入数据到分区地址 0Eh 处的 ECON2L 寄存器，则 8 位操作码为 01001110 或 4Eh。

一般情况下，可对大部分寄存器地址以任何顺序执行任意长度的 WCR 指令。但是对任何 MAC 或 MII 寄存器执行 WCR 指令时要特别注意。这些寄存器必须作为整个 16 位寄存器写入，必须先写低字节（例如，写 MACON1 时必须先写 MACON1L，然后再写 MACON1H）。只写 MAC 或 MII 寄存器的高字节会成功写高字节寄存器，而低字节寄存器则会写入不确定数据。如果在写 MAC 或 MII 寄存器的高字节时通过拉高 CS 来中止 WCR 指令，则高字节和低字节都不会被更新。

4.6.1.2 RCR 操作码

读控制寄存器（RCR）操作码字节由前缀 000 以及要读的寄存器的 5 位分区 SFR 地址组成。仍以上述示例为例，用于读取 ECON2L 的 8 位操作码为 00001110 或 0Eh。

可对任何寄存器地址以任何顺序执行任意长度的读操作。但是，由于易失性寄存器的影子寄存器操作，建议以低字节在前的顺序读取 ERXHEADH:ERXHEADL 寄存器对，才能获得正确的值。更多信息请参见第 9.2 节“接收数据包”。

4.6.1.3 BFS 和 BFC 操作码

位域置 1（BFS）和位域清零（BFC）操作码分别由前缀 100（对于 BFS）或 101（对于 BFC）以及要写入的第一个寄存器的 5 位分区 SFR 地址组成。在时序和

自动地址递增方面，它们与 WCR 操作码几乎相同。但是，主单片机为其提供的不是要写入寄存器的绝对地址，而是用于显示目标寄存器中需要置 1 或清零的位的位掩码。

对于 BFS，ENCX24J600 对所提供的位域执行逻辑或操作，以使该位域中的 1 位变成寄存器中的置 1 位，而位域中的 0 位对寄存器中的相应位没有影响。对于 BFC，ENCX24J600 对所提供掩码的补码执行逻辑与操作。这使得掩码中的 1 位变成寄存器中的清零位，而掩码中的 0 位对寄存器中的相应位没有影响。

主控制器在尝试更改易失性控制寄存器或中断标志寄存器中的位时必须执行位域操作。一般情况下，应用可以通过“读 - 修改 - 写”操作来修改这种位：读控制寄存器的内容，修改控制器端存储器中的寄存器副本并将修改后的寄存器数据写回 ENCX24J600。但是在动态环境下，在读写操作之间可能有一个或多个控制位的状态发生了更改，从而导致写操作后器件进入不正确的状态。举例说明，假设正在使用 DMA 模块（ECON1L<5> = 1）时应用要发送数据包（即，ECON1L<1> 置 1）。当对 ECON1L 的读 - 修改 - 写操作完成时，DMA 操作可能已完成且清零了 ECON1L<5>。这种情况下，写返回就会错误地启动一个新的 DMA 操作。

使用 BFS 和 BFC 操作码无需等待读和写返回操作之间的延时，就可对一个或多个控制位进行位级别的更改。在上述示例中，对 ECON1L 上的位掩码 00000010 执行 BFS 操作码，会将 ECON1L<1> 置 1，还会启动数据包发送，同时不影响 ECON1L<5> 的状态。

注：与 WCR 操作码不同，BFS 和 BFC 不能用来修改 MAC 或 MII 寄存器。不要对 MAC 和 MII 寄存器执行这两类操作码。

表 4-4: N 字节分区 SFR 指令

指令	助记符	操作码	参数			
		第 1 个字节	第 2 个字节	第 3 个字节	第 N 个字节	
读控制寄存器	RCR	000a aaaa	xxxx xxxx	XXXX XXXX	XXXX XXXX	
写控制寄存器	WCR	010a aaaa	dddd dddd	DDDD DDDD	DDDD DDDD	
位域置 1	BFS	100a aaaa	dddd dddd	DDDD DDDD	DDDD DDDD	
位域清零	BFC	101a aaaa	dddd dddd	DDDD DDDD	DDDD DDDD	

图注: x/x = 读数据（LSB/MSB），d/D = 写数据（LSB/MSB），a = 分区 SFR 地址。

4.6.2 未分区 SFR 操作

N 字节未分区 SFR 指令为 WCRU、RCRU、BFSU 和 BFCU。这些指令使用具有单字节地址参数的操作码，不需要使用 BxSEL 指令选择 SFR 存储区。

图 4-6 给出了这些操作的时序关系图。与所有其他操作码一样，SI 引脚上的数据必须是最高有效位在前。对于此类指令，数据的第一个字节是一个特定的操作码，第二个字节是目标 SFR 的 8 位绝对地址。如果指令是写或位域置 1/ 清零操作码，则下一个字节是要写入的数据或位掩码。对于读指令，下一个字节是无关字节。

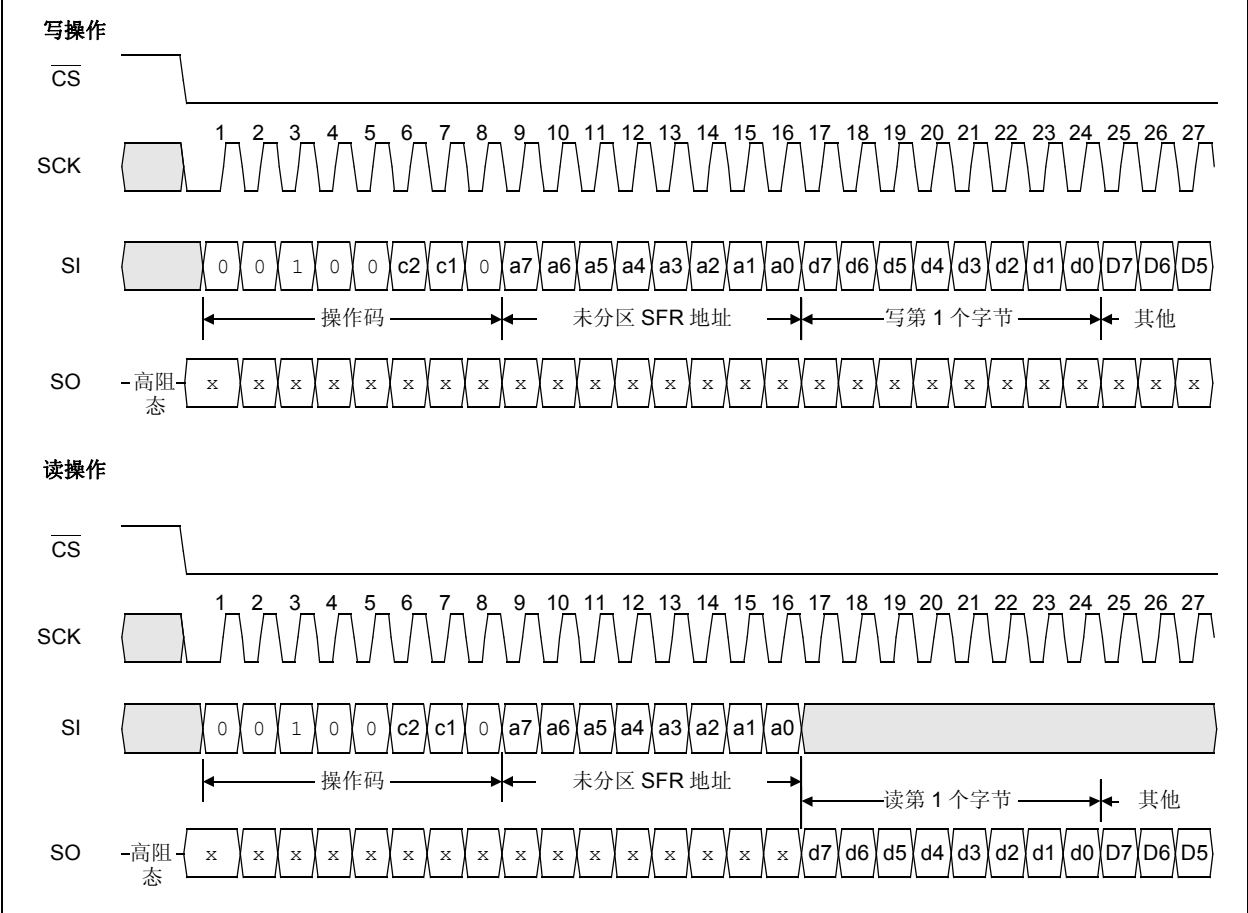
对于写和位域置 1/ 清零指令，当 CS 引脚驱动为低电平时，SO 引脚驱动为有效状态，显示不确定值 1 或 0。对于读指令，在第 1 至第 16 个 SCK 时钟脉冲期间，在 SO 线上随时钟移出随机数据。从第 17 个时钟脉冲开

始，在 SO 引脚上随时钟移出字节宽度的数据，最高有效位在前。如果是三字节的读指令，则数据字的低字节在前，高字节在后。

只要 CS 引脚保持低电平，指令就会持续执行，自动递增到 SFR 空间的下一个寄存器地址并将数据从 SI 写入后续寄存器或从后续寄存器在 SO 上输出数据。在到达某个存储区末尾时，地址将增至下一个存储区的开始处。地址从此存储区递增到未分区 SFR 区域（地址 80h-9Fh），然后折回到 Bank 0 的开始处（00h）。BxSEL 和 RBSEL 操作码所使用的 SFR 存储区值不受未分区 SFR 指令执行的影响。

共有四个未分区 SFR 操作码，汇总在表 4-5 中。除了寻址外，未分区 SFR 指令与分区 SFR 指令类似。但是，对某些指针寄存器执行操作时还是有一些差异，如下所示。

图 4-6: N 字节 SPI 操作码（未分区 SFR 操作）



4.6.2.1 WCRU 操作码

写未分区控制寄存器（WCRU）操作码以操作码 00100010（22h）开头，在第 9 至第 16 个 SPI 时钟脉冲期间间接未分区 SFR 寄存器地址。例如，要写入地址 6Eh 处的 ECON2L，指令为 22h 6Eh，后跟要写入的数据。

当主控制器完成写数据操作后，应该拉高 \overline{CS} 线，将器件置于无效状态，以等待下一条 SPI 指令。在完成 WCRU 事务后，请确保提供了足够的 \overline{CS} 保持时间等待上一次写操作完成后才拉高 \overline{CS} 。

一般情况下，可对大部分寄存器地址以任何顺序执行任意长度的 WCRU 指令。但是对任何 MAC 或 MII 寄存器执行 WCRU 指令时要特别注意。这些寄存器必须作为整个 16 位寄存器写入，必须先写低字节（例如，写 MACON1 时必须先写 MACON1L，然后再写 MACON1H）。只写 MAC 或 MII 寄存器的高字节会成功写高字节寄存器，而低字节寄存器则会写入不确定数据。如果在写 MAC 或 MII 寄存器的高字节时通过拉高 \overline{CS} 来中止 WCRU 指令，则高字节和低字节都不会被更新。

此外，WCRU 不能用于写 SRAM 缓冲区虚拟数据窗口（EGPDATA、ERXDATA 和 EUDADATA）。对用相应地址指针指示的缓冲区地址执行写操作不会影响此存储单元，且指针也不会自动递增。要使用虚拟数据窗口写 SRAM 缓存区，请始终使用 SRAM 缓冲区操作码（WGPDATA、WRXDATA 和 WUDADATA）。

4.6.2.2 RCRU 操作码

读未分区控制寄存器（RCRU）操作码以操作码 00100000（20h）开头，在第 9 至第 16 个 SPI 时钟脉冲期间间接未分区 SFR 寄存器地址。仍以上述示例为例，要读取地址 6Eh 处的 ECON2L，完整的双字节指令为 20h 6Eh。

可对大部分寄存器地址以任何顺序执行任意长度的读操作。但是，由于易失性寄存器具有影子寄存器，建议以低字节在前的顺序读取 ERXHEADH:ERXHEADL 寄存器对，才能获得正确的值。更多信息请参见第 9.2 节“接收数据包”。

与 WCRU 类似，无法使用 RCRU 指令通过虚拟数据窗口从 SRAM 缓冲区读取数据。读取用相应地址指针指示的缓冲区地址将返回不确定的数据，且指针不会自动递增。要使用虚拟数据窗口从 SRAM 缓存区读取数据，请始终使用 SRAM 缓冲区操作码（RGPDATA、RRXDATA 和 RUDADATA）。

4.6.2.3 BFSU 和 BFCU 操作码

位域置 1 未分区（BFSU）和位域清零未分区（BFCU）操作码分别以操作码 00100100（24h，对于 BFSU）或 00100110（26h，对于 BFCU）开头，在第 9 至第 16 个 SPI 时钟脉冲期间间接未分区 SFR 寄存器地址。在时序和自动地址递增方面，它们与 WCRU 操作码几乎相同。

BFSU 和 BFCU 的功能与 BFS 和 BFC 相同，通过使用位掩码将目标寄存器中的个别位置 1 或清零。它们的适用情况也与 BFS 和 BFC 相同，也就是说，它们适用于需要在动态环境下操作单个控制位或中断标志位，同时又要避免影响其他位的情况。详细说明请参见第 4.6.1.3 节“BFS 和 BFC 操作码”。

注

1: 与 WCRU 操作码不同，BFSU 和 BFCU 不能用来修改 MAC 或 MII 寄存器。不要对 MAC 和 MII 寄存器执行这两类操作码。

2: BFSU 和 BFCU 操作码对未分区区域（地址 80h-9Fh）中的任何 SFR 不起作用。

表 4-5: N 字节未分区 SFR 指令

指令	助记符	操作码	参数			
		第 1 个字节	第 2 个字节	第 3 个字节	第 N 个字节	
读未分区控制寄存器	RCRU	0010 0000	AAAA AAAA	xxxx xxxx	XXXX XXXX	
写未分区控制寄存器	WCRU	0010 0010	AAAA AAAA	dddd dddd	DDDD DDDD	
位域置 1 未分区寄存器	BFSU	0010 0100	AAAA AAAA	dddd dddd	DDDD DDDD	
位域清零未分区寄存器	BFCU	0010 0110	AAAA AAAA	dddd dddd	DDDD DDDD	

图注: x/X = 读数据（LSB/MSB），d/D = 写数据（LSB/MSB），A = 未分区 SFR 地址。“x”和“d”表示为可选操作。

4.6.3 SRAM 缓冲区操作

六个 N 字节 SRAM 指令的功能与分区 SFR 指令的功能类似，因为它们使用了单字节操作码来定义操作和目标寄存器。它们在时序方面几乎完全相同，如图 4-7 所示。

与所有其他操作码一样，SI 引脚上的数据必须是最高有效位在前。对于所有指令，数据的第一个字节均为操作码。如果指令是写操作码，则下一个字节为要写入的数据。对于读指令，下一个字节是无关字节。

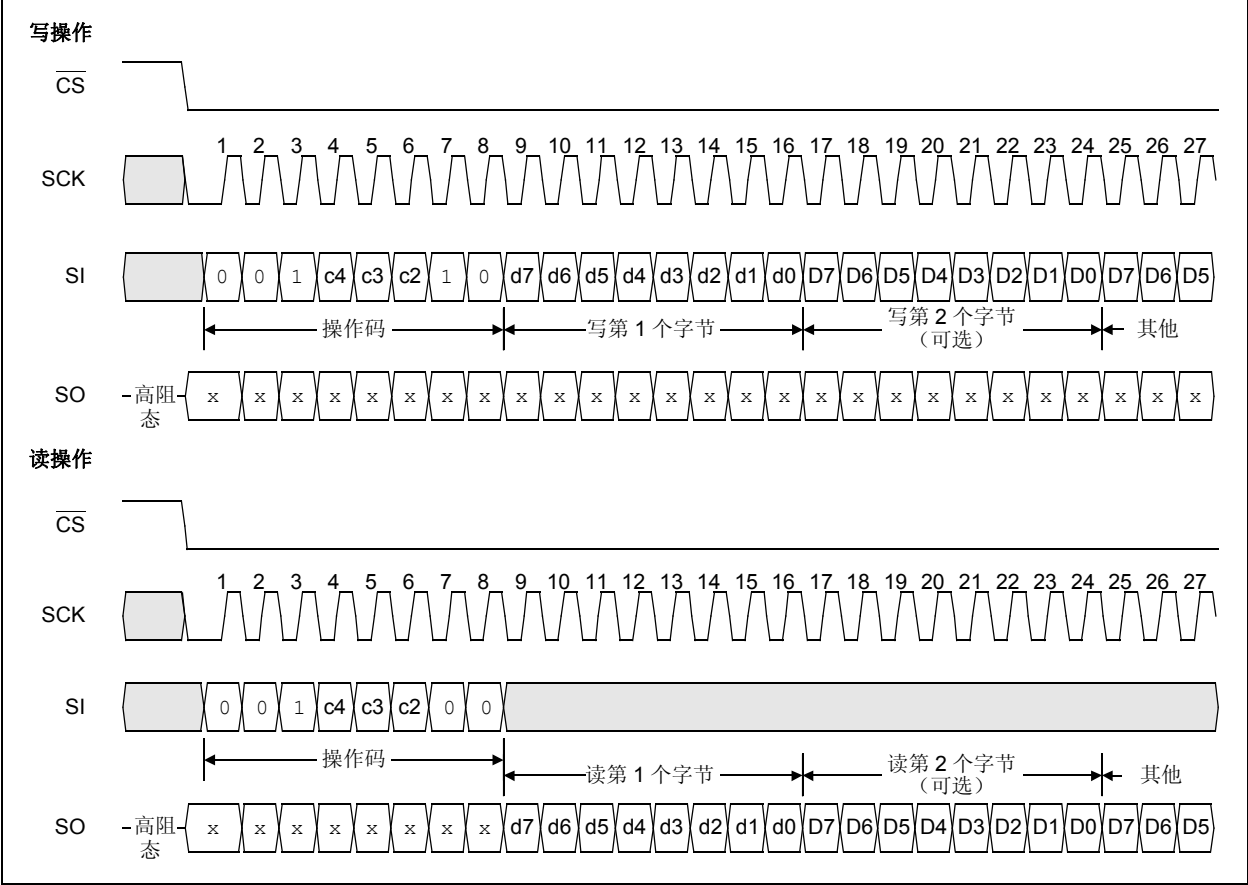
对于写指令，当 $\overline{\text{CS}}$ 引脚驱动为低电平时，SO 引脚驱动为有效状态，显示不确定值 1 或 0。对于读指令，在第

1 至第 8 个 SCK 时钟脉冲期间，在 SO 线上随时钟移出随机数据。从第 9 个时钟脉冲开始，在 SO 引脚上随时钟移出字节宽度的数据，最高有效位在前。

只要 $\overline{\text{CS}}$ 引脚保持低电平，指令就会持续执行，并根据第 3.5.5 节“间接访问 SRAM 缓冲区”中描述的指针折回规则自动递增到下一个 SRAM 地址。相关的读写指针 SFR 会每隔 8 个 SCK 时钟脉冲自动更新一次。要终止读写操作，必须将 $\overline{\text{CS}}$ 信号返回到高电平。

共有 6 条指令，读写指令各 3 条，汇总在表 4-6 中。

图 4-7: N 字节 SPI 操作码 (SRAM 缓冲区操作)



ENC424J600/624J600

表 4-6: N 字节 SRAM 指令

指令	助记符	操作码	参数			
		第 1 个字节	第 2 个字节	第 3 个字节	第 N 个字节	
从 EGPDATA 读取数据	RGPDATA	0010 1000	xxxx xxxx	XXXX XXXX	XXXX XXXX	
写入数据到 EGPDATA	WGPDATA	0010 1010	dddd dddd	DDDD DDDD	DDDD DDDD	
从 ERXDATA 读取数据	RRXDATA	0010 1100	xxxx xxxx	XXXX XXXX	XXXX XXXX	
写入数据到 ERXDATA	WRXDATA	0010 1110	dddd dddd	DDDD DDDD	DDDD DDDD	
从 EUDADATA 读取数据	RUDADATA	0011 0000	xxxx xxxx	XXXX XXXX	XXXX XXXX	
写入数据到 EUDADATA	WUDADATA	0011 0010	dddd dddd	DDDD DDDD	DDDD DDDD	

图注: x/x = 读数据 (LSB/MSB), d/D = 写数据 (LSB/MSB)。“x”和“d”表示为可选操作。

5.0 并行从端口接口（PSP）

ENC424J600/624J600 器件可直接与许多单片机上的并行端口接口，包括 Microchip 的许多 PIC® 单片机上的并行主端口（PMP）。并行从端口接口非常灵活，它通过 Intel® 或 Motorola® 格式的读写控制选通信号来进行通信。对于主单片机上没有提供并行端口的情况，可以使用利用通用 I/O 引脚实现的软件管理并行接口。

使能了 PSP 接口时，ENCX24J600 可用作并行总线上的从器件。必须配置主控制器以产生针对从器件的目标地址以及必要的端口控制信号。

5.1 物理实现

PSP 接口与串行接口是互斥的，不能同时使用。要能使 PSP 并禁止 SPI，可通过一个外部电阻将 INT/SPISEL 引脚连接至 Vss。

12 至 34 引脚都可以用作 PSP 接口，具体取决于器件引脚数和 PSP 工作模式。最多有八种工作模式，包括数据宽度、数据 / 地址的复用以及总线选通格式的不同。将 PSPCFG<4:0> 的各个引脚与 VDD 或 Vss 相连就可

以选择模式。各种可能的组合以及相关的性能指标都汇总在表 5-1 中。第 2.7.2 节 “PSP” 提供了关于物理连接的更多信息。

在 PSP 模式下，CS/CS 引脚为高电平有效的片选（CS）引脚。选择了 PSP 接口后，会有一个内部弱下拉电阻自动连接至该引脚，这可防止引脚在没有外部片选信号时悬空为不确定状态。

当 CS 处于无效（逻辑低电平）状态时，AD15（仅 64 引脚器件）和 AD<14:0> 引脚处于高阻态，可承受 5V 的电压。这样 ENCX24J600 就可以与其他从器件共用一根并行总线，这些从器件在未被选中时与其工作方式相同。所有其他 PSP 引脚，包括 A<14:0> 引脚（仅 64 引脚器件）和端口控制选通引脚始终可承受 5V 的输入电压。当片选引脚处于逻辑低电平时，忽略这些引脚上的输入。

与 SPI 端口不同，PSP 可以选择是否使用片选引脚。如果未与其他从器件共用并行总线，CS 引脚可以一直与 VDD 相连。这样的话，主控制器就可以节省一个 I/O 引脚，ENCX24J600 处于永久选中状态。

表 5-1: PSP 接口支持的工作模式

PSP 模式	可用性		引脚编号 ⁽¹⁾		数据宽度	地址/数据复用	控制线	10 MHz 时的理论性能 (Mbit/s)
	44 引脚	64 引脚	最小值	最大值				
1		X	19	26	8 位	无	CS、RD 和 WR	80
2		X	19	26	8 位	无	CS、EN 和 R/W	80
3		X	26	34	16 位	无	CS、RD、WRL 和 WRH	160
4		X	26	34	16 位	无	CS、R/W、B0SEL 和 B1SEL	160
5	X	X	12	19	8 位	有	AL、CS、RD 和 WR	<80
6	X	X	12	19	8 位	有	AL、CS、EN 和 R/W	<80
9		X	19	21	16 位	有	AL、CS、RD、WRL 和 WRH	<80
10		X	19	21	16 位	有	AL、CS、R/W、B0SEL 和 B1SEL	<80

注 1: 只包括地址、数据和端口控制选通引脚。不包括用于模式配置的 INT/SPISEL 和 PSPCFG 引脚。

5.2 使用 PSP 接口

与串行接口不同，PSP 接口不使用操作码或命令架构来控制器件。而是使用第 3.1.2 节“PSP 接口映射”中描述的寻址模式直接访问存储空间。控制 SFR 可以被直接读写，或通过其附属的位置 1 和位清零寄存器进行操作。

在 16 位模式下，每个地址（0 至 16,384）都指向不相同的字。写高字节选通信号和写低字节选通信号可以分别写每个字的高字节和低字节。

5.2.1 直接和间接 SRAM 缓冲区访问

直接寻址使主控制器可以直接访问 ENCX24J600 存储空间内的所有 SFR 和 SRAM 缓冲区地址。这就使得访问 SRAM 缓冲区具有最大的灵活性和最快的速度。但是，这种配置要求主控制器最多能驱动 15 个地址引脚。而在小型的、引脚有限的应用中可能会禁止这种配置。

在模式 1-6 中，将相应的引脚与 VDD 相连可以节省 6 个地址引脚。在这种配置中，只有与存储空间的 SFR 区域对应的地址才能够被直接寻址。而 SRAM 缓冲存储区只有通过第 3.5.5 节“间接访问 SRAM 缓冲区”中描述的 SFR 空间中的 EGPDATA、ERXDATA 和 EUDADATA 数据窗口才可以访问。

复用模式（例如 PSP 模式 5、6、9 和 10）下可进行间接缓冲区访问。在这些模式下，由于每个字节并不需要单独的地址阶段，所以数据窗口指针的自动递增功能使得对缓冲区的访问速度与字节宽度的解复用访问速度相同。

8 位 PSP 模式使得每个寄存器的低字节和高字节都有独立的地址。由于这些模式具有“长”存储空间（即独立地址较多），所以间接访问要求用 9 根线来寻址 7E00h 和 7FFFh 间的所有寄存器。相反，16 位模式只要求使用 8 根线来寻址其 SFR 范围（3F00h-3FFFh）内的所有寄存器。即便如此，在这两种数据宽度模式下使用间接访问仍可节省 6 个引脚：8 位模式下为 AD<14:9>，16 位模式下为 AD<13:8>。

5.2.2 地址锁存

在复用地址 / 数据模式（PSP 模式 5 至 10）下，ENCX24J600 可以实现内部地址锁存。复用需要在一条总线上进行通信的数据和地址可以减少接口引脚总数。

在 8 位模式下，可在所有的 AD 引脚上进行地址锁存。在 16 位模式下，仅 AD<13:0> 引脚可以进行地址锁存。由于 16 位模式涉及所有需要的地址线，所以在选通地址锁存（AL）引脚时仅短暂地在 ENCX24J600 器件上显示需要的地址。在 8 位接口时，AD<14:8> 引脚专用于寻址操作，不必通过读写操作使用有效地址来连续驱动这些高位地址线。

在工作期间，首先选通 AL 引脚为高电平，然后为低电平，导致 AD 引脚上出现的地址被保存到地址锁存器中。保存的地址供将来的读写操作使用。除非发生 POR 事件或由于再次选通 AL 导致又有地址写入地址锁存器，否则该地址将一直保存。这样便无需进行多次地址锁存操作就可以实现对同一个地址的多次读写请求。

地址锁存器被访问后不会自动递增。然而使用间接缓冲区访问方法，无需更新地址锁存器就可以连续读写整个连续的 SRAM 地址单元阵列。

5.2.3 写选择引脚

16 位 PSP 模式使用两个写引脚（WRL 和 WRH），或一个 R/W 选择和两个字节选择线（B0SEL 和 B1SEL）控制。向器件写入数据时，这些引脚允许主控制器指示是只写入低字节，还是只写入高字节或是高低字节均写入。

如果主控制器上只有一个写选择引脚，可将高字节选择引脚和低字节选择引脚连接在一起形成一个 16 位写选通引脚。这样的话，只能进行字写操作。但是，主控制器仍然可以在通过始终执行 8 位访问的 EGPDATA、ERXDATA 或 EUDADATA 窗口寄存器访问 SRAM 缓冲区时，写入单字节。

5.2.4 未使用的接口引脚

任何未使用的 PSP 引脚都置于高阻态，与 CS 引脚的状态无关。要获得最大的 ESD 性能，建议不要让未使用的接口引脚悬空，而是将其连接至 VSS 或 VDD。

5.2.5 性能注意事项

使用 16 位宽的数据总线时，对所有寄存器的访问以及对 SRAM 的直接访问都可以通过 16 位地址访问来完成。因此，这些模式的速度基本上相当于其 8 位同等并行模式速度的两倍。但是，通过硬件管理的 SRAM 读写寄存器（EGPDATA、ERXDATA 和 EUDADATA）进行访问始终使用 8 位地址，而与所使用的接口无关。因此，在许多应用中，在所有总线传输周期中传输 16 位有效数据实际上不太可行。

在使用复用地址总线的接口上从 EGPDATA、ERXDATA 和 EUDADATA 寄存器读取数据时，只需锁存地址一次然后便可执行背靠背读写操作，而不占用额外的地址锁存周期。当需要连续地对 RAM 读写数据阵列时，这可以明显提高性能。因此，8 位复用模式（模式 5 和 6）理论上可以达到接近解复用 PSP 模式 1 和 2 的性能。

5.3 PSP 模式

使用 PSPCFG 引脚可以选择 8 种 PSP 模式。由于地址 / 数据和控制信号之间的时序关系不同，不同模式下的地址 / 数据总线和端口控制连接也有区别，有时区别很大。接下来的部分将详细讨论每种模式。

5.3.1 模式 1

PSP 模式 1 是 8 位全解复用模式，仅 64 引脚器件上可以实现。并行接口由 8 个双向数据引脚（AD<7:0>）和 9 至 15 个独立地址引脚（A<14:0>）组成。要选择 PSP 模式 1，请将 PSPCFG2、PSPCFG3 和 PSPCFG4 连接至 Vss。图 5-1 给出了所需的连接方案。

此模式将高电平有效的读写选通引脚（RD 和 WR）与片选（CS）信号引脚结合使用。这三个引脚允许主机选择器件，然后用信号通知何时需要读操作或何时发送要写入的有效数据。任何时候只要 CS 或 RD 为低电平，AD<7:0> 引脚就保持高阻态。

要执行读操作：

1. 拉高 CS 线（如果该线与主机相连）。
2. 将要读取的地址发送到地址总线上。
3. 拉高 RD 选通信号并等待访问开始所需的时间。

当 RD 拉高时，数据总线开始输出一段很短时间的不确定数据，在经过合适的读访问时间后切换到正确的读数据操作。当 RD 选通信号拉低后，AD<7:0> 返回高阻态。

要执行写操作：

1. 拉高 CS 线（如果该线与主机相连）。
2. 将地址发送到地址总线上。
3. 将数据发送到数据总线上。
4. 首先选通 WR 信号为高电平，然后为低电平。

要确保操作正确，请不要在选择 ENC424J600 时同时拉高 RD 和 WR。

图 5-2 和图 5-3 分别提供了此模式下读写数据的时序图示例。

ENC424J600/624J600

图 5-1: PSP 模式 1 的器件连接方案

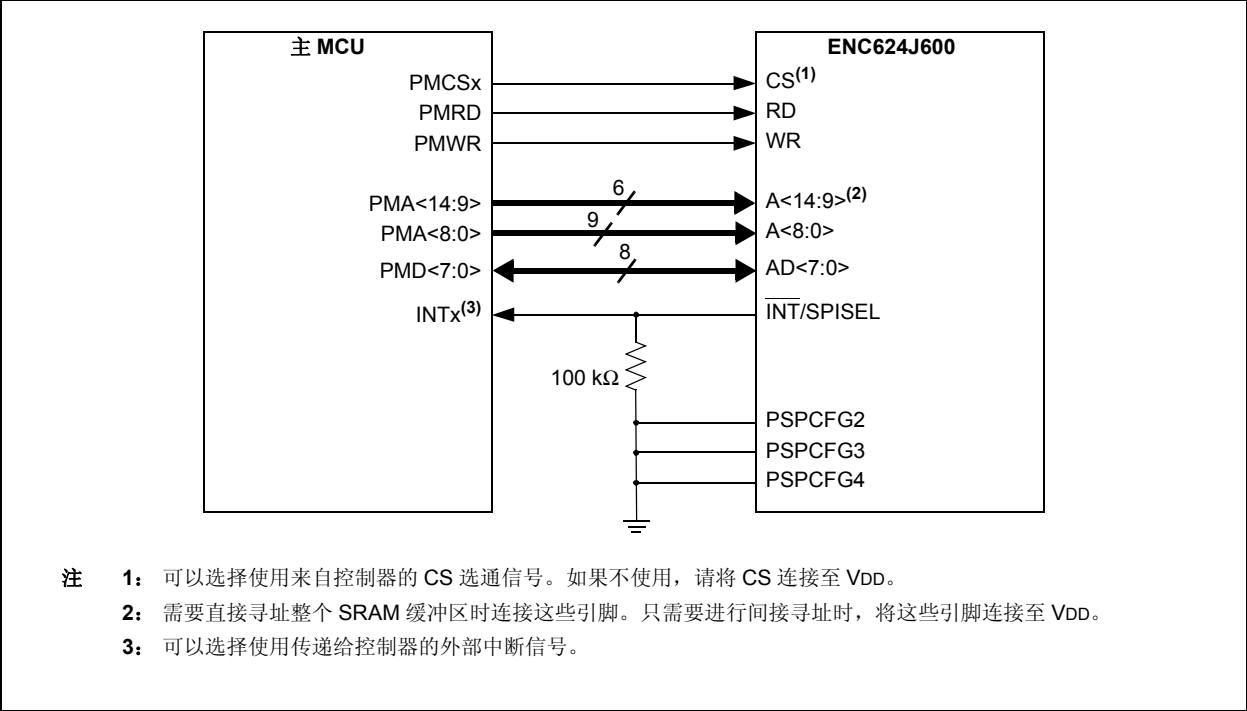


图 5-2: 模式 1 读操作时序图 (两字节数据)

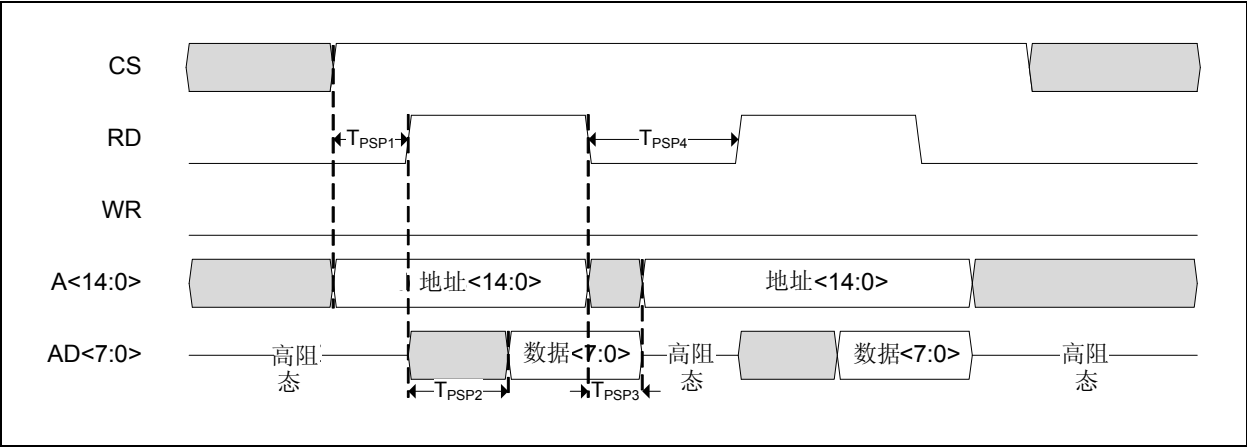
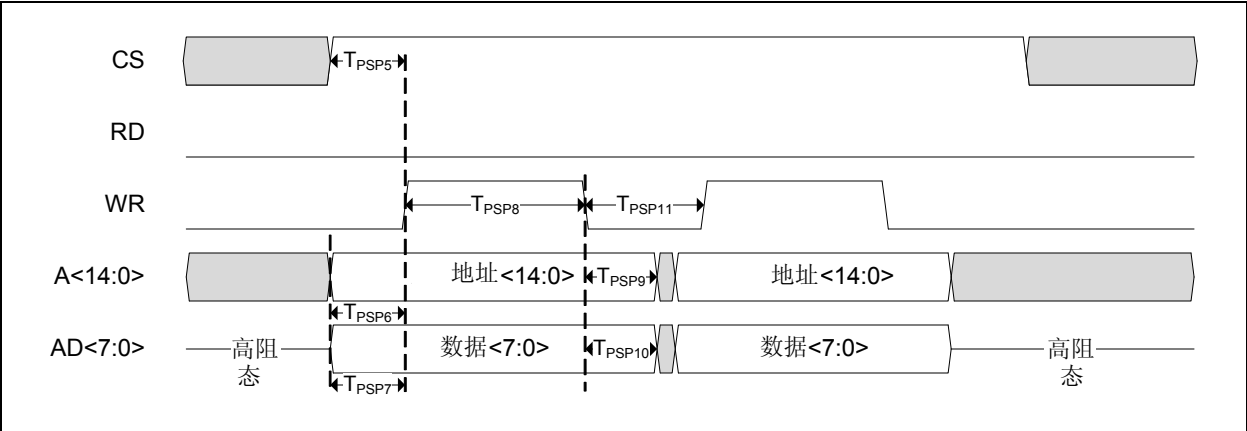


图 5-3: 模式 1 写操作时序图 (两字节数据)



5.3.2 模式 2

PSP 模式 2 也是 8 位全解复用模式，仅 64 引脚器件上可以实现。并行接口由 8 个双向数据引脚（AD<7:0>）和 9 至 15 个独立地址引脚（A<14:0>）组成。要选择 PSP 模式 2，请将 PSPCFG2 和 PSPCFG3 连接至 Vss，将 PSPCFG4 连接至 VDD。图 5-4 给出了使用模式 2 所需的连接方案。

此模式使用组合读/写（R/W）选择引脚、使能（EN）选通引脚和独立片选引脚（CS）。这三个引脚允许主机选择器件，指示是否需要读或写操作并用信号通知何时发送有效数据。

R/W 引脚上的逻辑高电平信号指示在 EN 选通引脚有效时执行读操作，逻辑低电平信号表示要执行写操作。当 EN 信号有效时，R/W 的状态只影响数据总线的状态。当 CS、EN 或 R/W 驱动为低电平时，数据总线处于高阻态。

要执行读操作：

1. 拉高 CS 线（如果该线与主机相连）。
2. 拉高 R/W 信号。
3. 将要读取的地址发送到地址总线上。
4. 拉高 EN 选通信号。
5. 等待访问开始所需的时间。

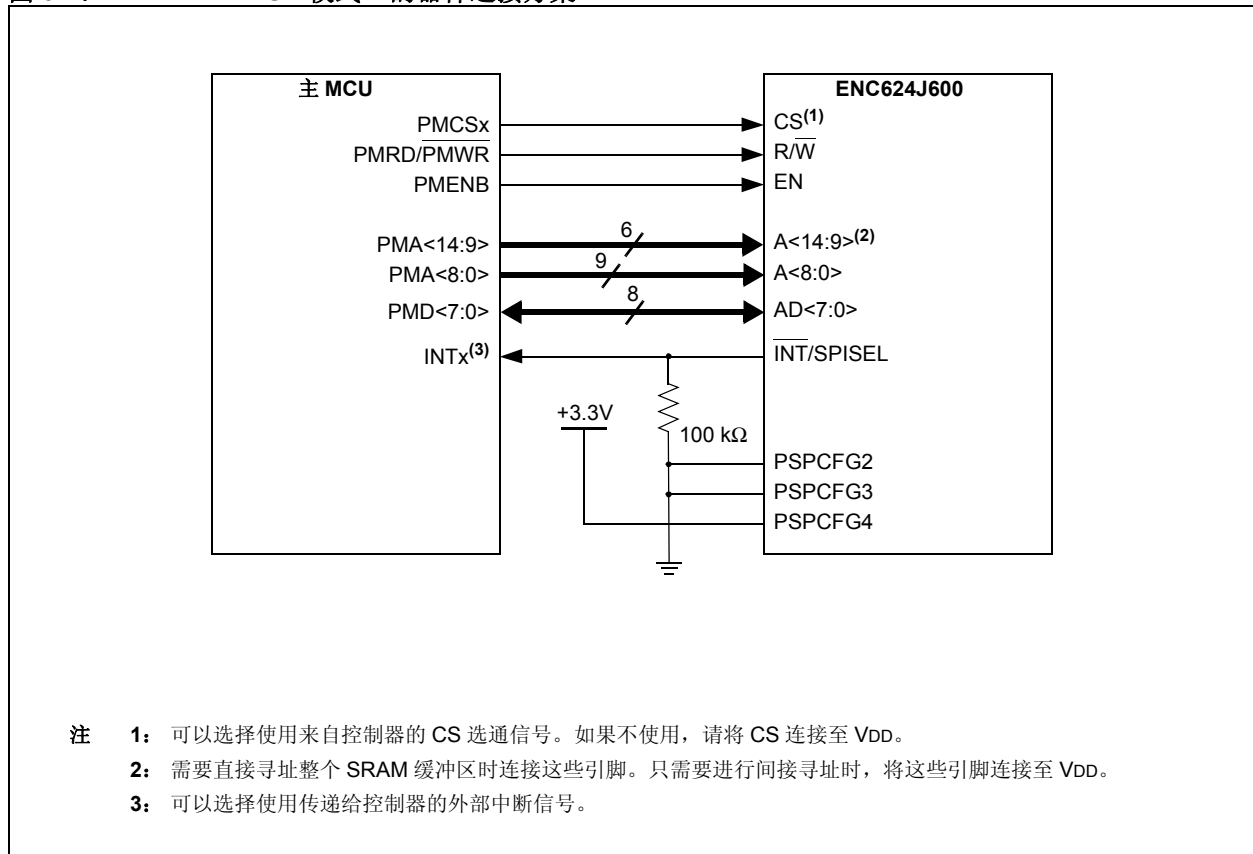
当 EN 拉高时，数据总线开始输出一段很短时间的不确定数据，在经过合适的读访问时间后切换到正确的读数据操作。当 EN 选通信号拉低时，数据总线引脚返回高阻态。

要执行写操作：

1. 拉高 CS 线（如果该线与主机相连）。
2. 拉低 R/W 信号。
3. 将地址发送到地址总线上。
4. 将数据发送到数据总线上。
5. 首选选通 EN 信号为高电平，然后为低电平。

图 5-5 和图 5-6 分别提供了此模式下读写数据的时序图示例。

图 5-4: PSP 模式 2 的器件连接方案



--



5.3.3 模式 3

PSP 模式 3 是 16 位全解复用模式，仅 64 引脚器件上可以实现。并行接口由 16 个双向数据引脚（AD<15:0>）和 8 至 14 个独立地址引脚（A<13:0>）组成。要选择 PSP 模式 3，请将 PSPCFG3 和 PSPCFG4 连接至 Vss，将 PSPCFG2 连接至 VDD。图 5-7 给出了所需的连接方案。

高电平有效的 RD 选通引脚和两个写选通引脚（WRH 和 WRL）可与单独的片选（CS）信号引脚结合使用。这四个引脚允许主机选择器件，然后用信号通知何时需要读操作或何时发送要写到高字节和 / 或低字节的有效数据。要确保操作正确，请不要在拉高 WRL 或 WRH 的同时也拉高 CS 和 RD。

在 PSP 模式 3 下，任何时候只要 CS 或 RD 为低电平，AD<15:0> 引脚就保持高阻态。

要执行读操作：

1. 拉高 CS 线（如果该线与主机相连）。
2. 将要读取的地址发送到地址总线上。
3. 拉高 RD 选通信号并等待访问开始所需的时间。

当 RD 拉高时，数据总线开始输出一段很短时间的不确定数据，在经过合适的读访问时间后切换到正确的读数数据操作。当 RD 选通信号拉低时，数据引脚返回高阻态。

对于每个读请求，器件总是输出整个 16 位数据。如果只需要 8 位数据，请从正确的引脚（AD<15:8> 或 AD<7:0>）读取数据并丢弃其余字节。

要执行写操作：

1. 拉高 CS 线（如果该线与主机相连）。
2. 将地址发送到 A<13:0> 地址总线上。
3. 如果要写入存储单元的低字节，请将数据发送到 AD<7:0>，并首先选通 WRL 信号为高电平，然后为低电平。
4. 如果要写入高字节，请将数据发送到 AD<15:8>，并选通 WRH 信号。
5. 如果要写整个字，需同时选通 WRL 和 WRH。

图 5-8 和图 5-9 分别提供了此模式下读写数据的时序图示例。

图 5-7: PSP 模式 3 的器件连接方案

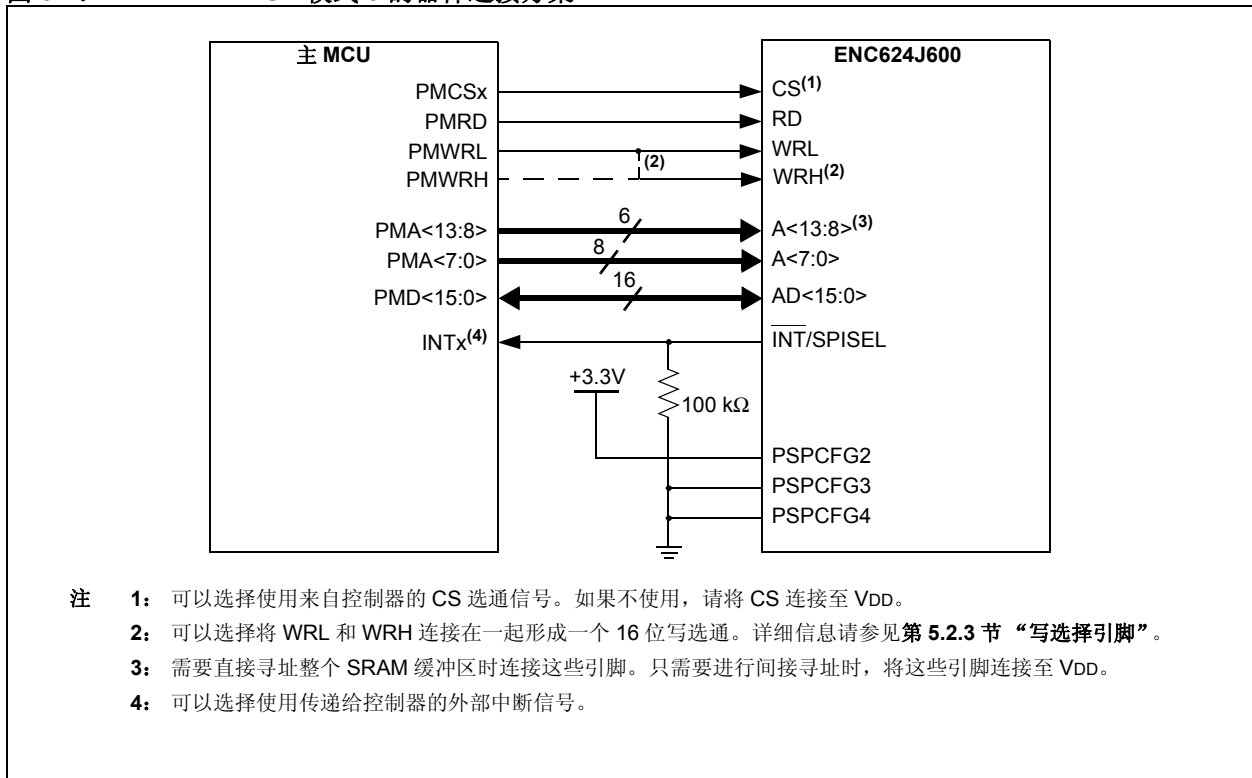


图 5-8: 模式 3 读操作时序图（四字节数据）

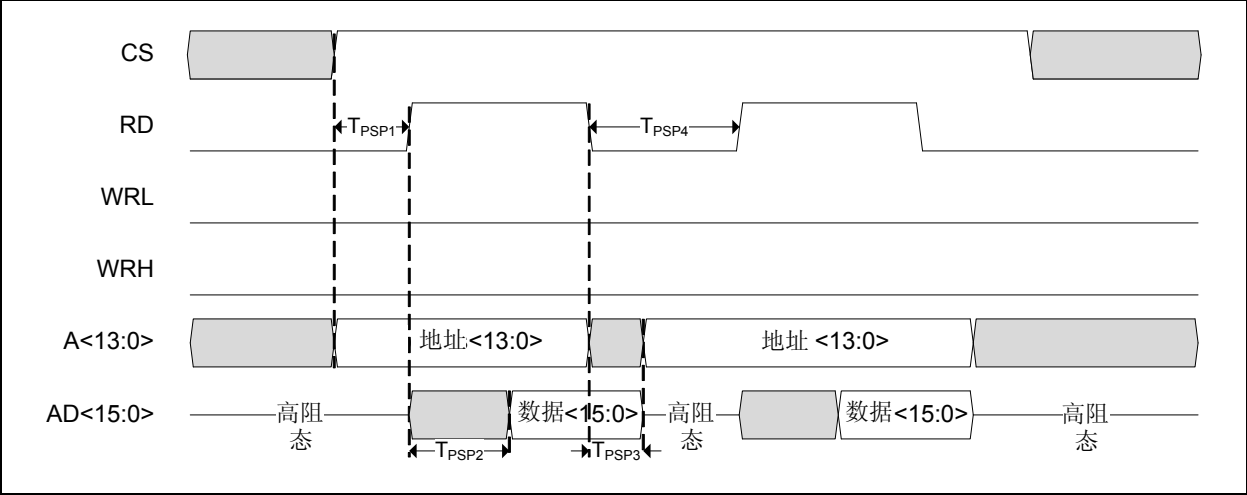
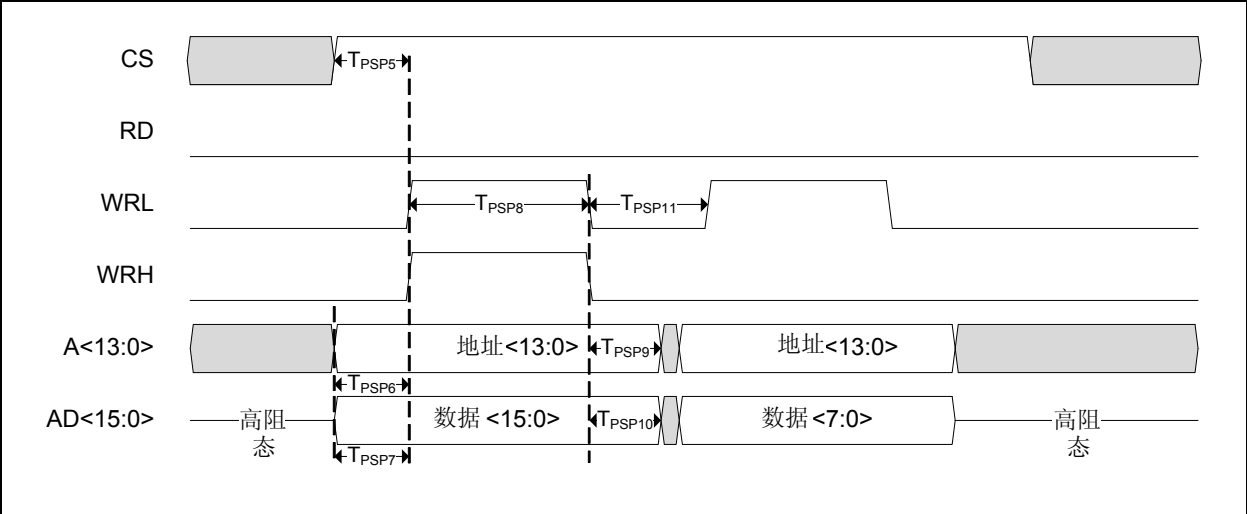


图 5-9: 模式 3 写操作时序图（三字节数据）



5.3.4 模式 4

PSP 模式 4 也是 16 位全解复用模式，仅 64 引脚器件上可以实现。使用 PSP 模式 4 时，并行接口由 16 个双向数据引脚（AD<15:0>）和 8 至 14 个独立地址引脚（A<13:0>）组成。要选择 PSP 模式 4，请将 PSPCFG2 和 PSPCFG4 连接至 VDD，将 PSPCFG3 连接至 VSS。图 5-10 给出了所需的连接方案。

此模式使用组合读/写（R/W）选择引脚、两个字节选择（B0SEL 和 B1SEL）引脚和一个独立片选（CS）信号引脚。这四个引脚允许主机选择器件，指示是需要读操作还是写操作并用信号通知何时发送要写到低字节和/或高字节的有效数据。

R/W 引脚上的逻辑高电平信号表示在 B0SEL 或 B1SEL 选通引脚拉高时执行读操作，逻辑低电平信号表示要执行写操作。当 B0SEL 或 B1SEL 有效时，R/W 的状态只影响数据总线的状态。当 CS 驱动为低电平、R/W 驱动为低电平或 B0SEL 和 B1SEL 都驱动为低电平时，数据总线保持高阻态。

要执行读操作：

1. 拉高 CS 线（如果该线与主机相连）。
2. 拉高 R/W 信号。
3. 将要读取的地址发送到地址总线上。

4. 拉高一个或两个字节选择选通引脚。

当 BxSEL 引脚拉高时，数据总线开始输出一段很短时间的不确定数据，在经过合适的读访问时间后切换到正确的读数据操作。当 B0SEL 和 B1SEL 都为低电平时，数据总线引脚返回高阻态。

对于每个读请求，即使只选通了一个字节选择引脚，器件也始终输出整个 16 位数据。如果只需要 8 位数据，请从正确的引脚（AD<15:8> 或 AD<7:0>）读取数据并丢弃其余字节。

要执行写操作：

1. 拉高 CS 线（如果该线与主机相连）。
2. 拉低 R/W。
3. 将地址发送到地址总线上。
4. 如果要写入存储单元的低字节，请将数据发送到 AD<7:0>，并首先选通 B0SEL 为高电平，然后为低电平。
5. 如果要写入高字节，请将数据发送到 AD<15:8>，并选通 B1SEL。
6. 如果要写整个字，需同时选通 B0SEL 和 B1SEL。

图 5-11 和图 5-12 分别提供了此模式下读写数据的时序图示例。

图 5-10: PSP 模式 4 的器件连接方案

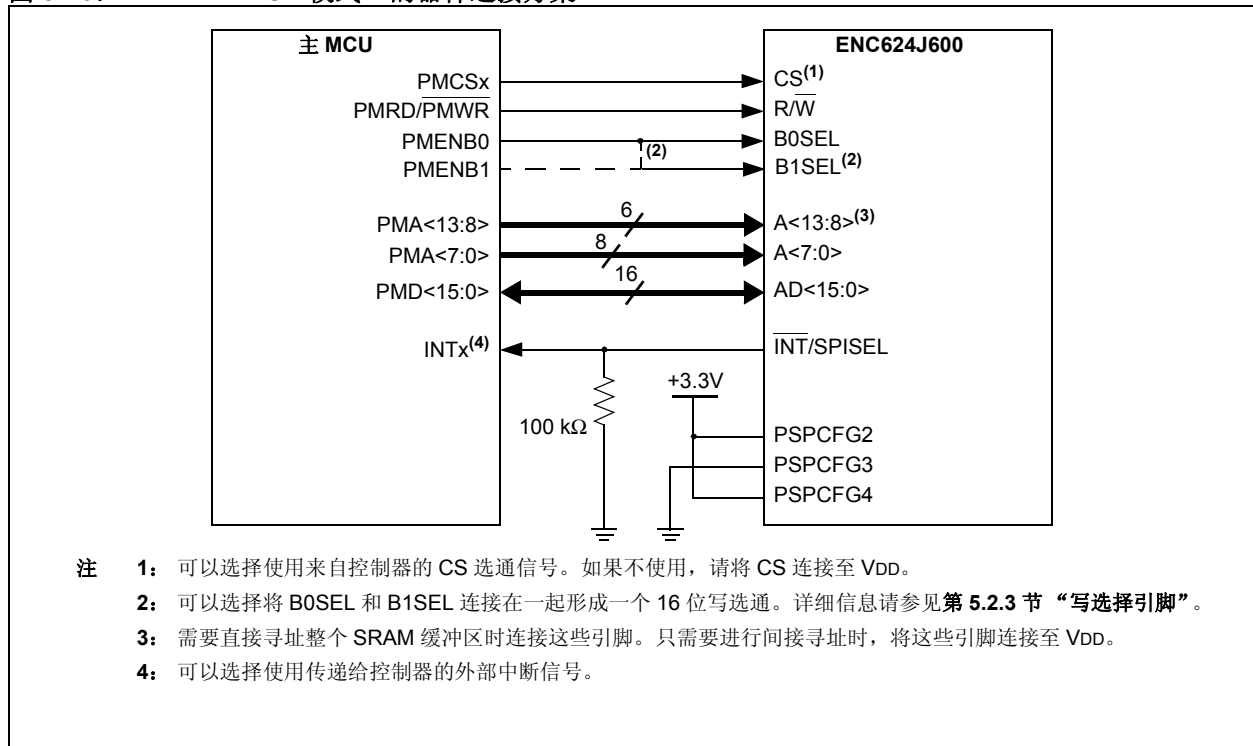


图 5-11: 模式 4 读操作时序图（四字节数据）

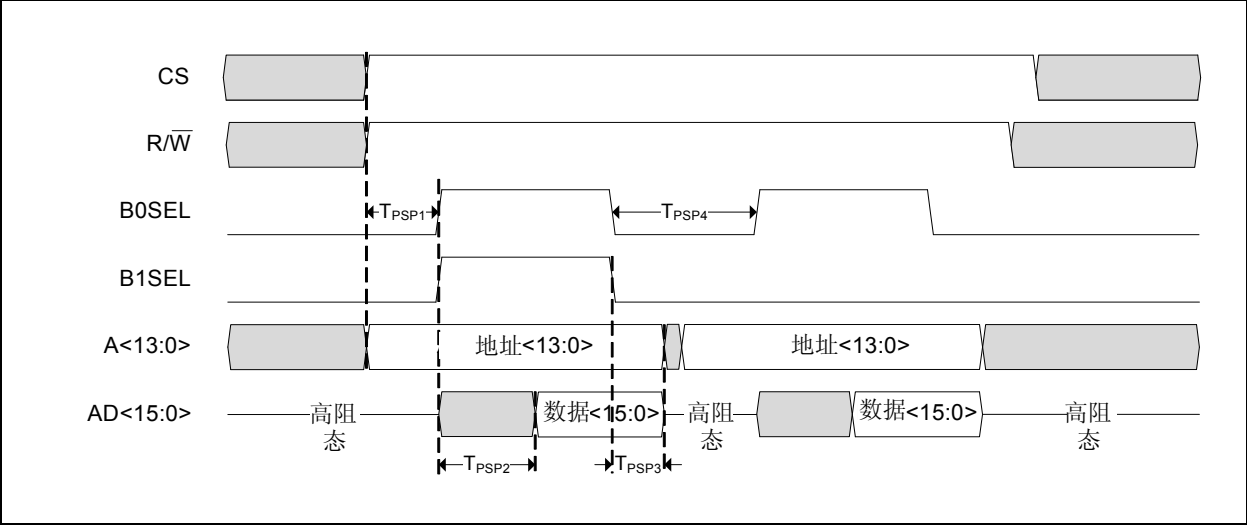
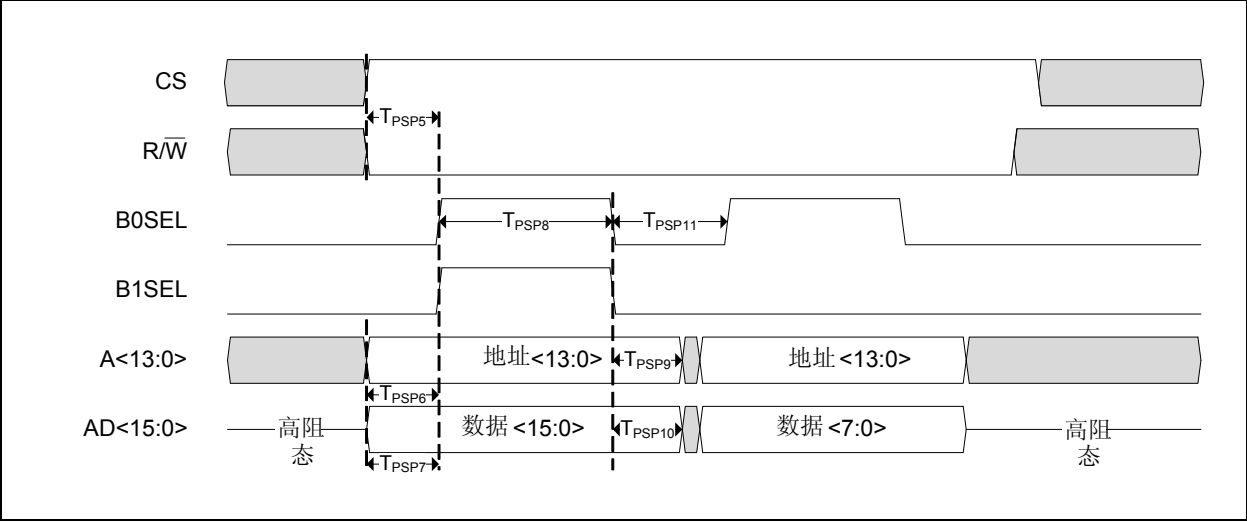


图 5-12: 模式 4 写操作时序图（三字节数据）



5.3.5 模式 5

PSP 模式 5 是所有器件上都可实现的 8 位部分复用模式。并行接口由 8 个复用地址和数据引脚（AD<7:0>）加上一个必需的高地址位（AD8）和 6 个可选的仅用作地址输入的引脚（AD<14:9>）组成。

44 引脚和 64 引脚器件选择 PSP 模式 5 的方法不同，如图 5-13 所示。对于 44 引脚 ENC424J600，将 PSPCFG0 连接至 Vss。对于 64 引脚 ENC624J600，将 PSPCFG1 和 PSPCFG2 连接至 Vss，将 PSPCFG3 连接至 VDD。

此模式使用高电平有效的读和写（RD 和 WR）选通引脚以及独立的片选和地址锁存（CS 和 AL）引脚。这四个引脚允许主机选择器件，锁存地址，并指示何时需要读或写操作。要确保操作正确，在选择了 ENC424J600 器件时，就要把 RD、WR 和 AL 选通引脚视作互斥引脚。也就是说，在指定的时间只能将其中一个引脚拉为逻辑高电平。

AD<14:8>仅用作地址输入引脚，因此始终保持高阻态。当 CS 或 RD 驱动为低电平时，复用 AD<7:0> 引脚就保持高阻态。

要执行读操作：

1. 拉高 CS（如果 CS 线与主机相连）。
2. 将要读取的地址发送到 AD<14:0> 上。
3. 首先选通 AL 引脚为高电平，然后为低电平。
4. 将主控制器的 AD<7:0> 总线引脚设置为输入。
5. 拉高 RD。

AD<7:0> 总线开始输出一段很短时间的不确定数据，在经过合适的读访问时间后切换到正确的读数据操作。当 RD 拉低后，AD<7:0> 引脚返回高阻态。

要执行写操作：

1. 拉高 CS（如果 CS 线与主机相连）。
2. 将要写入的地址发送到 AD<14:0> 上。
3. 选通 AL 引脚。
4. 将 AD<7:0> 上的数据从低地址字节更改为要写入的数据。
5. 首先选通 WR 引脚为高电平，然后为低电平。

如果接下来还需要读或写相同的存储地址，可以重新选通 RD 或 WR 而无需等待下一个地址锁存周期。

图 5-14 和图 5-15 分别提供了此模式下读写数据的时序图示例。

ENC424J600/624J600

图 5-13: PSP 模式 5 的器件连接方案

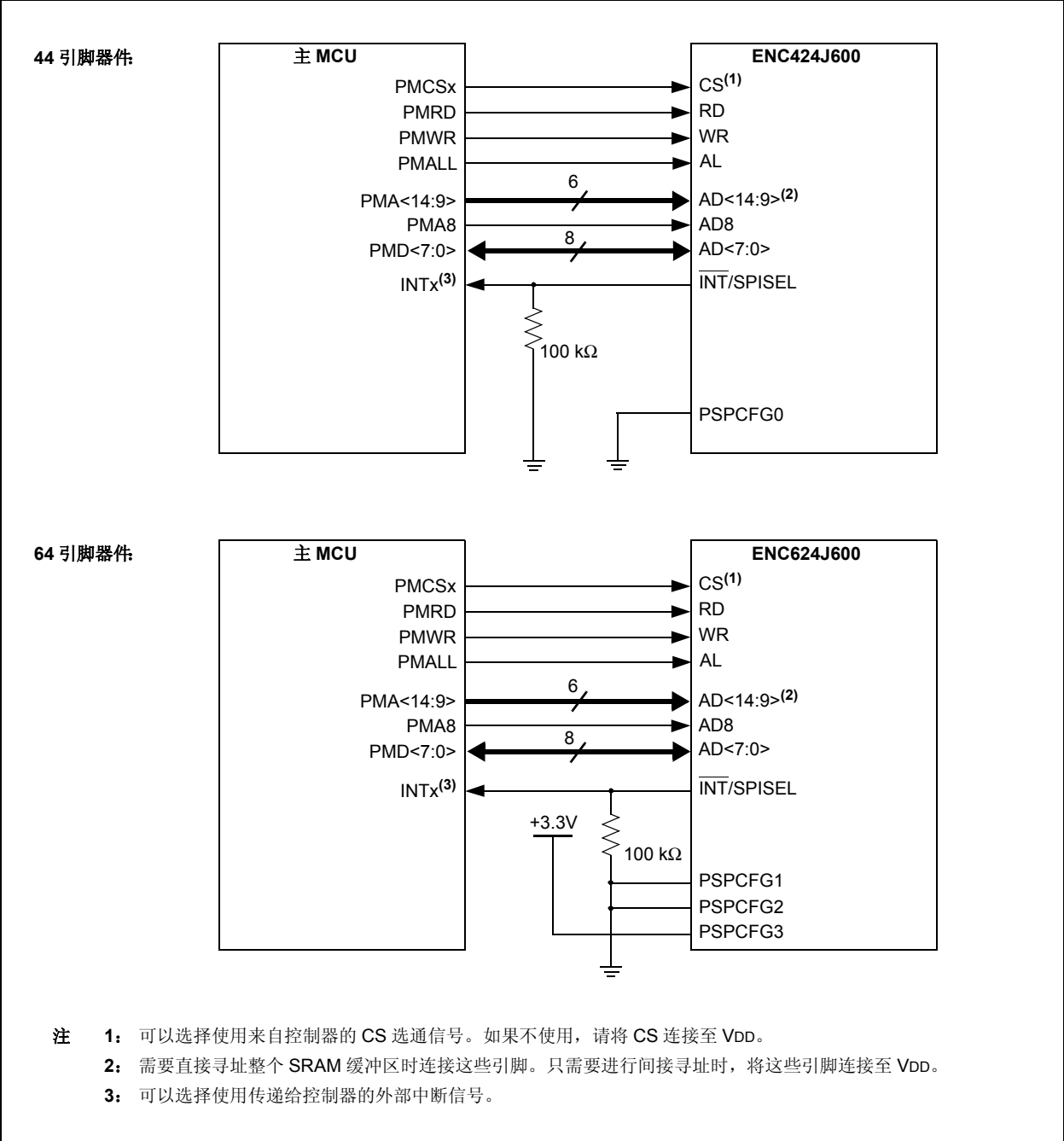


图 5-14: 模式 5 读操作时序图 (两字节数据——同一地址)

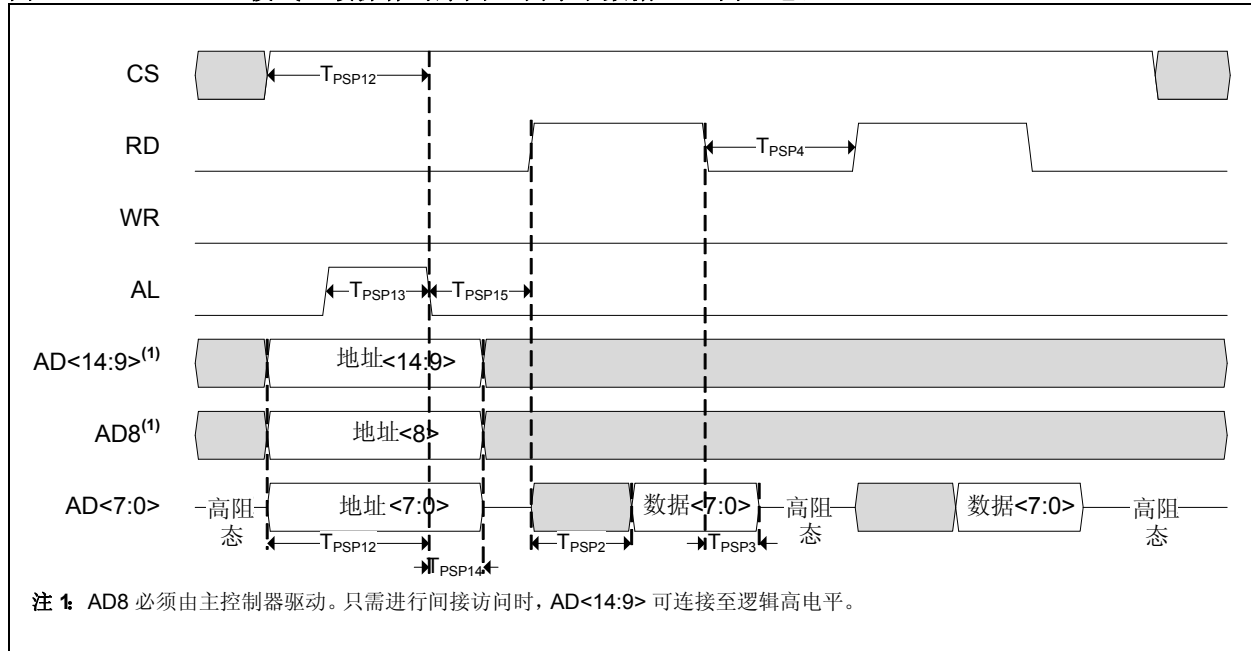
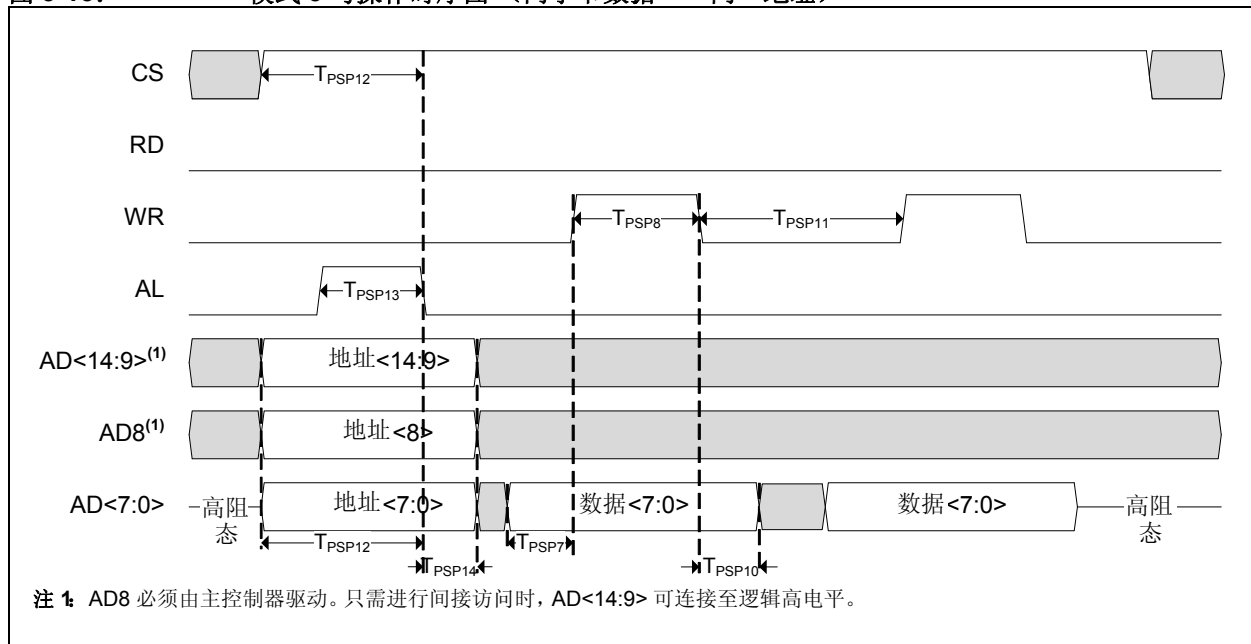


图 5-15: 模式 5 写操作时序图 (两字节数据——同一地址)



5.3.6 模式 6

PSP 模式 6 也是所有器件上都可实现的 8 位部分复用模式。并行接口由 8 个复用地址和数据引脚（AD<7:0>）加上一个必需的高地址位（AD8）和 6 个可选的仅用作地址输入的引脚（AD<14:9>）组成。

44 引脚和 64 引脚器件选择 PSP 模式 6 的方法不同，如图 5-16 所示。对于 44 引脚 ENC424J600，将 PSPCFG0 连接至 VDD。对于 64 引脚 ENC624J600，将 PSPCFG1 和 PSPCFG3 连接至 VDD，将 PSPCFG2 连接至 VSS。

此模式使用组合读 / 写（R/W）选择引脚、使能（EN）选通引脚以及独立片选（CS）和地址锁存（AL）引脚。这四个引脚允许主机选择器件，锁存地址，选择读或写操作，然后在请求读操作或要写入的数据有效时拉高使能引脚。要确保操作正确，请不要在选择 ENC424J600 时同时拉高 EN 和 AL。

AD<14:8> 仅用作地址输入引脚，因此始终保持高阻态。当 CS、R/W 或 EN 驱动为低电平时，复用 AD<7:0> 引脚就保持高阻态。

要执行读操作：

1. 拉高 CS（如果 CS 线与主机相连）。
2. 将要读取的地址发送到 AD<14:0> 上。
3. 首先选通 AL 引脚为高电平，然后为低电平。
4. 将主控制器的 AD<7:0> 总线引脚设置为输入。
5. 拉高 R/W。
6. 拉高 EN 选通引脚。

AD<7:0> 总线开始输出一段很短时间的不确定数据，在经过合适的读访问时间后切换到正确的读数据操作。当 EN 拉低后，复用的 AD<7:0> 引脚返回高阻态。

要执行写操作：

1. 拉高 CS（如果 CS 线与主机相连）。
2. 将要写入的地址发送到 AD<14:0> 上。
3. 选通 AL 引脚。
4. 拉低 R/W。
5. 将 AD<7:0> 上的数据从低地址字节更改为要写入的数据。
6. 首先选通 EN 引脚为高电平，然后为低电平。

如果接下来还需要读或写相同的存储地址，可以重新选通 EN 而无需等待下一个地址锁存周期。

图 5-17 和图 5-18 分别提供了此模式下读写数据的时序图示例。

图 5-16: PSP 模式 6 的器件连接方案

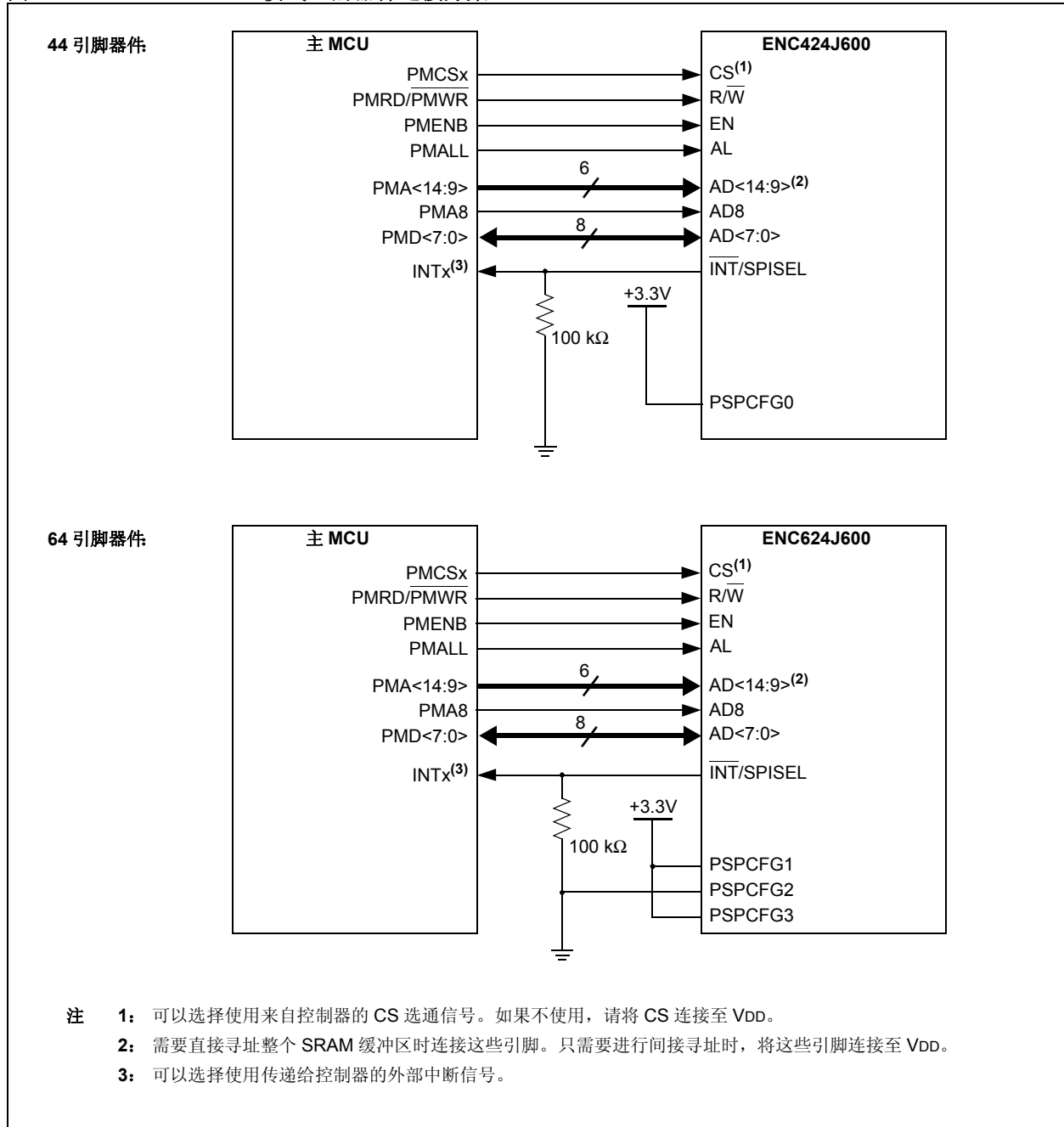


图 5-17: 模式 6 读操作时序图（两字节数据——同一地址）

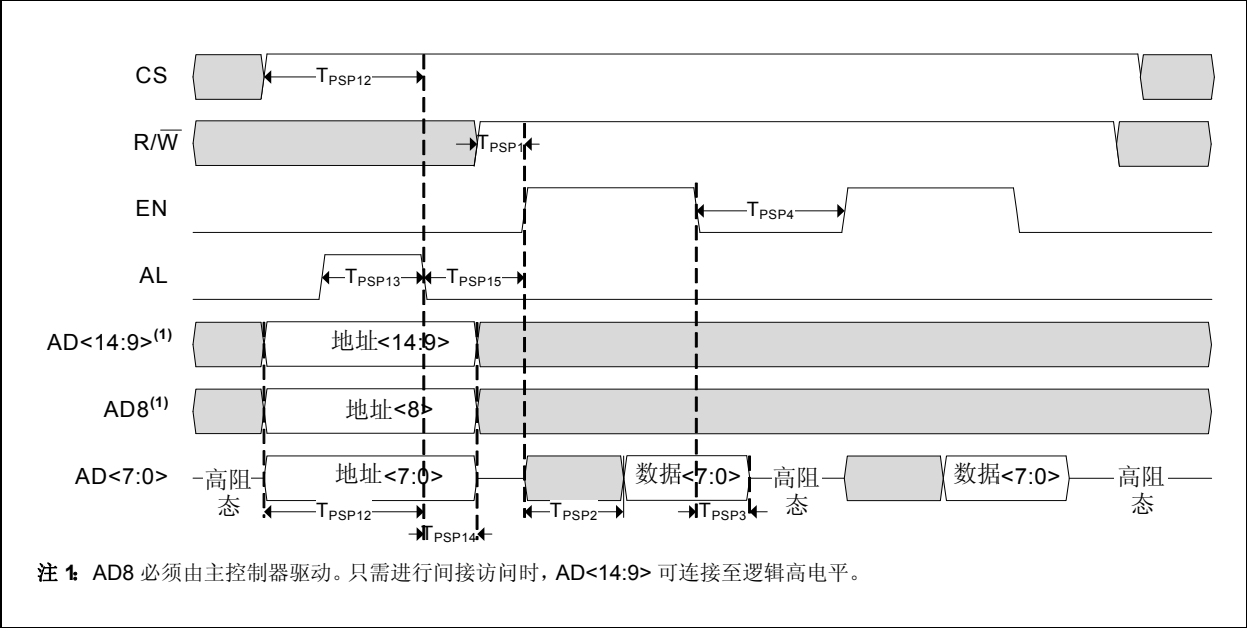
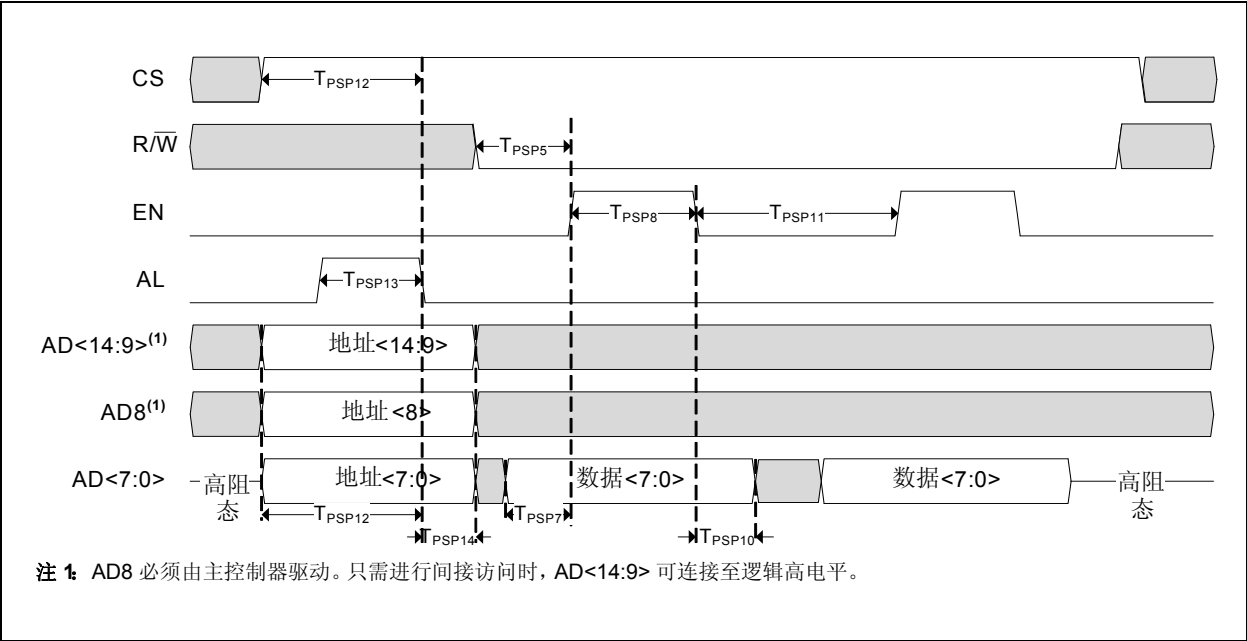


图 5-18: 模式 6 写操作时序图（两字节数据——同一地址）



5.3.7 模式 9

PSP 模式 9 是 16 位全复用模式，仅 64 引脚器件上可以实现。并行接口由 16 个双向数据引脚（AD<15:0>）组成，低 14 个引脚（AD<13:0>）也可作为地址引脚使用。要选择 PSP 模式 9，请将 PSPCFG2 和 PSPCFG3 连接至 VDD，将 PSPCFG1 连接至 Vss。图 5-19 给出了所需的连接方案。

此模式使用高电平有效的读（RD）选通引脚和两个写（WRH 和 WRL）选通引脚以及独立片选（CS）引脚和地址锁存（AL）输入引脚。这五个引脚允许主机选择器件，锁存地址，然后用信号通知何时需要读操作或何时发送要写到低字节和 / 或高字节的有效数据。选择了 ENC24J600 之后，要确保操作正确，请不要在拉高 WRL 或 WRH 的同时拉高 RD 或 AL。

任何时候只要 CS 或 RD 为低电平，AD<15:0> 就保持高阻态。

要执行读操作：

1. 拉高 CS 线（如果该线与主机相连）。
2. 将要读取的地址发送到 AD<13:0> 上。
3. 首先选通 AL 引脚为高电平，然后为低电平。
4. 将主控制器的 AD<15:0> 总线引脚设置为输入。
5. 拉高 RD。

AD<15:0> 总线开始输出一段很短时间的不确定数据，在经过合适的读访问时间后切换到正确的读数据操作。当 RD 拉低后，AD<15:0> 引脚返回高阻态。

对于每个读请求，器件总是输出整个 16 位数据。如果只需要 8 位数据，请从正确的引脚（AD<15:8> 或 AD<7:0>）读取数据并丢弃其余字节。

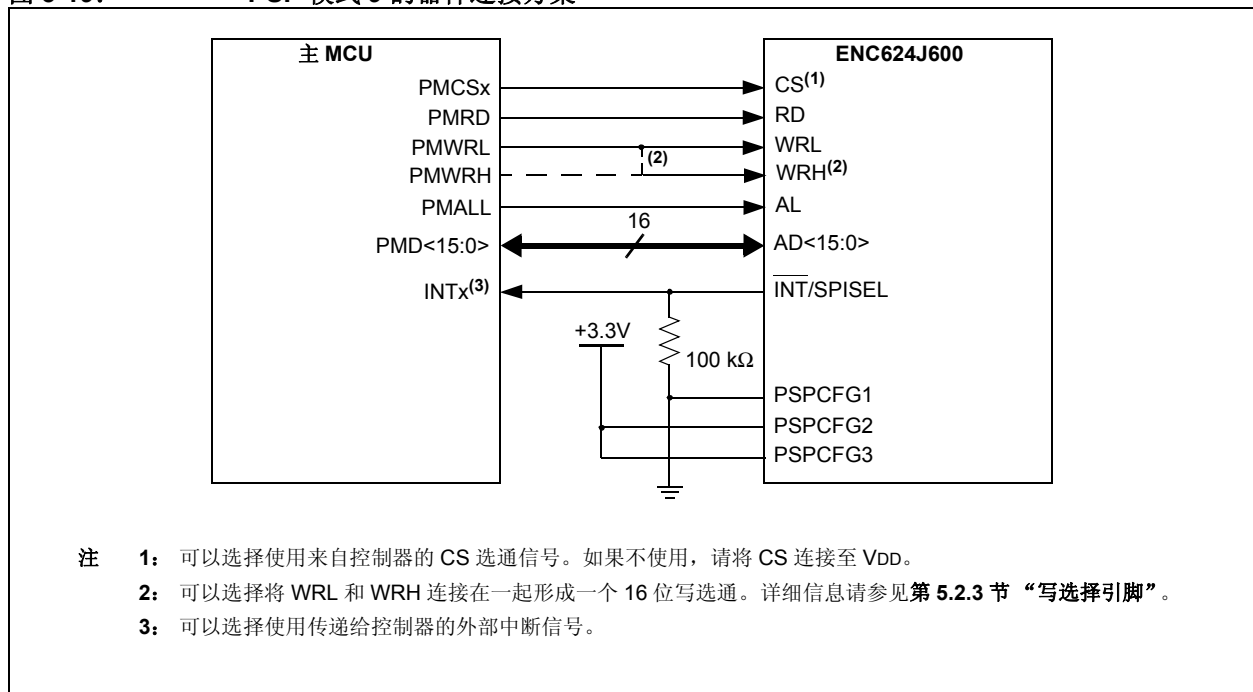
要执行写操作：

1. 拉高 CS 线（如果该线与主机相连）。
2. 将要写入的地址发送到 AD<13:0> 上。
3. 选通 AL 引脚。
4. 如果要写入存储单元的低字节，请将数据发送到 AD<7:0>，并首先选通 WRL 为高电平，然后为低电平。
5. 如果要写入高字节，请将数据发送到 AD<15:8>，并选通 WRH。
6. 如果要写整个字，需同时选通 WRL 和 WRH。

如果接下来还需要读或写相同的存储地址，可以重新选通 RD、WRL 或 WRH 而无需等待下一个地址锁存周期。

图 5-20 和图 5-21 分别提供了此模式下读写数据的时序图示例。

图 5-19: PSP 模式 9 的器件连接方案



ENC424J600/624J600

图 5-20: 模式 9 读操作时序图（四字节数据——同一地址）

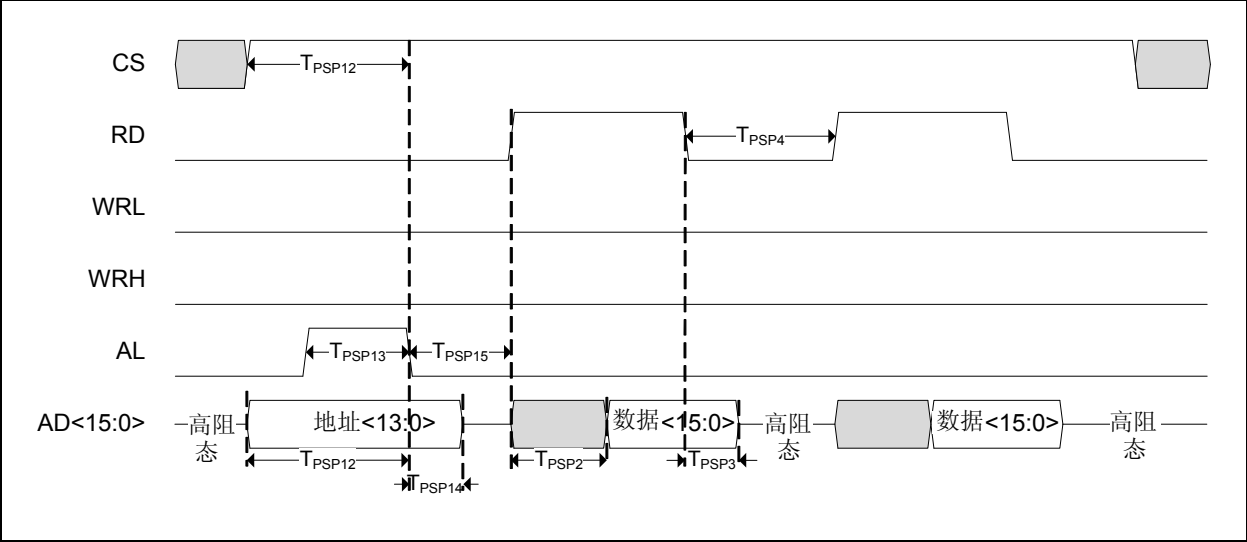
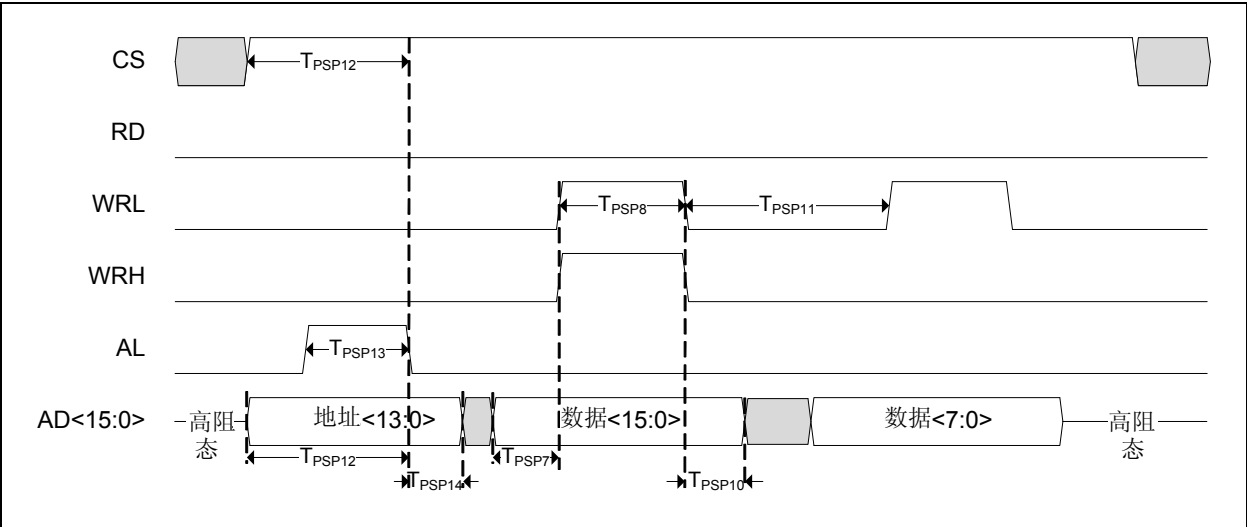


图 5-21: 模式 9 写操作时序图（三字节数据——同一地址）



5.3.8 模式 10

PSP 模式 10 也是 16 位全复用模式，仅 64 引脚器件上可以实现。并行接口由 16 个双向数据引脚 ($AD<15:0>$) 组成，低 14 个引脚 ($AD<13:0>$) 也可作为地址引脚使用。要选择 PSP 模式 10，请将 PSPCFG1、PSPCFG2 和 PSPCFG3 连接至 V_{DD} 。图 5-22 给出了所需的连接方案。

此模式使用高电平有效的读 / 写 (R/\overline{W}) 选择引脚和两个字节选择 ($B0SEL$ 和 $B1SEL$) 选通引脚以及独立片选 (CS) 引脚和地址锁存 (AL) 输入引脚。这五个引脚允许主机选择器件，锁存地址，选择读或写操作，然后拉高正确的字节选择选通引脚以执行相应操作。

R/\overline{W} 引脚上的逻辑高电平信号指示 $B0SEL$ 或 $B1SEL$ 选通引脚被拉高时执行读操作，逻辑低电平信号表示要执行写操作。选择了 ENC424J600 之后，要确保操作正确，主控制器不应在拉高 $B0SEL$ 或 $B1SEL$ 的同时拉高 AL 。

当 $B0SEL$ 或 $B1SEL$ 有效时， R/\overline{W} 的状态只影响 $AD<15:0>$ 总线的状态。当 CS 驱动为低电平、 R/\overline{W} 驱动为低电平、或 $B0SEL$ 和 $B1SEL$ 都驱动为低电平时， $AD<15:0>$ 保持高阻态。

要执行读操作：

1. 拉高 CS 线（如果该线与主机相连）。
2. 将要读取的地址发送到 $AD<13:0>$ 上。
3. 首先选通 AL 引脚为高电平，然后为低电平。
4. 拉高 R/\overline{W} 。
5. 将主控制器的 $AD<15:0>$ 总线引脚设置为输入。
6. 拉高 $B0SEL$ 和 / 或 $B1SEL$ 。

当任一 $BxSEL$ 引脚拉高时， $AD<15:0>$ 总线开始输出一段很短时间的不确定数据，在经过合适的读访问时间后切换到正确的读数据操作。当 $B0SEL$ 和 $B1SEL$ 都为低电平时， $AD<15:0>$ 返回高阻态。

对于每个读请求，即使只选通一个字节选择引脚，器件也始终输出整个 16 位数据。如果只需要 8 位数据，请从正确的引脚 ($AD<15:8>$ 或 $AD<7:0>$) 读取数据并丢弃其余字节。

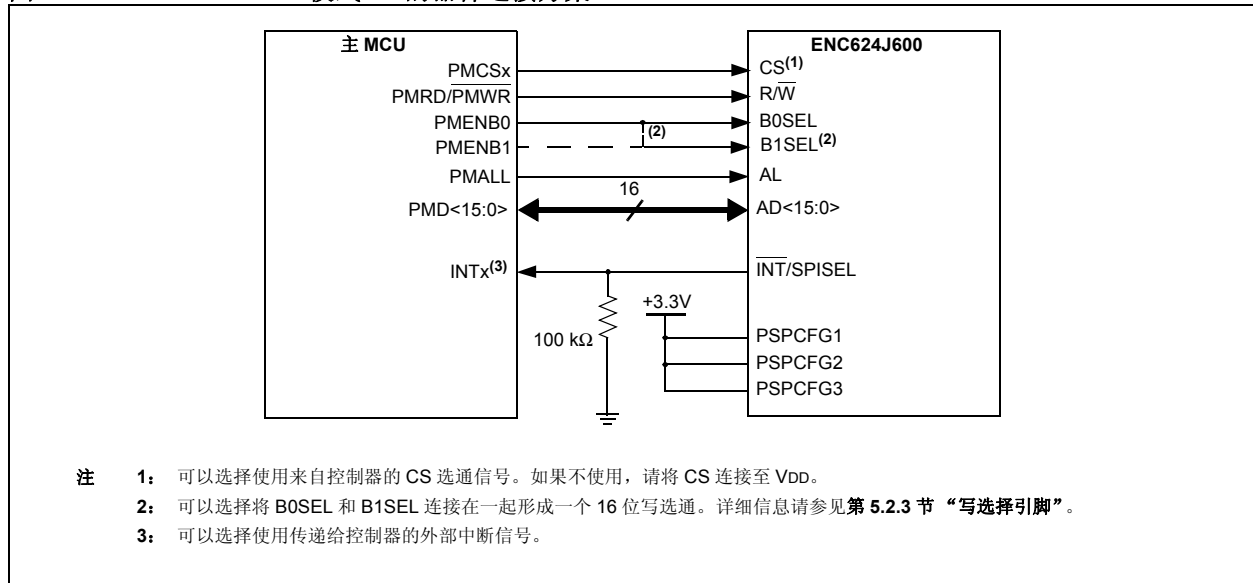
要执行写操作：

1. 拉高 CS 线（如果该线与主机相连）。
2. 将要写入的地址发送到 $AD<13:0>$ 上。
3. 选通 AL 引脚。
4. 拉低 R/\overline{W} 。
5. 如果要写入存储单元的低字节，请将数据发送到 $AD<7:0>$ ，然后选通 $B0SEL$ 。
6. 如果要写入高字节，请将数据发送到 $AD<15:8>$ ，然后选通 $B1SEL$ 信号。
7. 如果要写整个字，需同时选通 $B0SEL$ 和 $B1SEL$ 。

如果接下来还需要读或写相同的存储地址，可以重新选通 $B0SEL$ 或 $B1SEL$ 而无需等待下一个地址锁存周期。

图 5-23 和图 5-24 分别提供了此模式下读写数据的时序图示例。

图 5-22: PSP 模式 10 的器件连接方案



ENC424J600/624J600

图 5-23: 模式 10 读操作时序图（四字节数据——同一地址）

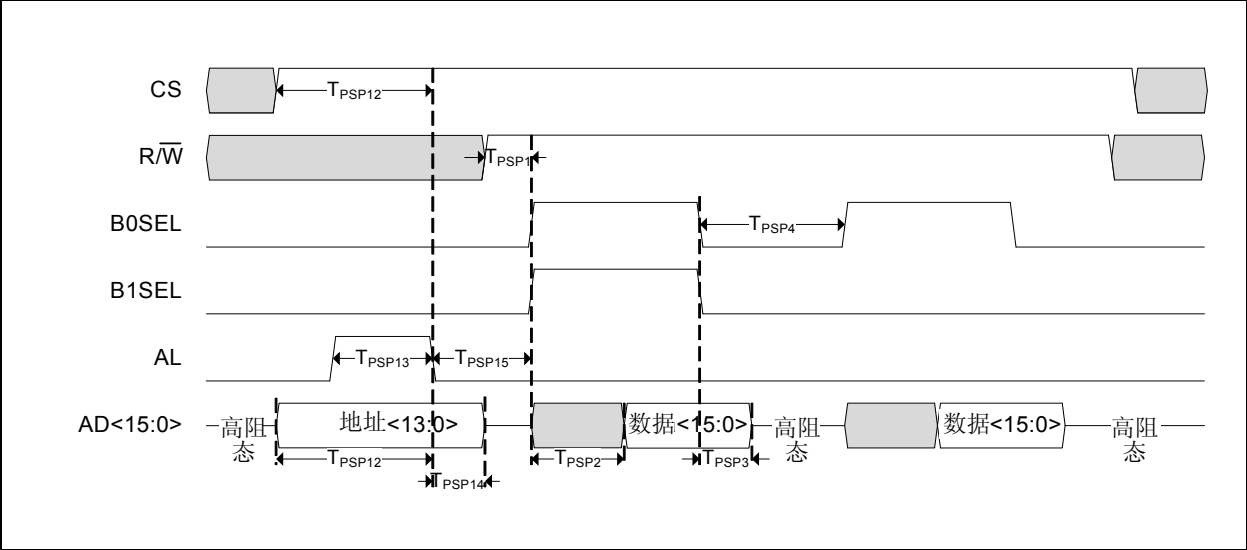
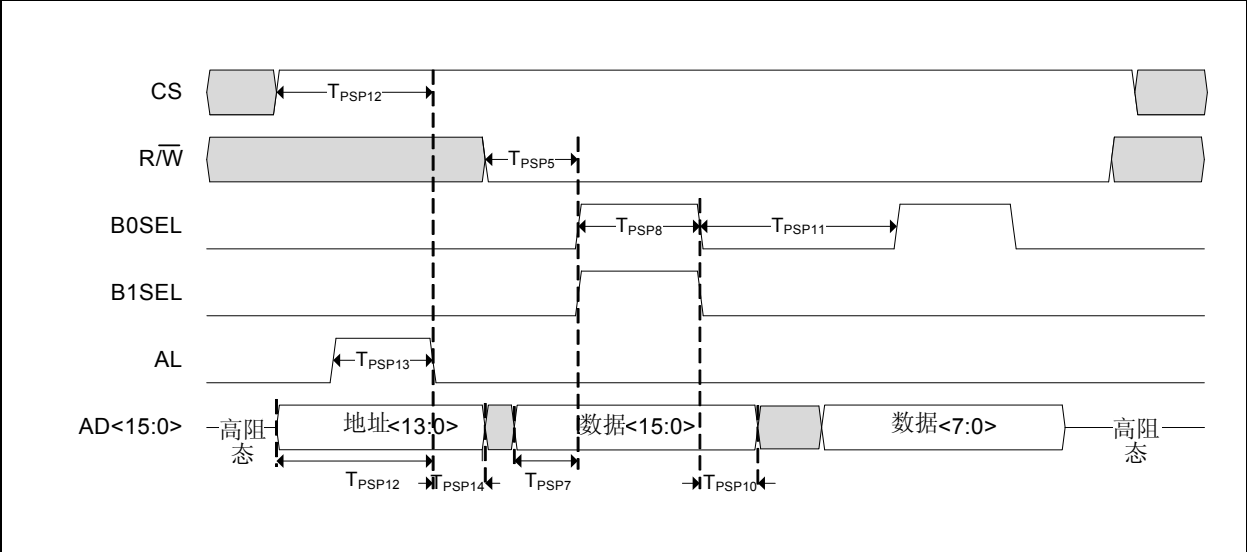


图 5-24: 模式 10 写操作时序图（三字节数据——同一地址）



6.0 以太网概述

在讨论 ENC424J600/624J600 器件在以太网应用中的使用之前，回顾一下典型的数据帧结构会有帮助。如需更多详细信息，请参见定义了以太网协议的 IEEE 802.3 标准，或参见Microchip应用笔记AN1120“Ethernet Theory of Operation”。

6.1 帧格式

以太网通信使用一组帧在节点之间发送数据。（这些帧通常也称为“数据包”，在本文档上下文中，这两个术语可以通用）。符合的以太网帧的长度介于 64 字节与 1518 字节之间。它们由 5 个或 6 个不同的字段组成：目标 MAC 地址、源 MAC 地址、类型 / 长度字段、数据有效负载、可选的填充字段和循环冗余校验（Cyclic Redundancy Check，CRC）字段。另外，当通过以太网介质发送时，流起始字段 / 前导字段和帧起始（Start-Of-Frame，SOF）定界符字节被附加到以太网帧的开头。因此，双绞线上的帧格式将如图 6-1 所示。

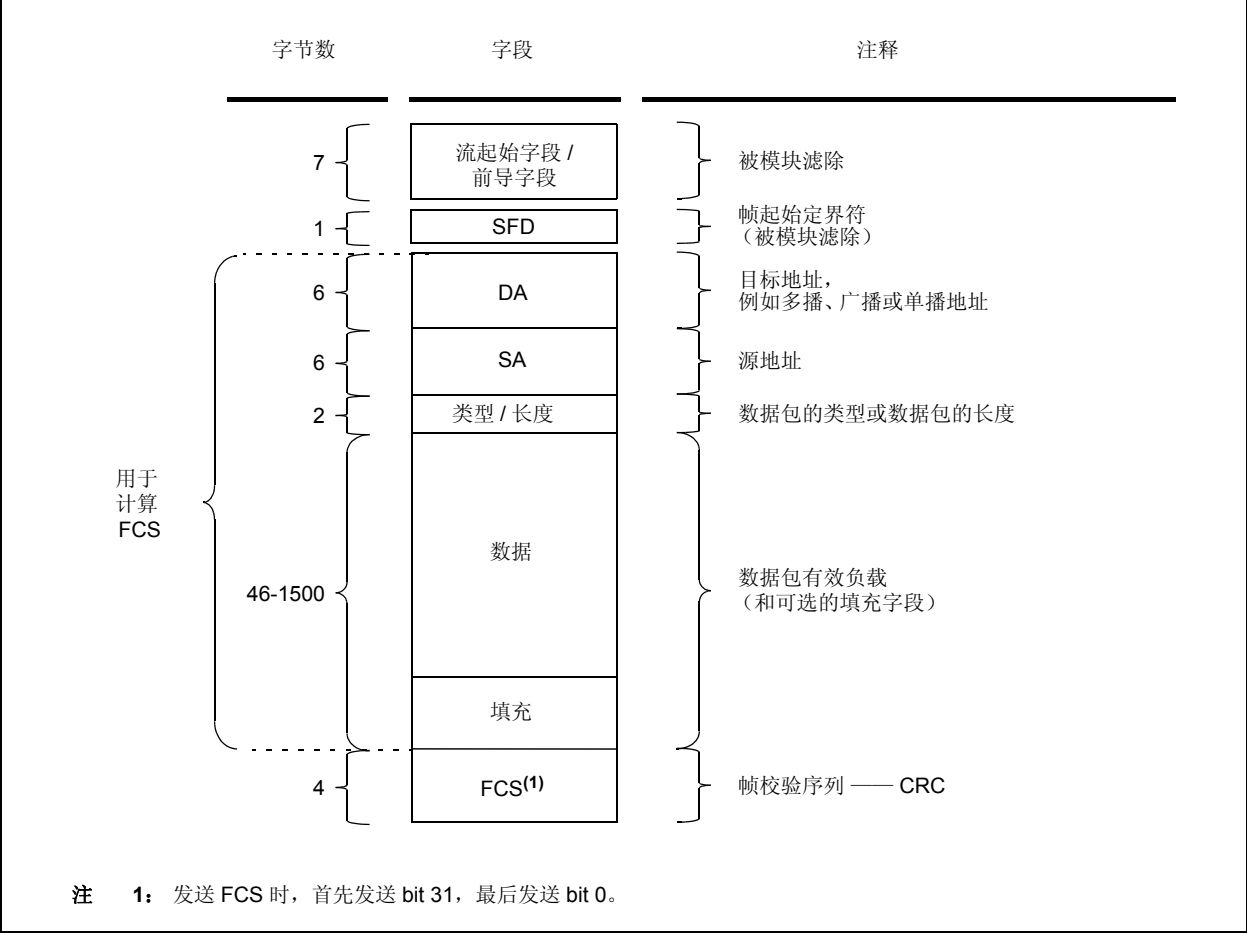
6.1.1 流起始字段 / 前导字段和帧起始定界符

当使用 ENC424J600/624J600 器件发送帧时，将自动生成流起始字段 / 前导字段和帧起始定界符字段；当使用 ENC424J600/624J600 器件接收帧时，将自动从帧中剥离流起始字段 / 前导字段和帧起始定界符字段。这些字节不写入到数据缓冲区，且主控制器无需操作这些字节。

6.1.2 目标地址

目标地址是一个 6 字节的字段，包含帧发往的器件的 MAC 地址。如果该地址中第一个字节的最低有效位清零（即地址的第一个字节为偶数），则该地址是单播地址。例如，00-00-BA-BE-F0-0D和32-45-DE-AD-BE-EF 是单播地址，而 01-00-BA-BE-F0-0D 和 33-45-DE-AD-BE-EF 不是。带有单播目标地址的帧仅供已寻址到的节点使用。

图 6-1: 以太网数据包格式



ENC424J600/624J600

如果该地址中第一个字节的最低有效位置 1（即地址的第一个字节为奇数），则该目标地址是多播地址。仍以上述示例为例，01-00-BA-BE-F0-0D 和 33-45-DE-AD-BE-EF 是多播地址。多播帧专供选定的以太网节点组使用。多播地址 FF-FF-FF-FF-FF-FF 为保留地址；它也称为广播地址，可发往网络中的所有节点。

ENC424J600/624J600 器件具有几个数据包过滤器，可对其进行配置以接受或丢弃单播、多播和 / 或广播帧。关于这些过滤器以及其他接收过滤器的详细信息，请参见第 10.0 节“接收过滤器”。发送帧时，主控制器负责将所需的目标地址写入发送缓冲区。

6.1.3 源地址

源地址是一个 6 字节的字段，包含发送以太网帧的节点的 MAC 地址。每个以太网器件必须具有一个全局唯一 MAC 地址。每个 ENC424J600/624J600 器件具有在上电时被装入 MAADR 寄存器的唯一地址。可以直接使用此值，也可以使用其他地址重新配置 MAADR 寄存器。

6.1.4 类型 / 长度

类型 / 长度字段是一个 2 字节字段，它指示帧所属的协议。使用诸如 Internet 协议（Internet Protocol, IP）或地址解析协议（Address Resolution Protocol, ARP）的应用应使用相应标准文档中规定的类型代码。或者实现专用网络时将该字段用作长度字段。通常情况下，任何小于或等于 1500（05DCh）的值被视为长度字段，指定它随后的数据字段中非填充数据的长度。

6.1.5 数据

每个帧中的数据字段通常由 0 至 1500 个字节之间的有效负载数据组成。当超大帧使能位 HFRMEN（MACON2<2>）置 1 时，ENC424J600/624J600 器件能够发送和接收大于 1500 字节有效负载数据的帧。但是，这些超大数据帧违反了以太网规范，很有可能被大多数以太网节点丢弃。

6.1.6 填充

填充字段是一个长度可变的字段，当发送较小的数据有效负载时，添加该字段以满足 IEEE 802.3 规范的要求。如上所述，以太网帧的最小大小为 64 字节。去除 18 字节的地址和类型信息以及结尾的 4 字节 CRC，最小为 46 字节。必须用小帧填满此空间。

发送帧时，ENC424J600/624J600 器件会自动产生零填充（如果 PADCFG<2:0> 位（MACON2<7:5>）被配置为执行此操作）。否则，应用必须追加相应的填充字段。如果主控制器命令发送大小不足的帧，器件不会阻止发送这种“过短”帧，但是帧很有可能被其他节点丢弃。

接收帧时，ENC424J600/624J600 器件接受帧，并将所有填充字段写到接收缓冲区。过短帧错误拒绝过滤器可以选择滤除短于必需的 64 字节的帧，如第 10.4 节“过短帧错误拒绝过滤器”所述。

6.1.7 CRC

CRC 是一个 4 字节字段，包含一个标准的 32 位 CRC 值，该值通过对目标、源、类型、数据和填充字段中的数据计算得出。它可用于检测发送错误。

发送帧时，ENC424J600/624J600 器件会自动产生并追加一个有效的 CRC（如果 PADCFG<2:0> 位被配置为执行此操作）。否则，主控制器必须产生并追加该值。强烈建议对 PADCFG 位进行配置从而使硬件自动管理该字段。

接收帧时，ENC424J600/624J600 器件接受帧，并将 CRC 字段写到接收缓冲区。带无效 CRC 值的帧会被 CRC 错误拒绝过滤器丢弃，如第 10.3 节“CRC 错误拒绝过滤器”所述。

7.0 复位

ENC424J600/624J600 器件具有以下五种不同的复位方式：

- 上电复位（POR）
- 系统复位
- 仅发送复位
- 仅接收复位
- PHY 子系统复位

图 7-1 中给出了片上复位电路的简化框图。

7.1 上电复位

当 VDD 上升到超过 VPOR 后，就会发生上电复位。这使得在 VDD 上升到足够器件的数字逻辑正常操作时，器件能够以初始化状态启动。POR 电路始终使能。

为了确保正确的 POR 操作，应用电路必须满足指定的 VDD 最小上升速率（SVDD，直流参数 D003）。

上电复位后，SRAM 缓冲区和加密存储器的内容未知。然而，所有寄存器都将载入规定的复位值。PHY 和其他逻辑应仍旧不能在 POR 之后被立刻访问。请参见第 8.1 节“复位”了解推荐的复位过程。

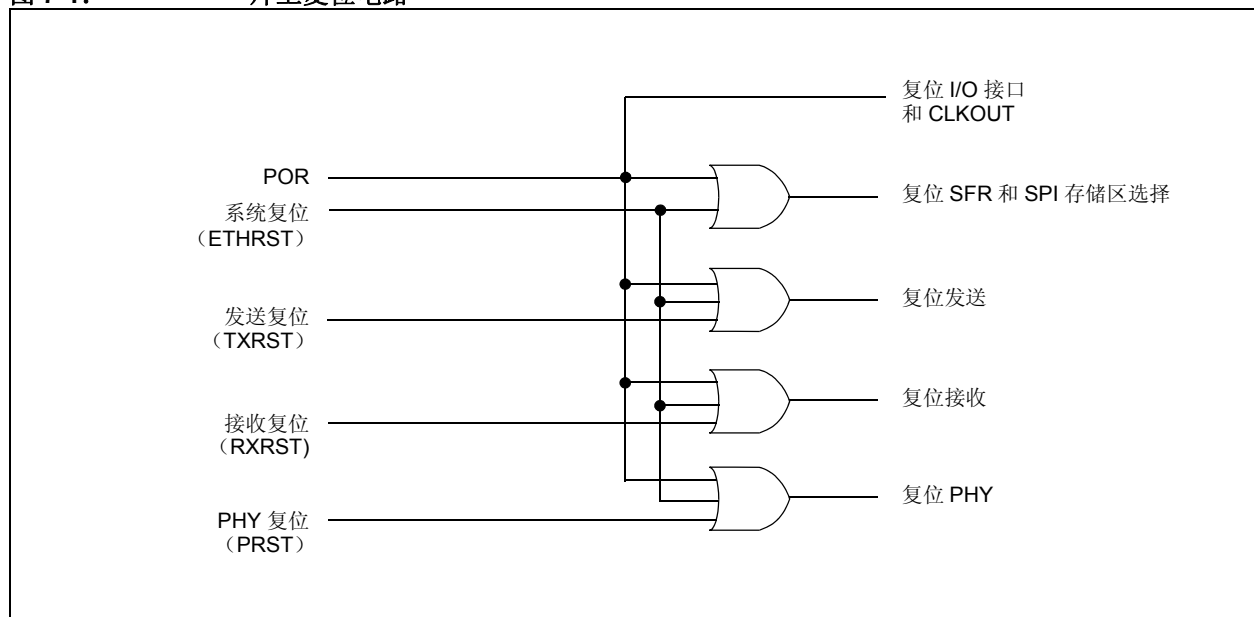
7.2 系统复位

系统复位将所有寄存器返回到它们的默认复位值，但 COCON<3:0>（ECON2<11:8>）除外，这些位控制 CLKOUT 的输出频率。所有发送、接收、MAC、PHY、DMA 和加密逻辑都会被复位。此外，如果使用 SPI 接口，当前的内部存储区选择将会被复位为 Bank 0。复用并行模式下使用的数据包缓冲区、加密存储器和 PSP 地址锁存器不受系统复位影响。

要发出系统复位，应将 ETHRST 位（ECON2<4>）置 1。该位由硬件自动清零。ETHRST 位置 1 后，需要经过 25 μs 的延时，才能再通过 SPI 或 PSP 接口访问 ENC424J600。此外，在此延时之后的 256 μs 内，不应访问或使用所有 PHY 寄存器以及与 PHY 有关的状态位。

系统复位不会导致 SPISEL 和 PSPCFGx 引脚状态被再次锁存。因此，在发出系统复位并等待需要的 25 μs 后，当前选择的控制器接口仍然可用。

图 7-1： 片上复位电路



7.3 仅发送复位

通过将 TXRST 位 (ECON2<6>) 位置 1, 执行仅发送复位。发送逻辑在该位被清零之前一直保持复位状态。中止所有等待的发送并且 TXRTS (ECON1<1>) 位清零。要继续正常操作, 应将 TXRST 位清零。

POR 和系统复位会自动执行发送复位, 因此在系统复位或上电复位后不需要执行此步骤。此操作只影响发送逻辑。其他寄存器和控制模块不受此事件影响。

7.4 仅接收复位

通过把 RXRST 位 (ECON2<5>) 位置 1, 执行仅接收复位。接收逻辑在该位被清零之前一直保持复位状态。中止接收所有数据包并且 RXEN (ECON1<0>) 位清零。要继续正常操作, 应将 RXRST 位清零。

POR 和系统复位会自动执行接收复位, 因此在系统复位或上电复位后不需要执行此步骤。此操作只影响接收逻辑。其他寄存器和控制模块不受此事件影响。

在仅接收复位后, 需要手动重新配置接收 SFR, 以再次执行正常接收操作。例如: 应用通过将 PKTDEC 位 (ECON1<8>) 置 1 足够多次使得计数器减小到零, 来清零 ESTAT 中的 PKTCNT 字段。同样, 在用 RXEN 位再次使能接收前, 应用必须复位 ERXST 和 ERXTAIL 指针。

7.5 PHY 子系统复位

通过将 PRST 位 (PHCON1<15>) 置 1 可以复位 PHY 模块。PHY 寄存器内容都返回到默认值。

与仅发送和接收复位不同, 在将 PRST 置 1 后不能立刻使 PHY 退出复位状态。PHY 需要一段延时, 延时后硬件才自动清零 PRST 位。推荐主控制器在发出复位后, 使用 PHY 前, 先查询 PRST 位并且等待其由硬件清零。

POR 和系统复位会自动执行 PHY 复位, 因此在系统复位或上电复位后不需要执行此步。此操作只影响 PHY。其他寄存器和控制模块不受此事件影响。

8.0 初始化

在使用 ENCX24J600 器件发送和接收数据包之前，必须对器件的一些设置进行初始化。根据应用的不同，一些配置选项可能需要保留其默认值。通常，那些需要更改的配置选项在上电后设置一次，就不再修改。

8.1 复位

由于主控制器的复位可能会独立于 ENCX24J600（例如，使用外部调试器对主控制器再编程时），所以建议软件在 ENCX24J600 正常初始化程序的第一步就发出系统复位信号。

而且，既然主控制器可以退出上电复位状态，那么可以在 ENCX24J600 退出上电复位状态并锁存接口模式之前就启动代码执行，应特别注意软件以确保它不会在器件确实退出复位状态之前盲目地初始化 ENCX24J600 寄存器。要防止这种潜在危险，建议固件采用写 - 校验 - 复位 - 重新校验的方法来确保器件正确启动。例如：

1. 将 1234h 写入 EUDAST。
2. 读 EUDAST 以查看它现在是否为 1234h。如果不是，则可能 SPI/PSP 接口还没有就绪，返回第 1 步并重试。
3. 查询 CLKRDY 位（ESTAT<12>）并等待该位置 1。
4. 通过将 ETHRST（ECON2<4>）置 1 发出系统复位命令。
5. 在软件中，等待至少 25 μ s，直到发生复位且 SPI/PSP 接口再次开始工作。
6. 读 EUDAST 以确认是否已发生系统复位。EUDAST 应返回其复位默认值 0000h。
7. 等待至少 256 μ s，直到 PHY 寄存器和 PHY 状态位可用。

ENCX24J600 现已准备好接受其他命令。

8.2 CLKOUT 频率

如果 ENCX24J600 正在为主控制器或应用中的其他硬件功能提供系统时钟，建议应用首先配置 CLKOUT 引脚上的输出频率。使用 COCON<3:0> 位（ECON2<11:8>）设置频率。默认情况下，上电复位后 CLKOUT 上的输出频率为 4 MHz。在所有其他复位事件后，保持上一次设置的频率。

关于使用 CLKOUT 输出引脚的更多信息，请参见第 2.2 节“CLKOUT 引脚”。

8.3 接收缓冲区

在使能数据包接收之前，必须编程 ERXST 指针来配置接收缓冲区。该指针和物理存储器末尾（5FFFh）之间的所有存储空间（包括这两个地址）可保留为接收缓冲区，以接收传入的数据包。ERXST 的值必须按字对齐，这是因为所有传入的帧必须从偶数地址开始保存。

如果应用需要传入大量数据或经常交换数据包，建议分配一个更大的接收缓冲区。如果应用需要更多空间来保存旧的已发送数据包或其他临时存储空间，或想保存多个待发送数据包，那么可以为接收缓冲区分配较少的存储空间。

从 ERXST 指向的地址处开始保存接收到的传入数据包。

8.4 发送缓冲区

未提供专门的发送缓冲区。主机应用程序可以将要发送的帧写入 SRAM 缓冲区内任何未使用空间，不必进行初始化。

8.5 接收过滤器

在使能数据包接收之前，配置接收过滤器以滤掉不需要的传入数据包。详细信息请参见第 10.0 节“接收过滤器”。

8.6 MAC 初始化

在正确配置接收缓冲区和过滤器之后，也必须配置多个 MAC 寄存器。可以任意顺序进行编程。

- 如果需要流控制操作，请按照第 11.0 节“流控制”中描述的步骤配置流控制模块。
- 检查是否正确设置了 TXCRCEN（MACON2<4>）和 PADCFG<2:0>（MACON2<7:5>）位。大多数应用无需修改这些默认上电设置。
- 将 MAMXFL 寄存器编程为允许发送或接收的最大帧长度。大部分网络节点被配置为处理不大于 1518 个字节（如果使用 VLAN 标记，则不大于 1522 个字节）的数据包。或者，将 HFRMEN（MACON2<2>）置 1 以接受任意大小的帧。
- 将 RXEN 位（ECON1<0>）置 1 以使能 MAC 接收数据包。

8.6.1 再编程 MAC 地址

在交付时，每个 ENC424J600 器件都被预编程了唯一的 MAC 地址。该值保存在非易失性存储器中，在每次上电和系统复位后被重新装载到 MAADR 寄存器。工厂预编程的 MAC 地址是永久地址，在每次复位后被重新保存到 MAC 寄存器中。

用户不能更改非易失性存储器中的预编程地址，但是可以在 SFR 中用其他值改写它。如果用户需要其他的 MAC 地址值，需要在每次复位后使用主机应用程序提供的新 MAC 值来写 MAADR 寄存器。

8.7 PHY 初始化

某些应用可能需要对 PHY 进行初始化配置。使用自动协商功能时，用户通常将 0x05E1 写入 PHANA 以启用流控制功能。只有特殊的测试节点（例如尝试进行环回测试时）需要重新配置 PHY 中的其他设置。

8.8 复位后的其他注意事项

除了上述步骤以外，器件复位后可能还需调整其他配置选项。正常情况下，无需更改上电复位时这些项的默认配置。

对于半双工模式：

- 检查是否正确设置了 DEFER (MACON2<14>)、BPEN (MACON2<13>) 和 NOBKOFF (MACON2<12>)。这些位仅适用于工作在半双工模式下，大部分应用无需修改这些位的默认上电设置。要符合 IEEE 802.3 标准，请保持 DEFER 位置 1。
- 配置非背对背包间间隔寄存器 MAIPG (寄存器 8-5)。大部分应用将该寄存器的值编程为 12h，从而可以在遵守先前规定的 IEEE 802.3 IPG 标准的情况下保持最大性能。
- 设置 MAXRET<3:0> (MACLCON<3:0>) 位，以选择检测到冲突之后重新发送的最大次数。大部分应用无需更改其默认值。

对于全双工模式：

- 配置非背对背包间间隔寄存器的低字节 MAIPGL。大部分应用将该寄存器的值编程为 12h，从而可以在遵守先前规定的 IEEE 802.3 IPG 标准的情况下保持最大性能。

8.9 建立链路后

有几个 MAC 配置参数取决于链路的当前双工模式。自动协商完成或手动重新配置速度和双工模式后，这些寄存器必须被相应地更新。关于自动协商和手动速度 / 双工模式配置的详细信息，请参见第 12.0 节“速度 / 双工模式配置和自动协商”。

执行了这些步骤后，可通过将 RXEN (ECON1<0>) 置 1 重新使能数据包接收。主控制器也可以根据第 9.1 节“发送数据包”所述开始发送数据包。在链路建立或自动协商完成后，发送第一个数据包之前，必须手动设置 MAC 双工模式配置以与 PHY 双工模式配置相匹配。要完成此操作，请配置 FULDPX (MACON2<0>) 以与 PHYDPX (ESTAT<10>) 相匹配。

对于半双工模式，请配置背对背包间间隔寄存器 MABBIPG (寄存器 8-4) 以设置背对背序列中前一次发送结束到下一次发送开始之间的半字节时间 (nibble time) 的延时。应使用整数倍的半字节时间减 6 对该寄存器的值进行编程。大多数应用将该寄存器编程为 12h，表示 IEEE 802.3 规定的最小包间间隔 (IPG) 为 0.96 μ s (速度为 100 Mb/s 时) 或 9.6 μ s (速度为 10 Mb/s 时)。

对于全双工模式，请配置背对背包间间隔寄存器 MABBIPG 以设置背对背序列中前一次发送结束到下一次发送开始之间的半字节时间的延时。应使用整数倍的半字节时间减 3 对该寄存器的值进行编程。大多数应用将该寄存器编程为 15h，表示 IEEE 802.3 规定的最小包间间隔 (IPG) 为 0.96 μ s (速度为 100 Mb/s 时) 或 9.6 μ s (速度为 10 Mb/s 时)。

寄存器 8-1: ECON2: 以太网控制寄存器 2

R/W-1	R/W-1	R/W-0	R/W-0	R/W-1 ⁽¹⁾	R/W-0 ⁽¹⁾	R/W-1 ⁽¹⁾	R/W-1 ⁽¹⁾
ETHEN	STRCH	TXMAC	SHA1MD5	COCON3	COCON2	COCON1	COCON0
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
AUTOFC	TXRST	RXRST	ETHRST	MODLEN1	MODLEN0	AESLEN1	AESLEN0
bit 7							bit 0

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = 上电复位时的值

1 = 置 1

0 = 清零

x = 未知

bit 15 **ETHEN:** 以太网使能位

1 = 使能器件 (正常工作)

0 = 禁止器件 (降低功耗)

bit 14 **STRCH:** LED 脉冲延长使能位

1 = 将 LEDA 和 LEDB 上的发送、接收和冲突事件延长至 50 ms

0 = LEDA 和 LEDB 输出显示无延长的实时状态

bit 13 **TXMAC:** 自动发送 MAC 地址使能位

1 = MAADR1-MAADR6 寄存器被自动插入到所有发送数据包的源地址字段

0 = 不自动插入源地址

bit 12 **SHA1MD5:** SHA-1/MD5 哈希算法控制位

1 = 哈希引擎计算 SHA-1 哈希算法

0 = 哈希引擎计算 MD5 哈希算法

bit 11-8 **COCON<3:0>:** CLKOUT 频率控制位 ⁽¹⁾1111 = 50 kHz 标称输出 $((4 * F_{osc})/2000)$ 1110 = 100 kHz 标称输出 $((4 * F_{osc})/1000)$

1101 = 无输出 (直流下拉至 Vss)

1100 = 3.125 MHz 标称输出 $((4 * F_{osc})/32)$ 1011 = 4,000 MHz 标称输出 $((4 * F_{osc})/25)$ 1010 = 5,000 MHz 标称输出 $((4 * F_{osc})/20)$ 1001 = 6.250 MHz 标称输出 $((4 * F_{osc})/16)$ 1000 = 8,000 MHz 标称输出 $((4 * F_{osc})/12.5)$; 占空比不是 50%0111 = 8.333 MHz 标称输出 $((4 * F_{osc})/12)$ 0110 = 10.00 MHz 标称输出 $((4 * F_{osc})/10)$ 0101 = 12.50 MHz 标称输出 $((4 * F_{osc})/8)$ 0100 = 16.67 MHz 标称输出 $((4 * F_{osc})/6)$ 0011 = 20.00 MHz 标称输出 $((4 * F_{osc})/5)$ 0010 = 25.00 MHz 标称输出 $((4 * F_{osc})/4)$ 0001 = 33.33 MHz 标称输出 $((4 * F_{osc})/3)$

0000 = 无输出 (直流下拉至 Vss)

bit 7 **AUTOFC:** 自动流控制使能位

1 = 使能自动流控制

0 = 禁止自动流控制

bit 6 **TXRST:** 发送逻辑复位位

1 = 发送逻辑处于复位状态。该位置 1 时, TXRTS (ECON1<1>) 由硬件自动清零。

0 = 发送逻辑未处于复位状态 (正常工作)

注 1: 仅在发生上电复位事件时复位这些位的值。所有其他复位对这些位没有影响。

ENC424J600/624J600

寄存器 8-1: ECON2: 以太网控制寄存器 2 (续)

- bit 5 **RXRST**: 接收逻辑复位位
1 = 接收逻辑处于复位状态。该位置 1 时, RXEN (ECON1<0>) 由硬件自动清零。
0 = 接收逻辑未处于复位状态 (正常工作)
- bit 4 **ETHRST**: 主以太网复位位
1 = 复位所有发送、接收、MAC、PHY、DMA、模幂、哈希和 AES 逻辑以及寄存器 (COCON 除外)。
由硬件自动清零该位。在该位置 1 后, 要等待至少 25 μ s 后, 才能尝试通过 SPI 或 PSP 接口读 / 写 ENC424J600。
0 = 器件未处于复位状态 (正常工作)
- bit 3-2 **MODLEN<1:0>**: 模幂长度控制位
11 = 保留
10 = 1024 位模数和操作数
01 = 768 位模数和操作数
00 = 512 位模数和操作数
- bit 1-0 **AESLEN<1:0>**: AES 密钥长度控制位
11 = 保留
10 = 256 位密钥
01 = 192 位密钥
00 = 128 位密钥

注 1: 仅在上电复位事件时复位这些位的值。所有其他复位对这些位没有影响。

寄存器 8-2: EIDLED: 以太网 ID 状态 /LED 控制寄存器

R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-1	R/W-1	R/W-0
LACFG3	LACFG2	LACFG1	LACFG0	LBCFG3	LBCFG2	LBCFG1	LBCFG0
bit 15							bit 8

R-0	R-0	R-1	R	R	R	R	R
DEVID2	DEVID1	DEVID0	REVID4	REVID3	REVID2	REVID1	REVID0
bit 7							bit 0

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = 上电复位时的值

1 = 置 1

0 = 清零

x = 未知

bit 15-12,
bit 11-8**LACFG<3:0>**: LEDA 配置位**LBCFG<3:0>**: LEDB 配置位1111 = 显示链路和速度状态以及发送和接收事件 ⁽¹⁾1110 = 显示链路和双工模式状态以及发送和接收事件 ⁽¹⁾

1101 = 保留

1100 = 显示链路状态和冲突事件; 有链路时, 引脚被驱动为高电平, 发生冲突时, 引脚被暂时驱动为低电平

1011 = 显示链路状态、发送和接收事件; 有链路时, 引脚被驱动为高电平, 正在发送或接收数据包时, 引脚驱动为低电平

1010 = 显示链路状态和接收事件; 有链路时, 引脚被驱动为高电平, 正在接收数据包时, 引脚驱动为低电平

1001 = 显示链路状态和发送事件; 有链路时, 引脚被驱动为高电平, 正在发送数据包时, 引脚驱动为低电平

1000 = 显示速度状态; 有链路且速度为 100 Mbps 时, 引脚驱动为高电平

0111 = 显示双工模式状态, 当有链路且 PHY 为全双工模式 (即 PHYDPX (ESTAT<10> 为 1) 时, 引脚驱动为高电平

0110 = 显示发送和接收事件; 正在发送或接收数据包时, 引脚驱动为高电平

0101 = 显示接收事件; 正在接收数据包时, 引脚驱动为高电平

0100 = 显示发送事件; 正在发送数据包时, 引脚驱动为高电平

0011 = 显示冲突事件; 发生冲突时, 引脚被暂时驱动为高电平

0010 = 显示链路状态; 有链路时, 引脚驱动为高电平

0001 = 开启 (引脚驱动为高电平)

0000 = 关闭 (引脚驱动为低电平)

bit 7-5

DEVID<2:0>: 器件 ID 位

001 = ENC624J600 器件系列

bit 4-0

REVID<4:0>: 芯片版本 ID 位

指示当前的芯片版本。

注 1: 这些配置要求在 LEDA 和 LEDB 引脚之间连接一个双色 LED, 且将 LACFG<3:0> 和 LBCFG<3:0> 设置为相同的值。详细信息请参见第 2.5.1 节 “使用双色 LED”。

ENC424J600/624J600

寄存器 8-3: **MACON2: MAC 控制寄存器 2**

U-0	R/W-1	R/W-0	R/W-0	U-0	U-0	R/W-0	R/W-0
—	DEFER	BPEN	NOBKOFF	—	—	r	r
bit 15				bit 8			

R/W-1	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-1	R/W-0
PADCFG2	PADCFG1	PADCFG0	TXCRCEN	PHDREN	HFRMEN	r	FULDPX
bit 7							bit 0

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = 上电复位时的值

1 = 置 1

0 = 清零

x = 未知

bit 15 **未实现:** 读为 0

bit 14 **DEFER:** 延期发送使能位 (仅适用于半双工模式)

1 = 当介质被占用时, MAC 会无限期等待, 直到介质空闲才尝试发送 (使用此设置是为了遵守 IEEE 802.3 标准)

0 = 当介质被占用时, 经过一段等待限制延时 (24,288 个位时间) 之后, MAC 将中止发送

bit 13 **BPEN:** 背压流控制期间无退避使能位 (仅适用于半双工模式)

1 = 在背压流控制期间发生意外冲突后, MAC 立即开始重新发送

0 = 在背压流控制期间发生意外冲突后, MAC 在尝试重发前等待一段延时, 该延时使用二进制指数退避算法计算得到 (正常操作)

bit 12 **NOBKOFF:** 无退避使能位 (仅适用于半双工模式)

1 = 冲突后 MAC 立即开始重发

0 = 冲突后 MAC 在尝试重发前等待一段延时, 该延时使用二进制指数退避算法计算得到 (正常操作)

bit 11-10 **未实现:** 读为 0

bit 9-8 **保留:** 写为 0

bit 7-5 **PADCFG<2:0>:** 自动填充和 CRC 配置位

111 = 用 0 填充所有短帧至 64 字节长, 并追加一个有效的 CRC

110 = 不自动填充短帧

101 = MAC 自动检测具有 8100h 类型字段的 VLAN 协议帧, 并自动填充到 64 字节长。如果不是 VLAN 帧, 则填充至 60 字节长。填充后还要追加一个有效的 CRC。

100 = 不自动填充短帧

011 = 用 0 填充所有短帧至 64 字节长, 并追加一个有效的 CRC

010 = 不自动填充短帧

001 = 用 0 填充所有短帧至 60 字节长, 并追加一个有效的 CRC

000 = 不自动填充短帧

bit 4 **TXCRCEN:** 发送 CRC 使能位

1 = 不管 PADCFG 位如何, MAC 都会在发送帧的末尾追加一个有效的 CRC。如果 PADCFG 位指定要追加有效的 CRC, 则必须将 TXCRCEN 置 1。

0 = MAC 不追加 CRC。检查最后 4 个字节, 如果不是有效的 CRC, 则通过将 CRCBAD (ETXSTAT<4>) 置 1 来发送报告。

bit 3 **PHDREN:** 专用报头使能位

1 = MAC 接收的帧包含一个 4 字节的专用报头, 它不用于计算 CRC

0 = 无专用报头; 计算 CRC 时应包含所有数据 (正常操作)

寄存器 8-3: MACON2: MAC 控制寄存器 2（续）

- bit 2 **HFRMEN**: 超大帧使能位
 1 = 允许发送和接收任何大小的帧
 0 = 如果发送或接收的帧大于 MAMXFL, 则中止传输
- bit 1 **保留**: 写为 1
- bit 0 **FULDPX**: MAC 全双工模式使能位
 1 = MAC 工作在全双工模式下。要确保正确操作, PHY 也必须设置为全双工模式。
 0 = MAC 工作在半双工模式下。要确保正确操作, PHY 也必须设置为半双工模式。

寄存器 8-4: MABBIPG: MAC 背对背包间间隔寄存器

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15				bit 8			

U-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-1	R/W-0
—	BBIPG6	BBIPG5	BBIPG4	BBIPG3	BBIPG2	BBIPG1	BBIPG0
bit 7				bit 0			

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = 上电复位时的值 1 = 置 1 0 = 清零 x = 未知

bit 15-7 **未实现**: 读为 0

bit 6-0 **BBIPG<6:0>**: 背对背包间间隔延时控制位

当 FULDPX (MACON2<0>) = 1 时:

在背对背序列中, 从前一次发送结束到下一次发送开始之间有半字节时间的延时。应使用整数倍的半字节时间减 3 对该寄存器的值进行编程。建议将该值设置为 15h, 表示 IEEE 规定的最小包间间隔 (IPG) 时间为 0.96 μ s (速度为 100 Mb/s 时) 或 9.6 μ s (速度为 10 Mb/s 时)。

当 FULDPX (MACON2<0>) = 0 时:

在背对背序列中, 从前一次发送结束到下一次发送开始之间有半字节时间的延时。应使用整数倍的半字节时间减 6 对该寄存器的值进行编程。建议将该值设置为 12h, 表示 IEEE 规定的最小包间间隔 (IPG) 时间为 0.96 μ s (速度为 100 Mb/s 时) 或 9.6 μ s (速度为 10 Mb/s 时)。

ENC424J600/624J600

寄存器 8-5: MAIPG: MAC 包间间隔寄存器

U-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0
—	r	r	r	r	r	r	r
bit 15							bit 8

U-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-1	R/W-0
—	IPG6	IPG5	IPG4	IPG3	IPG2	IPG1	IPG0
bit 7							bit 0

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = 上电复位时的值

1 = 置 1

0 = 清零

x = 未知

bit 15 未实现: 读为 0

bit 14-8 保留: 写为 0001100 (0Ch)

bit 7 未实现: 读为 0

bit 6-0 **IPG<6:0>**: 非背对背包间间隔延时控制位

包间间隔 (IPG) 指前一次数据包发送或接收结束到下一个数据包发送开始之间的间隔。为了在满足 IEEE 802.3 标准的同时达到最大性能, 请将该字段保留为 12h, 表示包间间隔时间为 0.96 μ s (速度为 100 Mb/s 时) 或 9.6 μ s (速度为 10 Mb/s 时)。

寄存器 8-6: MACLCON: MAC 冲突控制寄存器

U-0	U-0	R/W-1	R/W-1	R/W-0	R/W-1	R/W-1	R/W-1
—	—	r	r	r	r	r	r
bit 15							bit 8

U-0	U-0	U-0	U-0	R/W-1	R/W-1	R/W-1	R/W-1
—	—	—	—	MAXRET3	MAXRET2	MAXRET1	MAXRET0
bit 7							bit 0

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = 上电复位时的值

1 = 置 1

0 = 清零

x = 未知

bit 15-14 未实现: 读为 0

bit 13-8 保留: 写为 110111 (37h)

bit 7-4 未实现: 读为 0

bit 3-0 **MAXRET<3:0>**: 最大重发数控制位 (仅适用于半双工模式)

在由于过多冲突导致中止数据包之前 MAC 尝试的最大重发数。

9.0 发送和接收数据包

除了为网络介质提供收发器接口之外，ENC424J600/624J600 器件还处理许多机械任务，例如数据包管理，从主机应用程序中卸载许多以太网日常维护任务。该器件管理独立的发送缓冲区和接收缓冲区、处理发送和潜在冲突、过滤传入的数据包并存储具有进行处理所需其他信息的已接收数据包。主控制器写入数据到存储器、配置要发送的数据包的长度、启动发送操作并从接收缓冲区读取传入的数据包。自动处理填充操作和校验和生成，以及已接收数据包的状态信息。

9.1 发送数据包

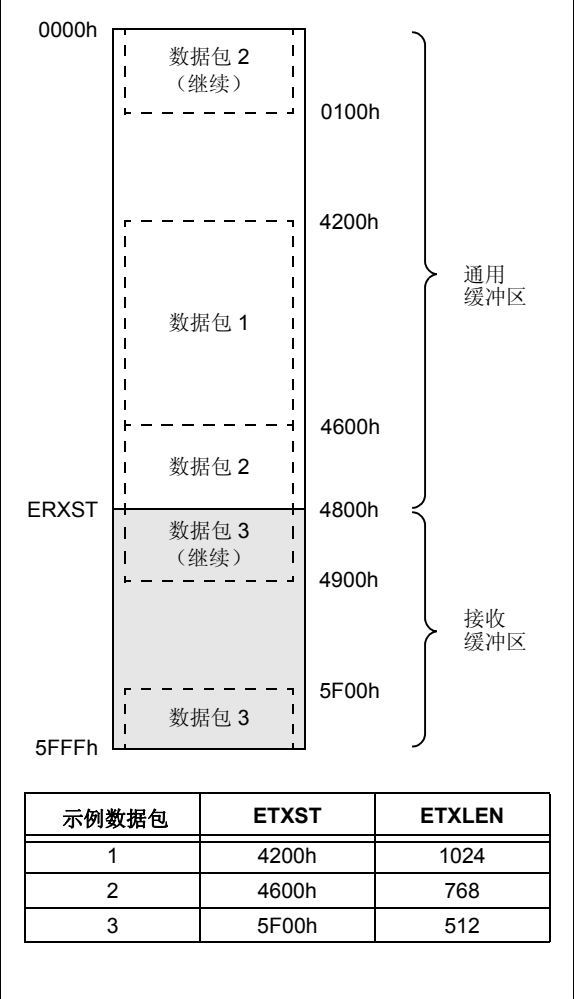
通用缓冲区以地址空间的起始地址（0000h）和接收缓冲区之前的最后一个字节（ERXST - 1）作为边界。由于 ERXST 必须字对齐，所以两个缓冲区都以偶数地址开始，以奇数地址结束。关于缓冲区分配的详细信息，请参见第 3.5 节“SRAM 缓冲区”。

要发送的数据包由两个值决定：发送数据起始指针 ETXST 和发送缓冲区长度指针 ETXLEN。发送数据包时，器件读取 ETXLEN 字节（从 ETXST 指向的地址开始）。如果在此过程中到达通用缓冲区的末尾，操作将折回到通用缓冲空间的开头（0000h）。也可以从接收缓冲区直接发送数据包（例如，当更改源地址和目标地址时）。如果到达接收缓冲区的末尾，操作将折回到接收缓冲区的开头。这种折回操作可以防止数据包跨两个缓冲区。

图 9-1 给出了折回操作的三个示例。图中的数据包 1 被发送，无折回操作。数据包 2 到达通用缓冲区的末尾，因此折回到地址 0000h。数据包 3 从接收缓冲区发送，因此当到达接收缓冲区末尾时折回到 ERXST。

器件可以配置为使用 MAADR 寄存器中的值插入源 MAC 地址。将 TXMAC 位（ECON2<13>）置 1 使能此功能。使能时，器件从存储器读取 6 字节目标地址、将 MAADR 寄存器中的 6 字节源 MAC 地址插入到已发送的字节流中，然后继续从存储器中读取和发送剩余的字节。

图 9-1: 发送缓冲区折回示例



ETXLEN 的值仅表示要从存储器中读取的字节数，不是要发送的字节数。如果器件配置为插入源 MAC 地址、添加填充字段或追加 CRC，那么物理介质上发送的实际字节数将增加。图 9-2 说明了配置各种发送选项时如何配置三个相同数据包的 ETXLEN。

在发送任何数据包之前，器件需要进行初始化（见第 8.0 节“初始化”）。将 TXRTS（ECON1<1>）置 1 可启动发送。操作完成时该位由硬件自动清零。此外，器件也可以配置为在操作完成时使 TXIF 中断标志和外部中断信号有效（更多详细信息，请参见第 13.0 节“中断”）。

任何时候手动清零 TXRTS 位将中止发送操作。如果正在进行数据包发送，它将立即中止，器件会发出阻塞信号，有效地通知链路伙伴丢弃它已接收的任何不完整数据包。

当发送有效（TXRTS 置 1）时，建议不要修改 ETXST 和 ETXLEN 以及 TXMAC 位（ECON2<13>）。由于 ERXST 控制发送缓冲区的结束地址，因此要使缓冲区能够折回，它也必须保持不变。

要发送数据包：

1. 按照第 8.6 节“MAC 初始化”中描述的步骤初始化 MAC。大多数应用应保留 PADCFG<3:0> 和 TXCRCEN 为其默认值，以使能自动填充和 CRC 生成。要在发送期间自动插入源 MAC 地址，请将 TXMAC 位置为 1。
2. 如果需要，将 TXIE 和 / 或 TXABTIE（EIE<3:2>）置 1 以允许发送完成中断和 / 或发送中止中断。如果 TXIF 和 TXABTIF（EIR<3:2>）当前置 1，请将它们清零。要产生中断，还应将 INTIE（EIE<15>）置 1。
3. 复制数据包到 SRAM 缓冲区。
4. 将 ETXST 编程为数据包的起始地址。
5. 将 ETXLEN 编程为复制到存储器的数据长度。
6. 将 TXRTS 位置 1 以启动发送。
7. 等待硬件清零 TXRTS 并触发发送中断，以指示发送完成。
8. 读取 ETXSTAT 寄存器以获取如下节所述的状态信息。

在发送操作完成后，发送功能不修改 ETXST 指针或 ETXLEN 数据长度。要发送其他数据包，必须手动将起始指针移动到下一个数据包的存储单元且必须更新发送长度。如果应用需要重新发送上一个数据包，只需再次将 TXRTS 置 1 而无需修改 ETXST 或 ETXLEN。

9.1.1 发送状态

发送数据包（成功或失败）后，ETXSTAT 和 ETXWIRE 寄存器包含关于此操作的状态信息。在下一个数据包发送完成（再次成功或失败）之前，这些寄存器中的值保持不变。因此，只有当 TXRTS 清零时，ETXSTAT 和 ETXWIRE 才被视为有效。

LATECOL（ETXSTAT<10>）、MAXCOL（ETXSTAT<9>）和 EXDEFER（ETXSTAT<8>）位是指示数据包发送失败的错误标志。（这些错误只可能出现在半双工模式下，因此当器件工作在全双工模式下时，这些状态位应忽略。）器件使这些标志有效并清零 TXRTS 位以防止单个数据包停止器件操作。当这些标

志中的任意标志置 1 时，表明数据包发送失败，主控制器应决定是重试数据包发送还是忽略此错误。

CRCBAD（EXTSTAT<4>）位是警告位。它只有在禁止自动 CRC 生成时才有效，并指示 MAC 计算出来的校验和不匹配软件追加的 CRC。如果软件 CRC 不正确，则远程节点将拒收数据包。使能 MAC 硬件自动生成 CRC 时，该位被忽略，因为 CRC 始终正确。

DEFER 位（ETXSTAT<7>）和 COLCNT<3:0> 位（ETXSTAT<3:0>）是状态指示位。DEFER 只指示由于网络上流控制或其他流量的原因导致器件在发送之前必须等待一定时间。COLCNT 位指示数据包发送成功之前发生的冲突数。

ETXWIRE 寄存器对发送完成（成功或失败）前 MAC 发送到物理介质上的实际字节数进行计数。在全双工模式下，此计数值是数据包（包括填充字节和 CRC）的总长度。在半双工模式下，此状态寄存器包含由于发生任何冲突导致额外发送的所有字节。因此，它用于统计应用使用的总带宽。

9.1.2 特殊发送情形

当 ETXLEN 的值小于等于 07h 时，由硬件锁定置 1 TXRTS 位的功能。这是因为产生的数据包不能满足 IEEE 802.3 的要求。

如果在软件将 TXRTS 位置 1 以发送数据包时未连接 PHY，发送将如常完成，仍将发生适用的中断。但是，PHY 子模块还将抑制在物理介质上发送任何数据。这避免了自动协商（可能已在使用物理介质）的干涉。此操作也是满足 IEEE 802.3 规范所必需的。

如果在禁止超大帧（MACON2<2> = 0）的情况下尝试发送长度大于 MAC 最大帧长度寄存器中规定大小的数据包，发送将正常启动。但是，在 MAC 发送了 MAMXFL 中定义的字节数后，MAC 立即停止发送。这就导致了数据包发送不完整，且数据包会被截断，而不具有追加的有效 CRC。在几乎所有情况下，这将导致远程节点因为数据包具有无效 CRC 而拒绝该数据包。

- 使能流控制（RXPAUS 位置 1）且
- 从远程节点接收到一个有效暂停帧

9.2 接收数据包

每个帧从偶数地址开始。硬件具有接收头指针 **ERXHEAD**（指示要写入的下一个地址单元）并在到达存储器末尾时自动折回到 **ERXST**。尾指针 **ERXTAIL** 由软件维护。从尾指针到头指针指示的地址范围内的地址单元受软件保护。这可使主控制器防止传入帧覆盖还未处理的数据。

如果在接收帧的过程中 ERXHEAD 到达 ERXTAIL，或者接收过滤器拒绝数据包，那么 ERXHEAD 指针返回到其先前的地址单元并丢弃数据包。

ERXST **5FFFh**

初始状态，缓冲区为空：

缓冲区为空：

缓冲区包含要处理的
暂挂数据：

缓冲区已折回并
包含暂挂数据：

缓冲区已折回
且当前已满：

H	头指针（ERXHEAD）		传入数据的可用字节
T	尾指针（ERXTAIL），读取时跳过		传入数据中受保护的字节
01 02	暂挂帧的下一个数据包指针	XX	无效字节，读取时跳过

主机应用程序可以写入接收缓冲区。但是，建议不要超出尾指针保护的区域，以防止被以后接收的数据包所覆盖。

ERXHEAD 是只读寄存器，可由硬件随时更新。将高字节保存到影子寄存器以确保在 8 位接口（SPI 或 PSP）上被安全读取。读取 ERXHEAD 时，先读低字节。此操作同时将高字节复制到影子寄存器。读高字节将自动读取此影子寄存器。这可确保在获取低字节后该值不会被修改，即使中间又收到其他数据包。

9.2.1 配置数据包接收

在 MAC 和 PHY 正确初始化后，器件准备好开始接收数据包。

要使能接收：

1. 编程 ERXST 指针（如果一次写入一个字节则首先编程低字节）为接收缓冲区使用的首地址。该指针必须指向偶数地址。头指针 ERXHEAD 自动设置为与之相同的值。
2. 在主控制器应用程序中，创建一个变量 NextPacketPointer，让其保存下一个接收到的数据包的地址值。初始化该变量使之等于 ERXST 的当前值。
3. 编程尾指针 ERXTAIL 为缓冲区的最后一个偶数地址或 5FFEh。
4. 根据需要配置中断。更多信息，请参见第 13.0 节“中断”。
5. 将 RXEN（ECON1<0>）置 1 以使能接收。

RXEN 置 1 后，建议不要修改 ERXST。主控制器必须监视 ENC424J600 以确定数据包到达的时间以及可以进行处理的时间。使用第 13.1.5 节“接收数据包待处理”中描述的数据包暂挂中断可以完成此操作。或者，查询 PKTCNT 位以查看它是否为非零值。

9.2.2 存储传入的数据包

数据包按顺序存储在接收缓冲区中。每个帧按照送至 MAC 的顺序保存，包括所有填充字节和帧校验（CRC）字节，但是不包括任何前导字节或流起始字节 / 帧定界符字节。帧始终从偶数地址开始保存，所以那些地址长度为奇数的帧跳过一个字节才开始保存下一个帧。图 9-4 给出了在存储器中保存数据包的示例。

接收到数据包时，硬件使数据包计数器位 PKTCNT（ESTAT<7:0>）递增 1。按顺序写入传入的字节，从头指针 ERXHEAD 开始。如果在接收期间头指针到达尾指针 ERXTAIL 所指的地址处，或者如果 PKTCNT 位递增导致溢出，则丢弃数据包并还原头指针。

每个接收到的帧在存储器中以指向下一个帧的指针和接收状态向量（Receive Status Vector, RSV）开头。RSV 包括帧的长度以及指示数据包类型和匹配哪个过滤器的标志。RSV 的格式如表 9-1 所示。

要从缓冲区中获取数据包：

1. 通过确保 PKTCNT<7:0> 位非零或者 PKTIF（EIR<6>）置 1 来验证是否有数据包在等待处理。
2. 从应用程序变量 NextPacketPointer（见第 9.2.1 节“配置数据包接收”）指向的地址开始读取。
3. 读取数据包的头两个字节（即下一个数据包的地址），并将其写入 NextPacketPointer。
4. 读取接下来的 6 个字节，即接收状态向量（RSV）。
5. 读取以太网帧。要读取的字节数由第 4 步中读取到的 RSV 中的接收字节数表示。
6. 在读取并处理完该帧后，可通过更新 ERXTAIL 指针，使其指向已处理的数据包所在的地址单元来释放不断增加的存储缓冲区空间，注意在到达接收存储缓冲区末尾时折回。在处理完整个帧后，ERXTAIL 的最终值应等于（NextPacketPointer - 2）。
7. 将 PKTDEC（ECON1<8>）置 1 以递减 PKTCNT 位。如果 PKTCNT 递减到零，PKTDEC 由硬件自动清零。

图 9-4: 缓冲存储器中的接收数据包示例

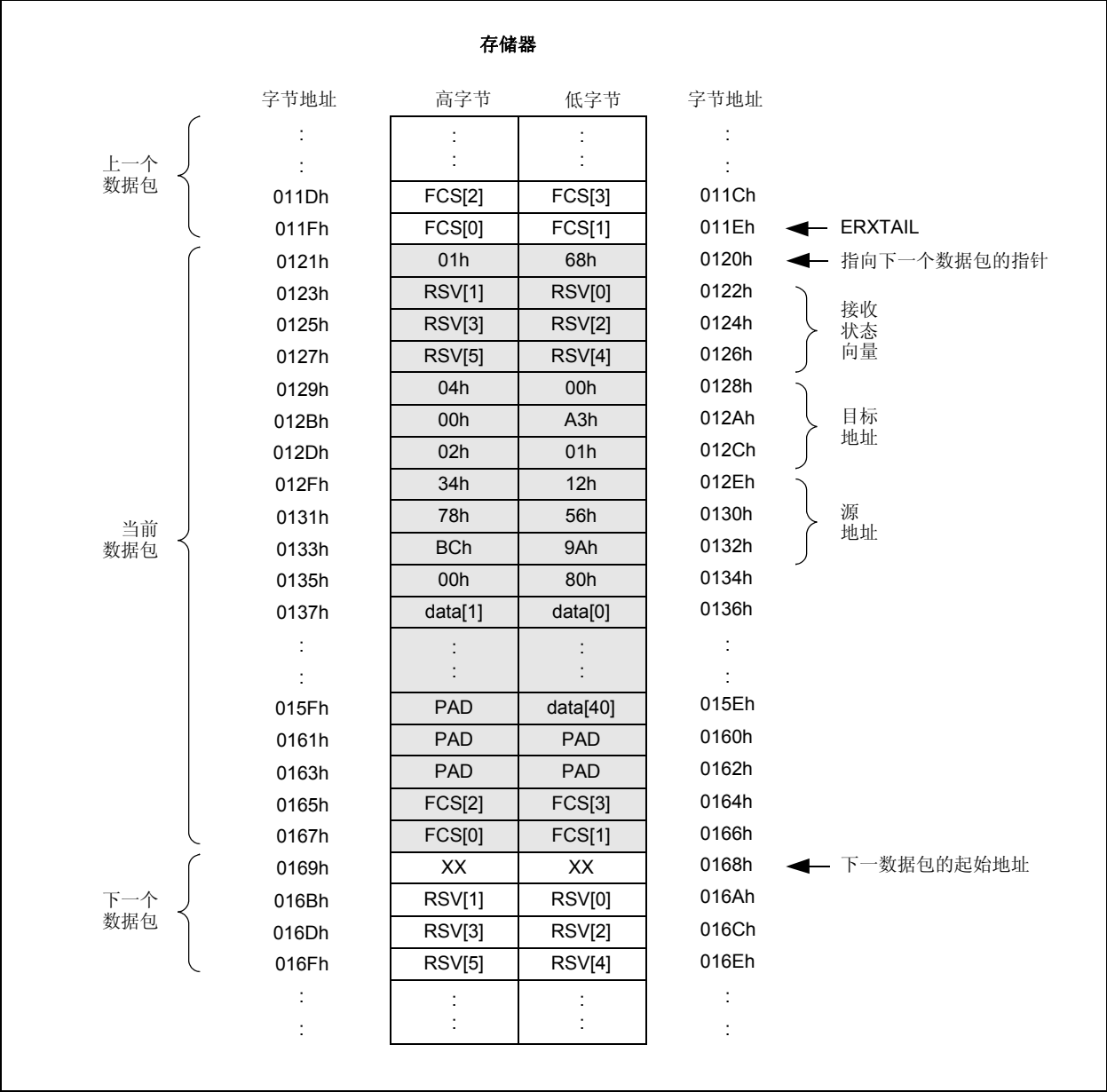


表 9-1: 接收状态向量

字节	位	字段	说明
5	47:40	零	00h
4	39	零	0
	38	保留	
	37	保留	
	36	单播过滤器匹配	当前帧符合单播接收过滤器的标准。
	35	格式匹配过滤器匹配	当前帧符合接收到该数据包时配置的格式匹配接收过滤器的标准。
	34	Magic Packet™ 过滤器匹配	当前帧符合接收到该数据包时配置的 Magic Packet 接收过滤器的标准。
	33	哈希过滤器匹配	当前帧符合接收到该数据包时配置的哈希接收过滤器的标准。
	32	非本地过滤器匹配	当前帧符合非本地接收过滤器的标准。
3	31	过短帧过滤器匹配	当前帧符合短数据包接收过滤器的标准。
	30	接收检测为 VLAN 类型的帧	当前帧被确认为 VLAN 标识的帧。
	29	接收未知操作码	当前帧被确认为控制帧，但包含未知操作码。
	28	接收暂停控制帧	当前帧被确认为包含有效暂停帧操作码和有效目标地址的控制帧。
	27	接收控制帧	当前帧被确认为控制帧，因为其具有一个有效的类型 / 长度字段。
	26	多余数据位	表示在接收到数据包后，又接收到额外的 1 到 7 位。这些额外接收到的位将被丢弃。
	25	接收广播数据包	当前帧具有有效的广播地址。
	24	接收多播数据包	当前帧具有有效的多播地址。
2	23	接收成功	接收到的数据包具有有效的 CRC，无符号错误。
	22	长度超出范围	表示帧类型 / 长度字段大于 1500 字节（类型字段）。
	21	长度校验错误	表示数据包中帧长度字段的值与实际的数据字节长度不匹配，并指定了有效长度。
	20	CRC 错误	帧 CRC 字段的值与 MAC 计算所得的 CRC 不匹配。
	19	保留	
	18	已检测到的载波事件	表示自上次接收后的某时刻检测到了载波事件。载波事件与该数据包无关。载波事件是接收通道上的活动，它不会导致尝试接收数据包。
	17	保留	
	16	被忽略的数据包	出现大于 50,000 位时间的帧或自上次接收后被丢弃的数据包。
1	15:0	接收的字节数	表示接收的帧长度（以字节计）。包括目标地址、源地址、类型 / 长度、数据、填充和 CRC 字段。该字段以小尾数格式存储。
0			

ENC424J600/624J600

寄存器 9-1: ECON1: 以太网控制寄存器 1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
MODEXST	HASHEN	HASHOP	HASHLST	AESST	AESOP1	AESOP0	PKTDEC
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FCOP1	FCOP0	DMAST	DMACPY	DMACSSD	DMANOCs	TXRTS	RXEN
bit 7							bit 0

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = 上电复位时的值

1 = 置 1

0 = 清零

x = 未知

- bit 15 **MODEXST:** 模幂计算启动位
1 = 模幂计算已启动 / 忙; 完成时由硬件自动清零
0 = 模幂计算已完成 / 空闲
- bit 14 **HASHEN:** MD5/SHA-1 哈希使能位
1 = 使能 MD5/SHA-1 哈希引擎。把通过 DMA 写入哈希引擎的数据添加到哈希计算中。
0 = 禁止 MD5/SHA-1 哈希引擎
- bit 13 **HASHOP:** MD5/SHA-1 哈希操作控制位
1 = MD5/SHA-1 哈希引擎装入保存在哈希存储器中的初始值 (IV)。HMAC 哈希操作通常使用此模式。
0 = 正常的 MD5/SHA-1 哈希操作
- bit 12 **HASHLST:** MD5/SHA-1 哈希最后数据块控制位
1 = 当DMA下一次传输数据到哈希引擎时, 完成哈希计算。如果需要, 自动生成填充字节并添加到哈希计算中。
0 = 当DMA下一次传输数据到哈希引擎时, 向哈希计算添加数据。仍然可以向哈希计算添加更多数据。
- bit 11 **AESST:** AES 加密 / 解密启动位
1 = AES 加密 / 解密操作已启动 / 忙; 完成时由硬件自动清零
0 = AES 加密 / 解密操作已完成 / 空闲
- bit 10-9 **AESOP<1:0>:** AES 操作控制位
11 = 保留
10 = ECB/CBC 解密
01 = CBC/CFB 加密
00 = ECB/CFB/OFB 加密或密钥初始化
- bit 8 **PKTDEC:** 接收数据包计数器递减控制位
1 = PKTCNT (ESTAT<7:0>) 位递减 1。硬件立即将 PKTDEC 清为 0, 以允许背对背递减操作。
0 = 保持 PKTCNT 位不变
- bit 7-6 **FCOP<1:0>:** 流控制操作控制 / 状态位
当 FULDPX (MACON2<0>) = 1 时:
11 = 通过发送暂停定时器值为 0000h 的暂停帧来结束流控制; 完成时由硬件自动清零
10 = 通过定期发送具有 EPAUS 定义的暂停定时器值的暂停帧来使能流控制
01 = 发送由 EPAUS 确定的单一暂停帧; 完成时由硬件自动清零
00 = 流控制被禁止 / 空闲
当 FULDPX (MACON2<0>) = 0 时:
1x, 01 = 通过连续使用背压 (发送前导字段) 来使能流控制
00 = 流控制被禁止 / 空闲

寄存器 9-1: ECON1: 以太网控制寄存器 1 (续)

bit 5	DMAST: DMA 启动位 1 = DMA 操作已启动 / 忙; 完成时由硬件自动清零 0 = DMA 操作已完成 / 空闲
bit 4	DMAcpy: DMA 复制控制位 1 = DMA 将数据复制到 EDMADST 指向的存储单元 0 = DMA 不复制数据; EDMADST 无效
bit 3	DMAcSSD: DMA 校验和种子控制位 1 = DMA 校验和操作的初始种子为 EDMACS 中包含的校验和的二进制反码 0 = DMA 校验和操作的初始种子为 0000h
bit 2	DMAncs: DMA 无校验和控制位 1 = DMA 不计算校验和; EDMACS 保持不变 0 = DMA 计算校验和; 在所有 DMA 操作完成时硬件更新 EDMACS
bit 1	TXRTS: 发送请求发送状态 / 控制位 1 = 发送以太网帧; 完成时由硬件自动清零 0 = 发送逻辑已完成 / 空闲
bit 0	RXEN: 接收使能位 1 = 通过当前接收过滤器配置的数据包被写入接收缓冲区 0 = 忽略所有接收到的数据包

ENC424J600/624J600

寄存器 9-2: ETXSTAT: 以太网发送状态寄存器

U-0	U-0	U-0	R-0	R-0	R-0	R-0	R-0
—	—	—	r	r	LATECOL ⁽¹⁾	MAXCOL ⁽¹⁾	EXDEFER ⁽¹⁾
bit 15							
			bit 8				
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
DEFER ⁽¹⁾	r	r	CRCBAD	COLCNT3 ⁽¹⁾	COLCNT2 ⁽¹⁾	COLCNT1 ⁽¹⁾	COLCNT0 ⁽¹⁾
bit 7							
			bit 0				

图注:			
R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = 上电复位时的值	1 = 置 1	0 = 清零	x = 未知

bit 15-13	未实现: 读为 0
bit 12-11	保留: 读操作时忽略
bit 10	LATECOL: 发送延迟冲突状态位 ⁽¹⁾ 1 = 发送的字节数大于 MACLCONH + 8 后发生冲突。中止上一次发送。 0 = 上一次发送期间未发生延迟冲突
bit 9	MAXCOL: 发送最大冲突状态位 ⁽¹⁾ 1 = 发送上一个数据包时发生了 MACLCONL + 1 个冲突。中止上一次发送。 0 = 发送上一个数据包时发生的冲突数小于等于 MACLCONL
bit 8	EXDEFER: 发送过度延期状态位 ⁽¹⁾ 1 = 介质在忙于处理来自其他节点的流量时所花的时间大于 24,288 个位时间。中止上一次发送。 0 = 发送上一个数据包时 MAC 延期的时间不足 24,288 个位时间
bit 7	DEFER: 发送延期状态位 ⁽¹⁾ 1 = 介质忙于处理来自其他节点的流量, 所以 MAC 被强制暂时延期发送上一个数据包 0 = 尝试发送上一个数据包时无发送延期或过度延期
bit 6-5	保留: 读操作时忽略
bit 4	CRCBAD: 发送 CRC 不正确状态位 1 = 发送的上一个数据包的 FCS 字段与发送期间 MAC 内部生成的 CRC 不匹配 0 = 发送的上一个数据包的 FCS 字段正确或 MAC 被配置为追加一个内部生成的 CRC
bit 3-0	COLCNT<3:0>: 发送冲突计数状态位 ⁽¹⁾ 发送上一个数据包时发生的冲突数。

注 1: 仅适用于半双工模式; 全双工模式下没有冲突和延期。

寄存器 9-3: **ESTAT: 以太网状态寄存器**

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
INT	FCIDLE	RXBUSY	CLKRDY	r	PHYDPX	r	PHYLNK
bit 15				bit 8			

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
PKTCNT7	PKTCNT6	PKTCNT5	PKTCNT4	PKTCNT3	PKTCNT2	PKTCNT1	PKTCNT0
bit 7				bit 0			

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = 上电复位时的值

1 = 置 1

0 = 清零

x = 未知

- bit 15 **INT:** 中断等待处理状态位
 1 = EIR 的其中一位被置 1 且由 EIE 寄存器允许相应中断。如果 INTIE (EIE<15>) 被置 1, 则 $\overline{\text{INT}}$ 引脚也被驱动为低电平。
 0 = 当前没有任何允许的中断等待处理。 $\overline{\text{INT}}$ 引脚被驱动为高电平。
- bit 14 **FCIDLE:** 流控制空闲状态位
 1 = 内部流控制状态机空闲。可以安全地更改 FCOP (ECON1<7:6>) 和 FULDPX (MACON2<0>) 位。
 0 = 内部流控制状态机忙。不要修改 FCOP (ECON1<7:6>) 和 FULDPX (MACON2<0>) 位。
- bit 13 **RXBUSY:** 接收逻辑工作状态位
 1 = 接收逻辑当前正在接收数据包。稍后如果发生接收缓冲区溢出或接收过滤器拒绝该数据包, 则它会被丢弃, 因此该位不一定指示将发生接收数据包暂挂中断。
 0 = 接收逻辑空闲
- bit 12 **CLKRDY:** 时钟就绪状态位
 1 = 正常工作
 0 = 内部以太网时钟未运行, 尚不稳定。只能访问 ESTAT 和 EUDAST 寄存器。
- bit 11 **保留:** 读操作时忽略。
- bit 10 **PHYDPX:** PHY 全双工状态位
 1 = PHY 工作在全双工模式下
 0 = PHY 工作在半双工模式下
- bit 9 **保留:** 读操作时忽略。+
- bit 8 **PHYLNK:** PHY 链路状态位
 1 = 已与远程以太网伙伴建立以太网链路
 0 = 无以太网链路
- bit 7-0 **PKTCNT<7:0>:** 接收数据包计数位
 接收缓冲区中已保存并准备好进行软件处理的完整数据包数。将 PKTDEC (ECON1<8>) 位置 1 以使该字段递减。

ENC424J600/624J600

注:

10.0 接收过滤器

为了能最大限度地降低主控制器必须处理的帧数，ENC424J600/624J600 器件配备了 11 种不同的接收过滤器以丢弃不需要的帧。提供了以下过滤器：

- CRC 错误收集过滤器
- 过短帧错误收集过滤器
- CRC 错误拒绝过滤器
- 过短帧错误拒绝过滤器
- 单播收集过滤器
- 非本地单播收集过滤器
- 多播收集过滤器
- 广播收集过滤器
- 哈希表收集过滤器
- Magic Packet™ 收集过滤器
- 模式匹配收集过滤器

每个过滤器都可用软件进行配置，还可通过 ERXFCN 寄存器（寄存器 10-1）单独使能或禁止。每个过滤器要么是收集过滤器，要么是拒绝过滤器，传入的帧按顺序通过每个被使能的过滤器。对帧做出明确决策的第一个过滤器的优先级大于所有其他过滤器。收集过滤器强制接受帧或将决定权交与优先级较低的过滤器。类似地，拒绝过滤器丢弃帧或将帧转给优先级较低的过滤器。通过了所有过滤器但未明确指明被接受的帧将被丢弃。图 10-1 演示了这种决策树。

上电时，只有 CRC 错误拒绝过滤器、过短帧错误拒绝过滤器、单播收集过滤器和广播收集过滤器被使能，所有其他过滤器都被禁止。应用了这些设置之后，器件将只接受广播帧和专门寻址本地 MAC 地址的帧。自动拒绝无效帧和那些以其他节点为目标的帧。

注

1:

在以太网控制帧到达后，进入上述过滤器之前，MAC 先对这些帧进行内部处理和过滤。对于要接收以太网控制帧的应用，使能 PASSALL 选项 (MACCON1<1> = 1)。

2:

在以太网接收使能位 RXEN (ECON1<0>) 置 1 的情况下，如果在重新配置任何接收过滤器的同时又接收到新帧，那么过滤器可能会做出不正确的决定。要避免这种情形，请在更改任何接收过滤器设置之前先清零 RXEN 位。

ENC424J600/624J600

寄存器 10-1: **ERXFCN: 以太网接收过滤器控制寄存器**

R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
HTEN	MPEN	—	NOTPM	PMEN3	PMEN2	PMEN1	PMEN0
bit 15							bit 8

R/W-0	R/W-1	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-1
CRCEEN	CRCEN	RUNTEEN	RUNTEN	UCEN	NOTMEEN	MCEN	BCEN
bit 7							bit 0

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = 上电复位时的值

1 = 置 1

0 = 清零

x = 未知

bit 15 **HTEN:** 哈希表收集过滤器使能位

1 = 接受哈希计算后目标地址指向哈希表中置 1 的位的数据包 ⁽¹⁾

0 = 禁止过滤器

bit 14 **MPEN:** Magic Packet™ 收集过滤器使能位

1 = 接受具有 Magic Packet 模式的本地 MAC 地址的数据包 ⁽¹⁾

0 = 禁止过滤器

bit 13 **未实现:** 读为 0

bit 12 **NOTPM:** 模式匹配反相控制位

1 = 成功的模式匹配要求模式匹配校验和不匹配

0 = 成功的模式匹配要求模式匹配校验和匹配

bit 11-8 **PMEN<3:0>:** 模式匹配收集过滤器使能位

当 NOTPM = 0 时:

如果模式校验和匹配与所选的模式条件进行逻辑与操作后, 结果为真, 过滤器接受数据包。

当 NOTPM = 1 时:

如果模式校验和不匹配与所选的模式条件进行逻辑与操作后, 结果为真, 过滤器接受数据包。

1111

.... = 保留

1010

1001 = 具有 Magic Packet 模式的本地单播地址 ⁽¹⁾

1000 = 哈希计算后的数据包目标地址指向哈希表寄存器中置 1 的位 ⁽¹⁾

0111 = 数据包目标地址不是广播地址 ⁽¹⁾

0110 = 数据包目标地址是广播地址 ⁽¹⁾

0101 = 数据包目标地址不是多播地址 ⁽¹⁾

0100 = 数据包目标地址是多播地址 ⁽¹⁾

0011 = 数据包目标地址不是本地单播地址 ⁽¹⁾

0010 = 数据包目标地址是本地单播地址 ⁽¹⁾

0001 = 接受具有 NOTPM 定义的校验和匹配的所有数据包 ⁽¹⁾

0000 = 禁止过滤器

bit 7 **CRCEEN:** CRC 错误收集过滤器使能位

1 = 接受具有无效 CRC 的数据包, 而与所有其他过滤器的设置无关

0 = 禁止过滤器

注 1: 该过滤器决策的优先级低于 CRC 错误拒绝过滤器和过短帧错误拒绝过滤器决策的优先级 (如果通过 CRCEN 或 RUNTEN 使能了这两个过滤器)。

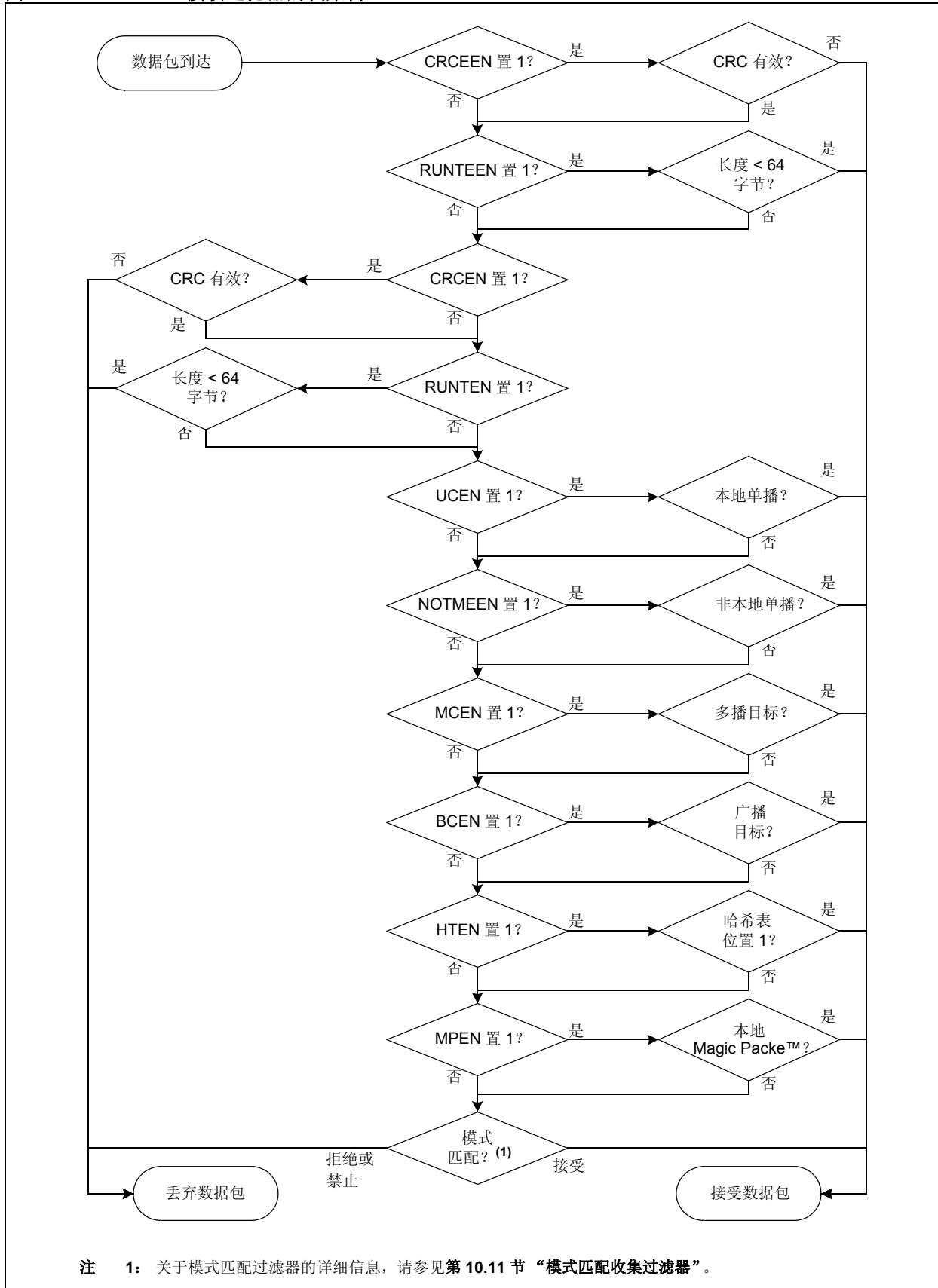
2: 该过滤器决策的优先级低于 CRC 错误收集过滤器和过短帧错误收集过滤器决策的优先级 (如果通过 CRCEEN 或 RUNTEEN 使能了这两个过滤器)。

寄存器 10-1: **ERXFCN:** 以太网接收过滤器控制寄存器（续）

bit 6	CRCEN: CRC 错误拒绝过滤器使能位 1 = 丢弃具有无效 CRC 的数据包 ⁽²⁾ 0 = 禁止过滤器
bit 5	RUNTEEN: 过短帧错误收集过滤器使能位 1 = 接受长度小于或等于 63 字节的数据包，而与所有其他过滤器的设置无关 0 = 禁止过滤器
bit 4	RUNTEN: 过短帧错误拒绝过滤器使能位 1 = 丢弃长度小于或等于 63 字节的数据包 ⁽²⁾ 0 = 禁止过滤器
bit 3	UCEN: 单播目标地址收集过滤器使能位 1 = 接受目标地址与本地 MAC 地址匹配的数据包 ⁽¹⁾ 0 = 禁止过滤器
bit 2	NOTMEEN: 非本地单播目标地址收集过滤器使能位 1 = 接受单播目标地址与本地 MAC 地址不匹配的数据包 ⁽¹⁾ 0 = 禁止过滤器
bit 1	MCEN: 多播目标地址收集过滤器使能位 1 = 接受具有多播目标地址的数据包 ⁽¹⁾ 0 = 禁止过滤器
bit 0	BCEN: 广播目标地址收集过滤器使能位 1 = 接受广播目标地址为 FF-FF-FF-FF-FF-FF 的数据包 ⁽¹⁾ 0 = 禁止过滤器

- 注 **1:** 该过滤器决策的优先级低于 CRC 错误拒绝过滤器和过短帧错误拒绝过滤器决策的优先级（如果通过 CRCEN 或 RUNTEN 使能了这两个过滤器）。
- 2:** 该过滤器决策的优先级低于 CRC 错误收集过滤器和过短帧错误收集过滤器决策的优先级（如果通过 CRCEEN 或 RUNTEEN 使能了这两个过滤器）。

图 10-1: 接收过滤器的决策树



10.1 CRC 错误收集过滤器

CRC 错误收集过滤器允许应用接受带无效帧校验序列 (Frame Check Sequence, FCS) 的帧。该过滤器主要用于执行网络、电缆和电路板布线抗干扰诊断。

过滤器计算传入帧数据的 CRC 并将计算结果与每个帧末尾追加的 FCS 进行比较。如果计算得到的 CRC 与 FCS 不匹配, 过滤器接受该帧。如果 CRC 与 FCS 匹配或者 CRC 错误收集过滤器被禁止, 则帧被传递到下一个优先级较低的过滤器。

上电时禁止该过滤器。要使能该过滤器, 请将 CRCEEN (ERXFCN<7>) 置 1。使能该过滤器会导致具有位传输错误和 / 或无效数据的帧被接受到数据包缓冲区。要符合 IEEE 802.3 规范的要求, 应禁止该过滤器。

10.2 过短帧错误收集过滤器

过短帧错误收集过滤器允许应用接受长度小于 64 字节的帧 (从以太网源地址的起始字节算到帧校验序列的结束字节, 包括这两个字节在内)。过短帧数据包通常是由早期的半双工冲突产生的, 不应视作有效数据包。该过滤器主要用于检测双工不匹配情况或执行网络利用率诊断。

过滤器检查每个帧的长度, 接受任何长度小于等于 63 字节的帧。长度大于等于 64 字节的帧被传递到下一个优先级较低的过滤器。

上电时禁止该过滤器。要使能该过滤器, 请将 RUNTEEN (ERXFCN<5>) 置 1。如果禁止该过滤器, 不管帧的长度如何, 所有帧都将被传递到下一个优先级较低的过滤器。

要符合 IEEE 802.3 规范的要求并适当地丢弃冲突数据段, 应禁止该过滤器。

10.3 CRC 错误拒绝过滤器

CRC 错误拒绝过滤器验证传入帧的帧校验序列。如果 CRC 无效, 丢弃该帧。具有有效 CRC 的帧被传递到下一个过滤器。

如果接收到的帧的长度超过了 MAC 最大帧长度寄存器 MAMXFL 规定的大小, MAC 会截断它。由于帧校验序列始终作为任何以太网帧的最后四个字节发送, 所以如果接收到被截断的超尺寸帧, 将始终导致无效 CRC。在使能时, CRC 错误拒绝过滤器将丢弃这些被截断的帧以及冲突数据段和其他在发送期间被损坏的帧。

上电时使能该过滤器。要禁止该过滤器, 请清零 CRCEN (ERXFCN<6>)。如果禁止该过滤器, 不管 CRC 是否有效, 所有帧都将被传递到下一个优先级较低的过滤器。

注: 要符合 IEEE 802.3 要求, 请使能此过滤器。

10.4 过短帧错误拒绝过滤器

过短帧错误拒绝过滤器检查每个传入帧的长度。如果帧长度小于以太网帧要求的最小长度 64 字节, 则丢弃该帧。大于等于 64 字节的帧将被传递到下一个过滤器。

上电时使能该过滤器。要禁止该过滤器, 请清零 RUNTEN (ERXFCN<4>)。如果禁止该过滤器, 不管帧的长度如何, 所有帧都将被传递到下一个优先级较低的过滤器。

注: 要符合 IEEE 802.3 要求, 请使能此过滤器。

10.5 单播收集过滤器

单播收集过滤器检查每个传入帧的目标地址。如果目标地址与 MAADR 寄存器定义的本地 MAC 地址完全匹配, 接受该帧。如果不匹配, 则帧被传递到下一个过滤器。

上电时使能该过滤器。要禁止该过滤器, 请清零 UCEN (ERXFCN<3>)。如果禁止该过滤器, 不管目标地址如何, 所有帧都将被传递到下一个优先级较低的过滤器。

10.6 非本地单播收集过滤器

非本地单播收集过滤器检查传入帧的目标地址。如果目标地址为单播地址, 但是与 MAADR 寄存器中的内容不完全匹配, 接受该帧。这包括任何专门寻址其他工作站的帧, 但是不包括多播或广播帧。如果数据包是本地器件的多播、广播或单播帧, 该帧将传递到下一个过滤器。

上电时禁止该过滤器。要使能该过滤器, 请将 NOTMEEN (ERXFCN<2>) 置 1。如果禁止该过滤器, 不管目标地址如何, 所有帧都将被传递到下一个优先级较低的过滤器。

10.7 多播收集过滤器

多播收集过滤器检查传入帧的目标地址。如果目标地址的第一个字节的最低有效位（LSb）置 1，则接受该帧。这适用于所有多播帧。如果该帧具有单播目标地址，则被传递到下一个过滤器。

上电时禁止该过滤器。要能使该过滤器，请将 MCEN（ERXFCN<1>）置 1。如果禁止该过滤器，不管目标地址如何，所有帧都将被传递到下一个优先级较低的过滤器。

10.8 广播收集过滤器

广播收集过滤器检查传入帧的目标地址。如果目标地址为 FF-FF-FF-FF-FF-FF，接受该帧。匹配此过滤器的帧被指定为广播到接收该帧的所有节点。具有其他地址值的所有帧被传递到下一个过滤器。

上电时使能该过滤器。要禁止该过滤器，请清零 BCEN（ERXFCN<0>）。如果禁止该过滤器，不管目标地址如何，所有帧都将被传递到下一个优先级较低的过滤器。

10.9 哈希表收集过滤器

哈希表过滤器根据帧的目标地址来决定是否接受该帧，最多可配置 64 个不同的哈希值。该过滤器允许器件接受具有多个目标地址的帧（不接受第 10.6 节“非本地单播收集过滤器”中描述的所有非本地帧）。它还可用于接受一个或多个多播组的帧（不接受第 10.7 节“多播收集过滤器”中描述的所有多播帧）。注意可能会发生哈希表冲突，应用仍应验证所接受帧的 MAC 地址。此过滤器只为这些应用减少传入帧的数量。

过滤器使用多项式 4C11DB7h 对数据包的 6 个目标地址字节执行 32 位的 CRC 计算。从得到的 32 位二进制数的 bit<28:23> 获取一个 6 位值。该值指向以太网哈希表寄存器（ETH1 至 ETH4）构成的表中的某个地址单元。

如果该地址单元中的位置 1，则数据包满足哈希表过滤器标准，且被接受。表 10-1 给出了哈希表中每个位地址单元的特定指针值。

例 10-1 给出了一个哈希表操作的示例。在该示例中，目标地址 01-00-00-00-01-2C 生成一个哈希表指针值 34h，指向 ETH4 中的 bit 4。如果此位为 1，接受该数据包。如果此哈希表位为 0，数据包将被传递到下一个优先级较低的过滤器。

广义上来说，如果此哈希表中的所有位都被置 1，将始终满足过滤条件，因此如果没有优先级更高的过滤器拒绝该数据包，所有数据包都将被接受。类似地，清零哈希表寄存器中的所有位，表示不会满足过滤条件，所以所有数据包都将被传递到下一个优先级较低的过滤器。

上电时禁止该过滤器。要能使该过滤器，请将 HTEN（ERXFCN<15>）置 1。如果禁止该过滤器，不管目标地址或哈希表寄存器值如何，所有帧都将被传递到下一个优先级较低的过滤器。

例 10-1: 得到一个哈希表地址单元

数据包目标地址:
01-00-00-00-01-2C （十六进制）

使用 4C11DB7h 计算得到的 CRC-32 结果:
1101 1010 0000 1011 0100 0101 0111 0101
（二进制）

源自 CRC 结果的 bit<28:23> 的指针:
110100 （二进制）或 34 （十六进制）

对应的哈希表地址单元:
EHT4<4>

表 10-1: 哈希表寄存器中的位分配

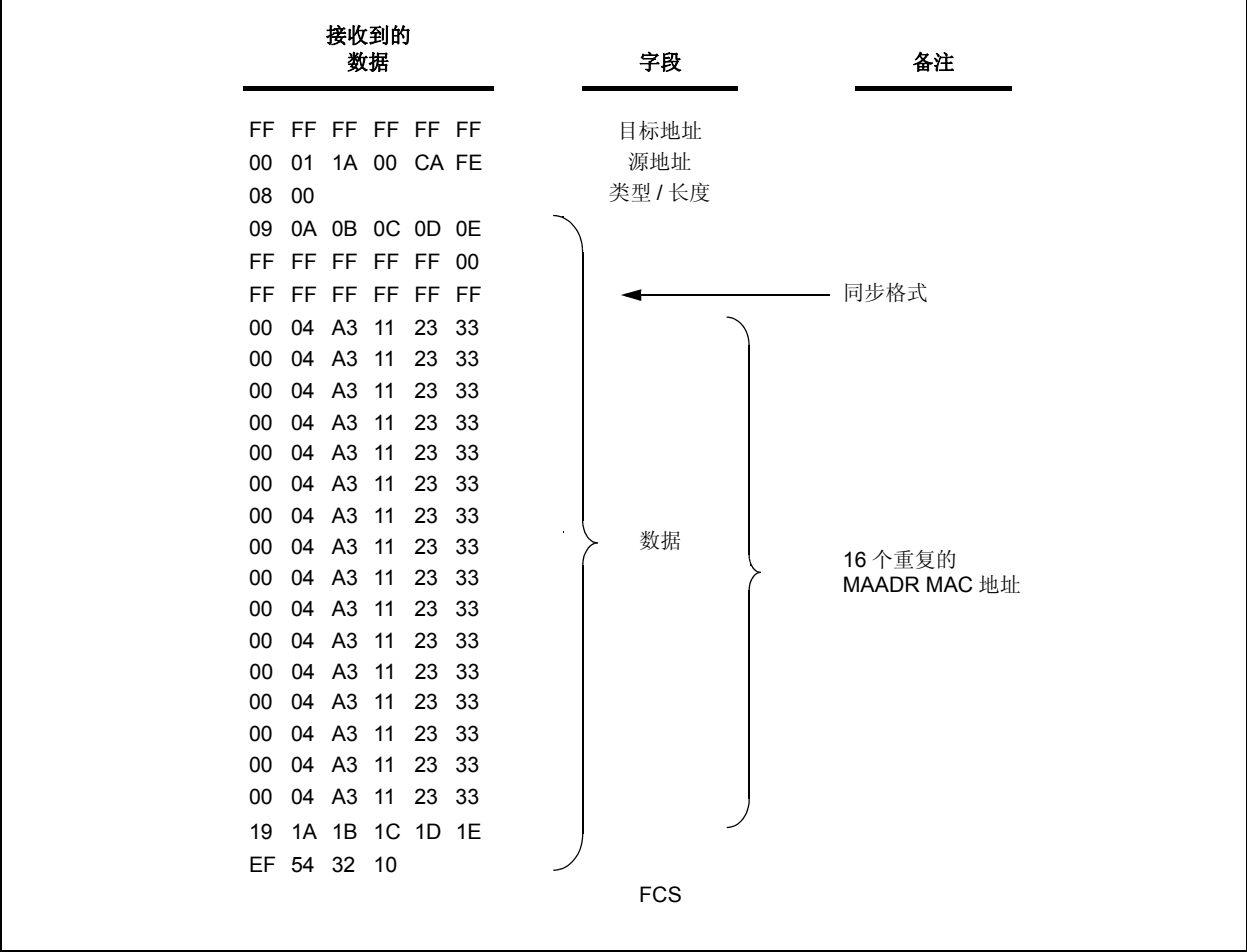
寄存器	哈希表中的位编号															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EHT1	0F	0E	0D	0C	0B	0A	09	08	07	06	05	04	03	02	01	00
EHT2	1F	1E	1D	1C	1B	1A	19	18	17	16	15	14	13	12	11	10
EHT3	2F	2E	2D	2C	2B	2A	29	28	27	26	25	24	23	22	21	20
EHT4	3F	3E	3D	3C	3B	3A	39	38	37	36	35	34	33	32	31	30

10.10 Magic Packet™ 收集过滤器

Magic Packet 过滤器扫描数据包所有内容，以查看是否存在 Magic Packet 模式的本地 MAC 地址。如果找到有效的 Magic Packet 模式，则接受该帧。Magic Packet 模式包含 6 个 FFh 字节的同步数据，接下来是 16 个重复的、Magic Packet 要寻址的工作站的 MAC 地址。请

参见图 10-2 中的 Magic Packet 示例。此模式可以位于数据包内的任何位置。忽略数据包中的其他字段，例如目标地址或 Magic Packet 模式的前导字节或后续字节。上电时禁止该过滤器。要使能该过滤器，请将 MPEN (ERXFCON<14>) 置 1。如果禁止该过滤器或接收到的数据包不是 Magic Packet 模式，那么帧将被传递到下一个优先级较低的过滤器。

图 10-2: MAGIC PACKET™ 格式示例



10.11 模式匹配收集过滤器

模式匹配过滤器接受匹配或不匹配特定模式的帧。该过滤器用于接受包含期望数据序列的帧。

首先在帧的头 128 字节内选择一个 64 字节窗口，然后选择部分或全部 64 字节进行校验和计算来实现模式匹配。所使用的校验和算法与第 14.2 节“校验和计算”中描述的 TCP/IP 校验和计算相同。然后将此校验和与 EPMCS 寄存器进行比较并可以选择使用 NOTPM (ERXFCN<12>) 标志使结果取反。

模式匹配过滤器的控制位 PMEN<3:0> (ERXFCN<11:8>) 与其他过滤器不同，它具有多个选项。可使用多个其他条件与上述匹配的输进行逻辑与操作。由于它需要模式匹配（或不匹配）和其他条件（例如广播帧或哈希表匹配），因此这显著增加了过滤器的灵活性。

要使用模式匹配过滤器，主控制器必须先编程模式匹配偏移量 (Pattern Match Offset, EPMO) 以选择要使用的 64 字节窗口。将此寄存器值设置为 0000h，可选择帧的头 64 字节，从目标地址的首字节开始。设置为 0006h，可选择字节编号为 6 至 69，从源地址的首字节开始。此窗口必须位于帧的头 128 字节范围内，不支持偏移值 1，因此 EPMO 的有效值是 0 和 2-63。

注意如果帧长度比较短，以致此帧内不存在整个 64 字节窗口，那么过滤器匹配将自动失败。即使对应的屏蔽位全为 0 也是如此。

然后，主控制器必须使用 EPMM 寄存器选择模式匹配屏蔽字节。通过将模式匹配屏蔽字节寄存器中相应的位置 1 或清零，可以选择将 64 个字节中的每个字节包含在校验和计算中（或排除在外）。位置 1 表示包括该字节。相应屏蔽位被置为 0 的数据字节会被完全删除，以免在进行校验和计算时将它们作为 0 进行处理。

然后，将需要的校验和写入 EPMCS 寄存器。要选择与校验和匹配的帧，请清零 NOTPM (ERXFCN<12>)。若只选择与校验和不匹配的帧，请将 NOTPM 置为 1。最后，将 PMEN 位设置为 0001b，使得只需要模式匹配条件或一个其他值（用于添加其他条件）。

例如，要过滤具有特殊源 MAC 地址 00-04-A3-FF-FF-FF 的所有帧：

1. 将模式匹配偏移量编程为 0000h。
2. 将 EPMM1 的 bit 6-11 置 1（假设所有其他屏蔽位为 0）。
3. 使用校验和值 5BFCh 编程 EPMCS 寄存器。
4. 清零 NOTPM 以要求完全匹配。

注意偏移量未编程为 0006h 且 EPMM1<5:0> 位未置 1，校验和将仍为 5BFCh。但是，在第二种情况下，少于 70 字节的帧永远不满足模式匹配条件，因为从偏移位置 0006h 开始无法构成完整的 64 字节窗口。图 10-3 给出了模式匹配过滤器的又一个示例。

上电时禁止模式匹配收集过滤器。由于该过滤器在所有接收过滤器中优先级最低，所以如果禁止该过滤器或者数据包不满足所配置的模式匹配条件，那么数据包被自动丢弃。

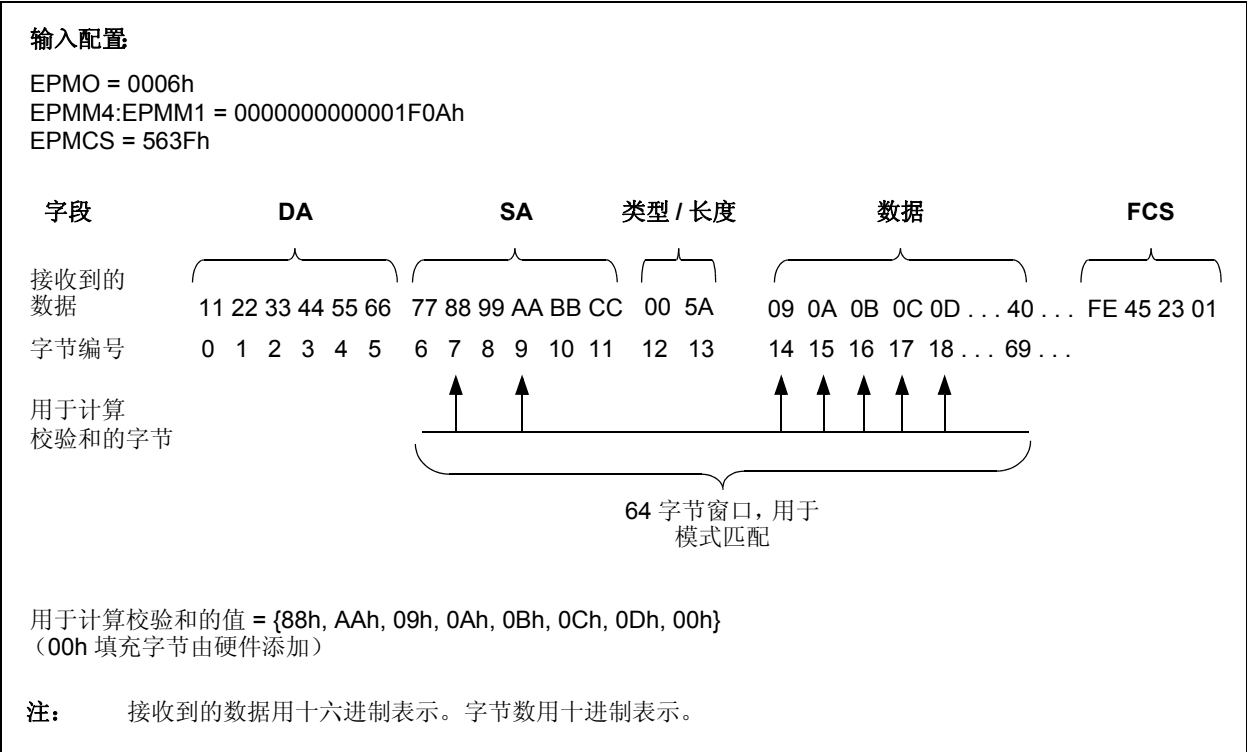
10.12 混杂模式

如果要求不管传入帧的内容如何，一概接受（混杂模式），请将 CRCEN、RUNTEN、UCEN、NOTMEEN 和 MCEN 位置 1。禁止所有其他过滤器。

要完全接受所有可确认的以太网帧（包括有错误的帧），请将 PASSALL (MACCON1<1>) 置为 1 并将 ERXFCN 中的 UCEN、NOTMEEN 和 MCEN 也置 1。

在任何模式下，无法填充到接收缓冲区或导致 PKTCNT 字段 (ESTAT<7:0>) 溢出的帧仍被丢弃。

图 10-3: 模式匹配示例



ENC424J600/624J600

注:

11.0 流控制

流控制为网络工作站提供了一种暂时停止向其发送数据的机制。此特性通常用于防止在接收数据时发生缓冲区溢出。

ENC424J600/624J600 器件提供自动和手动流控制功能。当硬件暂时无法接收数据时，可以发出通知；当远程系统正在发送时，可以延迟发送。全双工和半双工链路都支持流控制。可通过软件手动启动流控制，或配置为在接收缓冲存储器空间不足时自动使能流控制。

在某些模式下，通过 FCOP<1:0> 位（ECON1<7:6>）、AUTOFC 位（ECON2<7>）、RXPAUS 和 PASSALL 位（MACON1<2:1>）以及 EPAUS 和 ERXWM 寄存器配置流控制操作。

注： 流控制是 IEEE 802.3 规范的可选部分，可能不会在所有远程设备上实现。

11.1 工作模式

全双工和半双工链路模式下的流控制操作不同。两种模式都支持，但是在使能应用中的流控制之前最好了解这两种模式下流控制操作的区别。

11.1.1 半双工模式

链路工作在半双工模式下时，通过阻塞网络来实现流控制。需要禁止数据传入的节点将由交替的 1 和 0 组成的前导信号（55h）发送到以太网介质上；这也称为在链路上使用背压。由于链路工作在半双工模式下，所有连接的节点在发送前必须先等待一段时间。如果确实有一个节点执行了发送操作，那么相关的节点将检测到冲突并等待阻塞停止后再重发。这将成功地阻塞网络，直到流控制被禁止。

如果要在使能流控制时发送帧，ENC424J600 将停止阻塞，在等待标准的包间间隔（IPG）延时后，尝试发送。由于之前阻塞了所有通信，在此延时期间可能会有一些节点已经开始发送帧，故会造成一些冲突。硬件将尽快发送帧并恢复阻塞，但其他节点有可能在恢复阻塞之前发送了数据包。在半双工模式下，无法避免这种流控制缺陷。

因为基于背压的流控制对网络有不利影响且缺乏有效性，所以除非在经过正常测试的闭合网络环境中，否则建议不要使用半双工流控制。

工作在半双工模式下时，将 FCOP<1:0> 设置为 00 可以禁止流控制。而所有其他组合将使能流控制并导致器件阻塞网络。

11.1.2 全双工模式

全双工链路的流控制功能更强大。工作站不再阻塞网络，而是发送暂停控制帧给远程系统。暂停帧发往特殊的多播目标地址（01-08-C2-00-00-01），表示远程节点在再次发送之前应该等待的时间。该时间的单位为暂停时间份额，一个暂停份额等于 512 个位时间。

在工作站空闲或暂停时，接收仍被使能。如果又接收到新的暂停控制帧，那么将丢弃先前的值，使用新的暂停时间值重新启动定时器。接收到定时器值为 0 的控制帧时，将终止暂停，立即恢复发送。

工作在全双工模式下时，FCOP<1:0> 的每种组合对发送控制帧有不同的作用。将在第 11.2.1 节“手动流控制”中讨论这些组合。

11.1.3 发送和接收暂停控制帧

ENC424J600 自动处理传入的暂停控制帧，无需应用的干预。接收到暂停控制帧时，MAC 在内部设置暂停定时器。定时器处于有效状态时，禁止发送。如果在这段时间内，应用尝试发送数据包，那么只有在这段时间过后，发送逻辑才可以进行发送（即 TXRTS 保持置 1 状态的时间比正常置 1 时间长）。

正常情况下，暂停控制帧会被 MAC 过滤掉，不会写入接收缓冲区。将 PASSALL 位（MACON1<1>）置 1 可以修改此操作，使这些帧能够通过接收过滤器。如果接受了该帧，那么它会被写入接收缓冲区。但是，PASSALL 置 1 也会导致 MAC 不处理暂停控制帧。发送逻辑将不管是否有远程暂停请求，立即进行发送。

在使用自动或手动流控制之前，使用 EPAUS 寄存器设置暂停时间值。该值使用每个暂停控制帧控制发送的暂停时间值。此寄存器中的每个暂停时间份额等于 512 个位时间。

11.2 手动和自动流控制

注： 要结合使用流控制和自动协商，请在初始化设置期间将 **ADPAUS** 位 (**PHANA<11:10>**) 设置为 01。更多信息，请参见第 12.0 节 “速度 / 双工模式配置和自动协商”。

11.2.1 手动流控制

器件上电以及 **AUTOFC** 位 (**ECON2<7>**) 清零时默认使能手动流控制。**AUTOFC** 置 1 将禁止手动流控制。

在全双工模式下要启动手动流控制，请将 **FCOP<1:0>** 设置为以下任一种组合：

- 空闲 (00)：流控制被禁止或空闲。
- 一次暂停 (01)：发送一个暂停帧，暂停时间为 **EPAUS** 中指定的值；自动返回到空闲状态 (00)。
- 连续暂停 (10)：在一段不确定的时间内，使用 **EPAUS** 中指定的值周期性地发送暂停帧；必须使用结束 (11) 终止操作。
- 结束 (11)：发送一个定时器值为 0000h 的暂停帧；然后返回到空闲状态 (00)。

在半双工模式下，将 **FCOP<1:0>** 设置为 10 可以启动流控制，设置为 00 可以终止流控制。

11.2.2 自动流控制

AUTOFC 位置 1 时，如果接收缓冲区中的数据量超过了阈值上限，**ENCX24J600** 将自动启动流控制操作。只要暂挂的数据量稍低于阈值下限，便自动终止流控制。这些阈值或“水线”(watermark) 分别由接收“水线”寄存器 **ERXWM** 的高字节和低字节确定。这些阈值为 96 字节的数据块。

例如，当缓冲区的数据量大于 3072 字节时，将 **RXFWM** 位设置为 20h，**RXEWM** 位设置为 10h 来启动流控制。当缓冲区中的数据量小于 1536 字节时，终止流控制。

在自动模式下，由器件控制 **FCOP<1:0>** 的值，且不得用软件更改。但是，这些位能够用作状态位以指示自动流控制引擎所处的状态，值 10 表示流控制有效，而 00 表示流控制空闲。

要使用自动流控制：

1. 设置 **EPAUS** 寄存器以指示每个控制帧中应指定的暂停时间份额数。建议使用默认值。
2. 设置 **RXFWM<7:0>** (**ERXWM<15:8>**) 以指示开始流控制的时间。当接收缓冲区到达此数量的 96 字节数据块时，器件将视其接收缓冲区已满，并启动流控制。如果满阈值设置为 1536 字节，那么使用默认值 16。
3. 设置 **RXEWM<7:0>** (**ERXWM<7:0>**) 以指示结束流控制的时间。当占用的 96 字节数据块数低于该值时，器件将认为其接收缓冲区足够空，可以接收更多数据。如果空阈值设置为 1440 字节，那么使用默认值 15。
4. **AUTOFC** (**ECON2<7>**) 置 1 使得自动流控制硬件可控制 **FCOP<1:0>** 位。

注： 不允许设置 **RXFWM** 等于 **RXEWM**（即满阈值和空阈值之间没有滞后）。要确保自动流控制正确运行，**RXEWM** 必须始终至少比 **RXFWM** 小 1，表示至少有 96 字节的滞后。

寄存器 11-1: MACON1: MAC 控制寄存器 1

R/W-x	R/W-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
r	r	—	—	r	r	r	r
bit 15							bit 8

U-0	U-0	U-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-1
—	—	—	LOOPBK	r	RXPAUS	PASSALL	r
bit 7							bit 0

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = 上电复位时的值

1 = 置 1

0 = 清零

x = 未知

bit 15-14 **保留:** 写为 0

bit 13-12 **未实现:** 读为 0

bit 11-8 **保留:** 写为 0

bit 7-5 **未实现:** 读为 0

bit 4 **LOOPBK:** MAC 环回使能位

1 = MAC 发送的数据包在到达 PHY 之前在 MAC 内环回

0 = 正常操作

bit 3 **保留:** 写为 1

bit 2 **RXPAUS:** 暂停控制帧接收使能位

1 = 接收到暂停控制帧时禁止发送 (正常操作)

0 = 忽略接收到的暂停控制帧

bit 1 **PASSALL:** 放行所有接收到的帧使能位

1 = MAC 接收的控制帧如果没有被过滤掉, 则写入接收缓冲区

0 = 控制帧在被 MAC 处理后被丢弃 (正常操作)

bit 0 **保留:** 写为 1

ENC424J600/624J600

注:

12.0 速度 / 双工模式配置和自动协商

ENC424J600/624J600 器件可以在半双工和全双工模式下分别以 10Base-T 和 100Base-TX 速度运行。速度和双工模式可以手动选择，或者配置为根据链路伙伴的能力自动选择最佳的链路参数。工作在 10Base-T 模式下时，该器件还能补偿 TPIN+/- 引脚上不正确的极性（100Base-TX 信令无极性）。

在半双工工作模式下，只有一个以太网控制器可以在任何给定时间在物理介质上发送。如果主控制器在另一个器件正在发送时启动发送，那么 ENC424J600 将会延迟直到远程发送器完成它的数据包发送。当 ENC424J600 进行发送时，该介质上的其他器件也会如此。如果两个控制器几乎同时开始发送，那么将会产生冲突。此时，介质上的数据将被损坏；ENC424J600 中止发送并尝试稍后重新发送。

在全双工工作模式下，两个节点可以同时发送，所以不会有冲突。有关发送数据包的详细信息（包括冲突检测和校正），请参见第 9.1 节“发送数据包”。

速度和双工模式在 PHCON1 寄存器（寄存器 12-1）中配置。PHSTAT1、PHSTAT2 和 PHSTAT3 寄存器（寄存器 12-2 到 12-4）提供有关链路状态的更多信息。PHANA、PHANLPA 和 PHANE（寄存器 12-5 到 12-7）包含自动协商状态和配置的信息。

12.1 手动配置

通过禁止自动协商来手动选择速度和双工模式。通过清零 ANEN 位（PHCON1<12>）使能手动配置。

使用手动配置时，必须选择速度和双工模式。将 SPD100 位（PHCON1<13>）置 1 选择 100Base-TX 工作模式，或清零 SPD100 选择 10Base-T 模式。将 PFULDPX 位（PHCON1<8>）置 1 配置为全双工模式，或清零 PFULDPX 以使用半双工工作模式。

在重新配置速度和双工模式后，如第 8.9 节“建立链路后”中所述更新 MACON2、MACLCON、MAIPG 和 MABBIPG 寄存器。

12.2 自动协商

自动协商允许以太网器件同意以最快的受支持发送速率工作。当以太网链路断开时，将定期发送一系列快速链路脉冲（Fast Link Pulse, FLP）以启动链路。这些脉冲还编码了节点速度和双工能力等信息。

如果远程伙伴存在并支持自动协商，它将通过一串 FLP 来应答以通告其自身链路能力。如果这两个器件都支持 100Base-TX 全双工模式，将会建立链路并使用此模式。否则，链路将按照 100Base-TX 半双工、10Base-T 全双工或 10Base-T 半双工的顺序进行回退。

如果远程链路伙伴不支持自动协商，器件将使用称为并行检测的算法来确定链路伙伴为 10Base-T 器件还是 100Base-TX 器件。并行检测将很好地解析工作速度，然而它无法得知远程节点的双工状态。因此当自动协商不可用时，ENC424J600 PHY 将总是回到半双工状态。如果远程器件工作在全双工模式下，便会发生双工模式不匹配。要确定远程链路是否支持自动协商，请检查 LPANABL 位（PHANE<0>）的值。

默认情况下，上电时将使能自动协商，但可以通过清零 ANEN 位来禁止。要重启自动协商过程，将 RENEG（PHCON1<9>）置 1。在将 RENEG 置 1 后，硬件将立即自动将此位清为 0。

在自动协商期间，通过发送在快速链路脉冲中编码的信息将 PHANA 寄存器中的信息通告链路伙伴。当自动协商过程完成后，ANDONE 位（PHSTAT1<5>）由硬件置 1。SPDDPX<2:0>（PHSTAT3<4:2>）的值指示选中的工作模式。远程链路伙伴的能力也存储在 PHANLPA 寄存器中。

注：使能自动协商后，SPD100（PHCON1<13>）和 PFULDPX（PHCON1<8>）是仅控制位。它们对速度和双工模式没有影响并且在读取时不会指示当前选择。

ENC424J600/624J600

当 LINKIF 链路状态变化中断标志置 1 时，表示自动协商或者并行检测完成。当自动协商完成后，必须重新配置与双工模式相关的 MAC 寄存器。通过读取 PHYDPX 位（ESTAT<10>）来确定新双工模式。此操作完成后，

按照第 8.9 节“建立链路后”所述更新 MACON2、MACLCON、MAIPG 和 MABBIPG 寄存器。

寄存器 12-1: PHCON1: PHY 控制器寄存器 1

R/W-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0
PRST	PLOOPBK	SPD100 ⁽¹⁾	ANEN	PSLEEP	r	RENEG	PFULDPX ⁽¹⁾
bit 15						bit 8	
R/W-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
r	r	r	r	r	r	r	r
bit 7						bit 0	

图注:			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = 上电复位时的值	1 = 置 1	0 = 清零	x = 未知

- bit 15

PRST: PHY 复位位
1 = 执行 PHY 复位。复位完成时，该位由硬件自动清为 0。
0 = PHY 未处于复位状态（正常工作）
- bit 14

PLOOPBK: PHY 环回使能位
1 = 使能环回
0 = 正常工作
- bit 13

SPD100: PHY 速度选择控制位 ⁽¹⁾
1 = 100 Mbps
0 = 10 Mbps
- bit 12

ANEN: PHY 自动协商使能位
1 = 使能自动协商。SPD100 和 PFULDPX 被忽略。
0 = 禁止自动协商。SPD100 和 PFULDPX 控制工作速度和双工模式。
- bit 11

PSLEEP: PHY 休眠使能位
1 = PHY 掉电
0 = 正常工作
- bit 10

保留: 写为 0，读操作时忽略
- bit 9

RENEG: 重启自动协商控制位
1 = 重启自动协商过程。自动协商过程启动时，该位由硬件自动清为 0。
0 = 正常工作
- bit 8

PFULDPX: PHY 双工模式选择控制位 ⁽¹⁾
1 = 全双工模式
0 = 半双工模式
- bit 7

保留: 写为 0，读操作时忽略
- bit 6-0

保留: 读操作时忽略

注 1: 只在禁止自动协商（ANEN = 0）时适用。

寄存器 12-2: PHSTAT1: PHY 状态寄存器 1

R-0	R-1 ⁽¹⁾	R-1 ⁽¹⁾	R-1 ⁽¹⁾	R-1 ⁽¹⁾	R-0	R-0	R-0
r	FULL100	HALF100	FULL10	HALF10	r	r	r
bit 15						bit 8	

R-0	R-0	R-0	R/LH-0	R-1 ⁽¹⁾	R/LL-0	R-0	R-1 ⁽¹⁾
r	r	ANDONE	LRFAULT	ANABLE	LLSTAT	r	EXTREGS
bit 7						bit 0	

图注:	LL = 低电平锁存位	U = 未实现位, 读为 0	
R = 可读位	W = 可写位	LH = 高电平锁存位	LL = 低电平锁存位
-n = 上电复位时的值	1 = 置 1	0 = 清零	x = 未知

bit 15	保留: 读为 0
bit 14	FULL100: 100Base-TX 全双工能力状态位 1 = PHY 可以工作在 100Base-TX 全双工模式下 ⁽¹⁾
bit 13	HALF100: 100Base-TX 半双工能力状态位 1 = PHY 可以工作在 100Base-TX 半双工模式下 ⁽¹⁾
bit 12	FULL10: 10Base-T 全双工能力状态位 1 = PHY 可以工作在 10Base-T 全双工模式下 ⁽¹⁾
bit 11	HALF10: 10Base-T 半双工能力状态位 1 = PHY 可以工作在 10Base-T 半双工模式下 ⁽¹⁾
bit 10-6	保留: 读操作时忽略
bit 5	ANDONE: 自动协商完成状态位 1 = 自动协商完成 0 = 自动协商被禁止或仍在进行中
bit 4	LRFAULT: 锁存远程故障条件状态位 1 = 检测到远程故障条件。该位锁存为高电平, 并在读取 PHSTAT1 后自动返回 0。 0 = 自上次读取 PHSTAT1 后, 未检测到远程故障
bit 3	ANABLE: 自动协商能力状态位 1 = PHY 支持自动协商 ⁽¹⁾
bit 2	LLSTAT: 锁存链路状态位 1 = 建立以太网链路, 并且自上次读取 PHSTAT1 后一直保持建立 0 = 未建立以太网链路, 或自上次读取 PHSTAT1 后有一段时间未建立
bit 1	保留: 读操作时忽略
bit 0	EXTREGS: 扩展性能寄存器存在状态位 1 = PHY 扩展了地址在 16 到 31 之间的性能寄存器 ⁽¹⁾

注 1: 这是该位仅有的有效状态; 0 代表无效状态。

ENC424J600/624J600

寄存器 12-3: PHSTAT2: PHY 状态寄存器 2

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
r	r	r	r	r	r	r	r
bit 15						bit 8	

R/W-0	R/W-0	R/W-0	R-0	R-1	R-0	R-1	R-1
r	r	r	PLRITY	r	r	r	r
bit 7						bit 0	

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = 上电复位时的值

1 = 置 1

0 = 清零

x = 未知

bit 15-5 保留: 写为 0, 读操作时忽略

bit 4 **PLRITY**: TPIN+/- 极性状态位 (只适用于 10Base-T)

1 = TPIN+/- 引脚上连线的极性是反的。PHY 在内部交换 TPIN+/- 信号以获得正确的极性。

0 = TPIN+/- 引脚上连线的极性是正确的。

bit 3-0 保留: 读操作时忽略

寄存器 12-4: PHSTAT3: PHY 状态寄存器 3

R/W-0	R/W-0	R/W-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0
r	r	r	r	r	r	r	r
bit 15						bit 8	

R/W-0	R/W-1	R/W-0	R-0	R-0	R-0	R/W-0	R/W-0
r	r	r	SPDDPX2	SPDDPX1	SPDDPX0	r	r
bit 7						bit 0	

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = 上电复位时的值

1 = 置 1

0 = 清零

x = 未知

bit 15-7 保留: 写为 0, 读操作时忽略

bit 6 保留: 写为 1

bit 5 保留: 写为 0, 读操作时忽略

bit 4-2 **SPDDPX<2:0>**: 当前工作速度和双工状态位

111 = 保留

110 = 100 Mbps 全双工模式

101 = 10 Mbps 全双工模式

100 = 保留

011 = 保留

010 = 100 Mbps 半双工模式

001 = 10 Mbps 半双工模式

000 = 保留

bit 1-0 保留: 写为 0, 读操作时忽略

寄存器 12-5: PHANA: PHY 自动协商通告寄存器

R-0	R-0	R/W-0	R-0	R/W-0	R/W-0	R-0	R/W-1
ADNP	r	ADFAULT	r	ADPAUS1	ADPAUS0	r	AD100FD
bit 15							bit 8

R/W-1	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1
AD100	AD10FD	AD10	ADIEEE4	ADIEEE3	ADIEEE2	ADIEEE1	ADIEEE0
bit 7							bit 0

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = 上电复位时的值

1 = 置 1

0 = 清零

x = 未知

- bit 15 **ADNP:** 通告下一页能力位
 1 = 无效
 0 = 本地 PHY 不支持自动协商下一页能力
- bit 14 **保留:** 读为 0
- bit 13 **ADFAULT:** 通告远程故障条件位
 1 = 本地 PHY 具有故障条件
 0 = 本地 PHY 没有故障条件
- bit 12 **保留:** 读为 0
- bit 11-10 **ADPAUS<1:0>:** 通告暂停流控制能力位
 11 = 本地器件支持对本地器件发送对称暂停帧和不对称暂停帧
 10 = 本地器件只支持对链路伙伴发送不对称暂停帧
 01 = 本地器件只支持不对称暂停流控制 (正常流控制模式)
 00 = 本地器件不支持暂停流控制
- bit 9 **保留:** 读为 0
- bit 8 **AD100FD:** 通告 100Base-TX 全双工能力位
 1 = 本地 PHY 可以工作在 100Base-TX 全双工模式下
 0 = 本地 PHY 不可以工作在 100Base-TX 全双工模式下
- bit 7 **AD100:** 通告 100Base-TX 半双工能力位
 1 = 本地 PHY 可以工作在 100Base-TX 半双工模式下
 0 = 本地 PHY 不可以工作在 100Base-TX 半双工模式下
- bit 6 **AD10FD:** 通告 10Base-T 全双工能力位
 1 = 本地 PHY 可以工作在 10Base-T 全双工模式下
 0 = 本地 PHY 不可以工作在 10Base-T 全双工模式下
- bit 5 **AD10:** 通告 10Base-T 半双工能力位
 1 = 本地 PHY 可以工作在 10Base-T 半双工模式下
 0 = 本地 PHY 不可以工作在 10Base-T 半双工模式下
- bit 4-0 **ADIEEE<4:0>:** 通告 IEEE 标准选择器字段位
 00001 = IEEE 802.3 标准
 其他值被 IEEE 保留。总是指定此器件的选择器值为 00001。

ENC424J600/624J600

寄存器 12-6: PHANLPA: PHY 自动协商链路伙伴性能寄存器

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
LPNP	LPACK	LPFAULT	r	LPPAUS1	LPPAUS0	LP100T4	LP100FD
bit 15				bit 8			

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
LP100	LP10FD	LP10	LPIEEE4	LPIEEE3	LPIEEE2	LPIEEE1	LPIEEE0
bit 7				bit 0			

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = 上电复位时的值 1 = 置 1 0 = 清零 x = 未知

- bit 15 **LPNP:** 链路伙伴下一页能力位
 1 = 链路伙伴 PHY 支持自动协商下一页能力
 0 = 链路伙伴 PHY 不支持自动协商下一页能力
- bit 14 **LPACK:** 链路伙伴应答本地 PHY 编码字状态位
 1 = 链路伙伴 PHY 已成功收到保存在 PHANA 中的本地 PHY 能力
 0 = 链路伙伴 PHY 未收到保存在 PHANA 中的本地 PHY 能力
- bit 13 **LPFAULT:** 链路伙伴远程故障条件位
 1 = 链路伙伴 PHY 具有故障条件
 0 = 链路伙伴 PHY 没有故障条件
- bit 12 **保留:** 读操作时忽略
- bit 11-10 **LPPAUS<1:0>:** 链路伙伴暂停流控制能力位
 11 = 链路伙伴支持对本地器件发送对称暂停帧和不对称暂停帧。链路伙伴生成并响应暂停控制帧。此外, 如果本地器件只支持不对称暂停帧, 链路伙伴将响应暂停控制帧, 但不会生成任何暂停控制帧。
 10 = 链路伙伴只支持对本地器件发送不对称暂停帧; 它能发送暂停控制帧, 但不能对发送给它的暂停帧进行操作
 01 = 链路伙伴只支持对称暂停流控制, 它生成并响应暂停控制帧
 00 = 链路伙伴不支持暂停流控制
- bit 9 **LP100T4:** 链路伙伴 100Base-T4 能力位
 1 = 链路伙伴 PHY 可以工作在 100Base-T4 模式下
 0 = 链路伙伴 PHY 不可以工作在 100Base-T4 模式下
- bit 8 **LP100FD:** 链路伙伴 100Base-TX 全双工能力位
 1 = 链路伙伴 PHY 可以工作在 100Base-TX 全双工模式下
 0 = 链路伙伴 PHY 不可以工作在 100Base-TX 全双工模式下
- bit 7 **LP100:** 链路伙伴 100Base-TX 半双工能力位
 1 = 链路伙伴 PHY 可以工作在 100Base-TX 半双工模式下
 0 = 链路伙伴 PHY 不可以工作在 100Base-TX 半双工模式下
- bit 6 **LP10FD:** 链路伙伴 10Base-T 全双工能力位
 1 = 链路伙伴 PHY 可以工作在 10Base-T 全双工模式下
 0 = 链路伙伴 PHY 不可以工作在 10Base-T 全双工模式下
- bit 5 **LP10:** 链路伙伴 10Base-T 半双工能力位
 1 = 链路伙伴 PHY 可以工作在 10Base-T 半双工模式下
 0 = 链路伙伴 PHY 不可以工作在 10Base-T 半双工模式下
- bit 4-0 **LPIEEE<4:0>:** 链路伙伴 IEEE 标准选择器字段位
 00001 = IEEE 802.3 标准
 其他值被 IEEE 保留。远程节点也应指定此为选择器值。

寄存器 12-7: PHANE: PHY 自动协商扩展寄存器

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
r	r	r	r	r	r	r	r
bit 15							bit 8

R-0	R-0	R-0	R/LH-0	R-0	R-0	R/LH-0	R-0
r	r	r	PDFLT	r	r	LPARCD	LPANABL
bit 7							bit 0

图注:	LH = 高电平锁存位		
R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = 上电复位时的值	1 = 置 1	0 = 清零	x = 未知

bit 15-5 **保留:** 读操作时忽略

bit 4 **PDFLT:** 并行检测故障状态位

1 = 并行检测未检测到有效的链路伙伴; 读取寄存器时该位自动清零

0 = 并行检测仍在进行或者连接了有效的链路伙伴

bit 3-2 **保留:** 读操作时忽略

bit 1 **LPARCD:** 接收到的链路伙伴能力状态位

1 = 已将来自链路伙伴的新值写入 PHANLPA 寄存器; 读取寄存器时该位自动清零

0 = 自上次读取 PHANE 以来, PHANLPA 内容未发生变化

bit 0 **LPANABL:** 链路伙伴自动协商能力状态位

1 = 链路伙伴实现了自动协商

0 = 链路伙伴未实现自动协商

ENC424J600/624J600

注:

13.0 中断

ENC424J600/624J600 器件将多个中断源连接到一个输出引脚，允许器件在有事件发生时通知主控制器。中断引脚是低电平有效，供可检测下降沿的主控制器使用。也能在不连接中断引脚的情况下对中断进行查询。要以此方式使用中断，需定期监视 INT 位 (ESTAT<15>)。

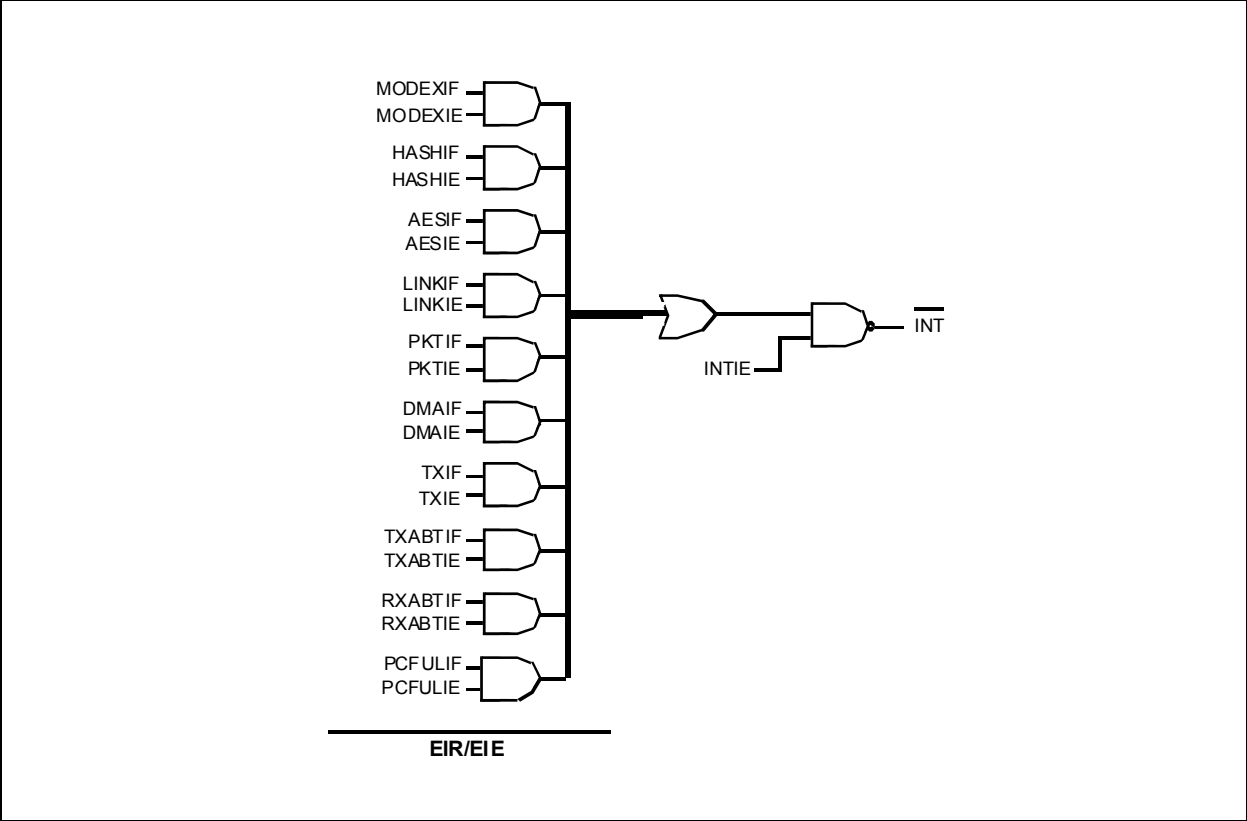
中断由两个寄存器管理。EIE 寄存器包含 MAC 和加密组件驱动的各个中断的中断允许位。EIR 寄存器包含各个中断标志位。产生中断时，相应的中断标志位将被置 1。如果允许了中断并且 INTIE (EIE<15>) 全局中断允许位置 1，那么 INT 引脚被拉低且 INT 标志 (ESTAT<15>) 被置 1。该逻辑如图 13-1 所示。

即使未允许中断，在中断条件发生时，其相应中断标志仍会置 1。这使得主控制器在使用中断引脚执行更重要的任务时，还能查询一些低优先级的中断事件。

产生允许的中断时，INT 引脚保持低电平，直到所有导致中断的标志清零或被屏蔽（中断允许位清零）。如果允许了多个中断源，主控制器必须查询各个标志以确定中断源。推荐主控制器在中断事件后立即将全局中断允许位 INTIE (EIE<15>) 清零，从而使中断引脚返回到无效（高电平）状态。处理完中断后，INTIE 位会再次置 1 以重新允许中断。如果在处理中断时发生了另一个新的中断，那么重新置 1 全局中断允许位会导致中断引脚上出现一个新的下降沿，从而确保主机不会错过任何事件。

清零 EIR 中断标志时，需要使用位操作。这些操作包括针对 SPI 接口的位域置 1 和位域清零操作码，并使用针对 PSP 接口的位置 1 和位清零寄存器。此过程确保不会意外错过在写过程中发生的中断。

图 13-1: ENC424J600/624J600 中断逻辑



ENC424J600/624J600

寄存器 13-1: EIR: 以太网中断标志寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-1	R/W-0
CRYPTEN	MODEXIF	HASHIF	AESIF	LINKIF	r	r	r
bit 15						bit 8	

R/W-0	R-0	R/W-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0
r	PKTIF	DMAIF	r	TXIF	TXABTIF	RXABTIF	PCFULIF
bit 7						bit 0	

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = 上电复位时的值

1 = 置 1

0 = 清零

x = 未知

bit 15 **CRYPTEN:** 模幂和 AES 加密模块使能位

1 = 使能所有加密引擎模块

0 = 模幂和 AES 模块禁止并掉电; MD5/SHA-1 哈希引擎仍可使用

bit 14 **MODEXIF:** 模幂中断标志位

1 = 模幂计算完成

0 = 没有等待响应的中断

bit 13 **HASHIF:** MD5/SHA-1 哈希中断标志位

1 = MD5/SHA-1 哈希算法完成

0 = 没有等待响应的中断

bit 12 **AESIF:** AES 加密 / 解密中断标志位

1 = AES 加密 / 解密操作完成

0 = 没有等待响应的中断

bit 11 **LINKIF:** PHY 链路状态更改中断标志位

1 = PHY 以太网链路状态已更改。读取 PHYLNK (ESTAT<8>) 以确定当前状态。

0 = 没有等待响应的中断

bit 10-7 **保留:** 读操作时忽略, 写操作时无关

bit 6 **PKTIF:** 接收数据包待处理中断标志位

1 = 已保存一个或多个接收到的数据包, 并已准备好进行软件处理。PKTCNT<7:0> (ESTAT<7:0>) 位非零。要清零此标志, 应通过设置 PKTDEC (ECON1<8>) 来使 PKTCNT 位递减到零。

0 = 没有等待处理的接收到的数据包

bit 5 **DMAIF:** DMA 中断标志位

1 = DMA 复制或校验和操作完成

0 = 没有等待处理的中断

bit 4 **保留:** 读操作时忽略, 写操作时无关

bit 3 **TXIF:** 发送完成中断标志位

1 = 数据包发送完成。TXRTS (ECON1<1>) 已由硬件清零。

0 = 没有等待处理的中断

bit 2 **TXABTIF:** 发送中止中断标志位

1 = 因错误而中止数据包发送。读取 ETXSTAT 寄存器来确定原因。TXRTS (ECON1<1>) 已由硬件清零。

0 = 没有等待处理的中断

寄存器 13-1: EIR: 以太网中断标志寄存器 (续)

- bit 1 **RXABTIF:** 接收中止中断标志位
1 = 由于接收缓冲区中没有足够的空间来存储完整数据包或PKTCNT字段已达到FFh而丢弃接收数据包
0 = 没有等待处理的中断
- bit 0 **PCFULIF:** 数据包计数器满中断标志位
1 = PKTCNT 字段已达到 FFh。软件必须递减数据包计数器以防止丢弃下一个接收数据包。
0 = 没有等待处理的中断

ENC424J600/624J600

寄存器 13-2: EIE: 以太网中断允许寄存器

R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
INTIE	MODEXIE	HASHIE	AESIE	LINKIE	r	r	r
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R-1	R/W-0	R/W-0	R/W-0	R/W-0
r	PKTIE	DMAIE	r ⁽¹⁾	TXIE	TXABTIE	RXABTIE	PCFULIE
bit 7							bit 0

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = 上电复位时的值

1 = 置 1

0 = 清零

x = 未知

- bit 15 **INTIE:** INT 全局中断允许位
1 = INT 引脚由 INT 状态位 (ESTAT<15>) 控制
0 = INT 引脚驱动为高电平
- bit 14 **MODEXIE:** 模式中断允许位
1 = 允许
0 = 禁止
- bit 13 **HASHIE:** MD5/SHA-1 哈希法中断允许位
1 = 允许
0 = 禁止
- bit 12 **AESIE:** AES 加密 / 解密中断允许位
1 = 允许
0 = 禁止
- bit 11 **LINKIE:** PHY 链路状态更改中断允许位
1 = 允许
0 = 禁止
- bit 10-7 **保留:** 写为 0
- bit 6 **PKTIE:** 接收数据包待处理中断允许位
1 = 允许
0 = 禁止
- bit 5 **DMAIE:** DMA 中断允许位
1 = 允许
0 = 禁止
- bit 4 **保留:** 读操作时忽略, 写操作时无关 ⁽¹⁾
- bit 3 **TXIE:** 发送完成中断允许位
1 = 允许
0 = 禁止
- bit 2 **TXABTIE:** 发送中止中断允许位
1 = 允许
0 = 禁止
- bit 1 **RXABTIE:** 接收中止中断允许位
1 = 允许
0 = 禁止
- bit 0 **PCFULIE:** 数据包计数器满中断允许位
1 = 允许
0 = 禁止

注 1: 该位是只读位, 不能清零。硬件不能修改它。

13.1 中断源

ENC424J600/624J600 器件有多个中断源，可以分别选择。在以下部分对这些中断源进行了介绍。

为了从器件传递出下述任一中断，INTIE（EIE<15>）全局中断允许位必须置 1。

13.1.1 模幂完成

模幂操作完成时，将产生模幂完成中断。MODEXST（ECON1<15>）清零时置 1 此标志位。处理完中断后，必须由软件将其清除。

要允许模幂完成中断，应将 MODEXIE（EIE<14>）置 1。如需了解更多关于模幂功能的信息，请参见第 15.1 节“模幂”。

13.1.2 MD5/SHA-1 哈希完成

当哈希模块完成数据块或计算时，将产生 MD5/SHA-1 哈希完成中断。当使用哈希引擎时，需要中断标志；因此在处理完中断后，该标志必须由软件清零。

要允许 MD5/SHA-1 完成中断，应将 HASHIE（EIE<13>）置 1。

如需了解更多关于 MD5/SHA-1 哈希功能的信息，请参见第 15.2 节“MD5 和 SHA-1 哈希”。

13.1.3 AES 完成

当使用 AES（Advanced Encryption Standard，AES）引擎加密或解密数据块后，将产生高级加密标准完成中断。AESST（ECON1<11>）清零时置 1 此标志位。处理完中断后，必须由软件将其清除。

要允许 AES 完成中断，应将 AESIE（EIE<12>）置 1。

如需了解更多关于高级加密标准引擎的信息，请参见第 15.3 节“高级加密标准（AES）”。

13.1.4 链路更改

当 PHY 链路状态更改后，将产生链路更改中断。当建立或断开器件与远程以太网伙伴之间的链路后，此标志位会由硬件置 1。可从 PHYLNK（ESTAT<8>）读取当前链路状态。处理完中断后，必须由软件将其清除。

要允许链路更改中断，应将 LINKIE（EIE<11>）置 1。

13.1.5 接收数据包待处理

当接收到一个或多个帧并已准备好进行软件处理时，将产生接收数据包待处理中断。PKTCNT<7:0>（ESTAT<7:0>）位非零时置 1 此标志位。此中断标志位是只读位，且在 PKTCNT 位递减到零时会自动清零。如需了解更多关于接收和处理送入帧的信息，请参见第 9.0 节“发送和接收数据包”。

要允许接收数据包待处理中断，应将 PKTIE（EIE<6>）置 1。对应的中断标志为 PKTIF（EIR<6>）。

13.1.6 DMA 完成

当 DMA 操作（复制或校验和计算）完成时，将产生 DMA 完成中断。DMAST（ECON1<5>）清零时置 1 此标志位。处理完中断后，必须由软件将其清除。

要允许 DMA 完成中断，应将 DMAIE（EIE<5>）置 1。

13.1.7 发送完成

当帧的发送结束（无论成功与否），都将产生发送完成中断。TXRTS（ECON1<1>）清零时置 1 此标志位。处理完中断后，必须由软件将其清除。

要允许发送完成中断，应将 TXIE（EIE<3>）置 1。

13.1.8 发送中止

当帧发送操作中止时，将产生发送中止中断。以下任一原因都会导致发送中止：

- 发生了由最大重发数 MAXRET<3:0> 位（MACLCON<3:0>）定义的大量冲突。如果发生这种情况，COLCNT 位（ETXSTAT<3:0>）将指示发生的冲突数。
- 上次冲突发生在发送完 63 字节数据后。如果发生这种情况，LATECOL（ETXSTAT<10>）将被置 1。
- 介质忙且数据包发送被延期。如果发生这种情况，EXDEFER（ETXSTAT<8>）将被置 1。
- 应用程序通过清零 TXRTS（ECON1<1>）来中止发送。

处理完中断后，必须由软件将其清除。

要允许发送中止中断，应将 TXABTIE（EIE<2>）置 1。

13.1.9 接收中止

当帧接收操作中止时，将产生接收中止中断。当头指针试图超过尾指针，或数据包计数器达到 FFh 时，将中止接收帧。在这两种情况下，接收缓冲区均已满并且不能存入传入帧，故会丢弃数据包。由于接收过滤器拒绝数据包而导致数据包被丢弃时，不会产生中断。处理完中断后，必须由软件将其清除。

要允许接收中止中断，应将 RXABTIE（EIE<1>）置 1。对应的中断标志为 RXABTIF（EIR<1>）。

13.1.10 接收数据包计数器满

当 PKTCNT（ESTAT<7:0>）位达到 FFh 时，将产生接收数据包计数器满中断。这表示接收帧的计数器已满并且不能再接收更多帧。如果在此标志置 1 后有数据包到达，就会导致接收中止中断标志被置 1。一旦 PKTCNT 位递减，其标志将由硬件清零。

要允许接收数据包计数器满中断，应将 PCFULIE（EIE<0>）置 1。

13.2 LAN 唤醒 / 远程唤醒

LAN 唤醒或远程唤醒有助于节省系统功耗。主控制器和其他子系统可被置于低功耗模式，然后配置为在 ENC424J600/624J600 器件收到 Magic Packet™ 后被唤醒。

为了使 LAN 唤醒能够正确工作，器件不能处于低功耗模式并且必须使能接收模块。当 Magic Packet 到达时，器件通过 INT 信号唤醒主控制器。

配置器件的 LAN 唤醒：

1. 设置主控制器由 $\overline{\text{INT}}$ 上的外部中断信号唤醒。
2. 将 CRCEN（ERXFCN<6>）、RUNTEN（ERXFCN<4>）和 MPEN（ERXFCN<14>）置 1。清零所有其他过滤器使能位。这样配置器件使其只接收 Magic Packet。
3. 处理所有待处理的数据包。
4. 将 PKTIE（EIE<6>）和 INTIE（EIE<15>）置 1 以在接受数据包后产生中断。
5. 将主控制器和其他子系统置于休眠模式以节省功耗。

接收到 Magic Packet 后，PKTCNT 递增到 1，导致器件拉低中断信号。当主控制器唤醒后，它需要恢复正常的过滤器配置并继续执行任务。

如需了解更多关于 Magic Packet 过滤器的信息，请参见第 10.10 节“Magic Packet™ 收集过滤器”。

14.0 直接存储器访问（DMA）控制器

ENC424J600/624J600 器件利用直接存储器访问（Direct Memory Access, DMA）控制器来减轻主处理器的负担。该模块具有以下几种用途：

- 将数据从数据包缓冲区的一个地址单元复制到另一个地址单元。
- 在数据包缓冲区和某个存储器映射的加密引擎之间复制数据。
- 对数据块计算 16 位校验和，与标准协议（例如 IP 和 TCP）中使用的校验和兼容。

通常情况下，应用首先配置 DMA 操作参数（例如源地址和目标地址），然后将 DMAST（ECON1<5>）位置 1 以启动传输或计算。操作完成时，硬件自动清零该位。此外，可将模块配置为在操作完成时置 1 中断标志，详细信息请参见第 13.0 节“中断”。

DMA 模块遵守与第 3.5.5 节“间接访问 SRAM 缓冲区”中描述的间接存储器访问接口相同的地址折回逻辑。当读或写操作到达 EUDAND 指定的用户定义存储区（UDA）末尾时，自动折回到 EUDAST。当操作到达 ERXST - 1 指示的通用缓冲区末尾时，自动折回到 0000h。最后，当操作到达接收缓冲区末尾（即物理存储空间的最后一个地址）时，自动折回到 ERXST。如果这些存储区共用结束地址，那么优先级最高的是 UDA 折回，随后是通用缓冲区折回，接收缓冲区折回的优先级最低。折回规则适用于操作进行过程中的源地址和目标地址。

尽管存储器为 16 位字宽，但是 DMA 接受所有字节类型的源地址和目标地址。它还可以对奇数或偶数个字节进行操作。DMA 在内部使用 16 位访问，所以当源地址和目标地址都为奇数或都为偶数时，效率最高。允许从奇数源地址到偶数目标地址（或与之相反）的复制操作，但是，相对于源地址和目标地址彼此对齐的复制操作而言，性能大约下降 50%。

建议不要在 DMAST（ECON1<5>）置 1 和 DMA 处于有效状态时修改 DMA 配置参数（例如地址指针和操作选择位）。这对于 EUDAND 指针而言尤其重要，即使它不在 DMA 的源或目标存储器范围内也是如此。在处理完每个存储器字后，DMA 执行必要的地址折回检查，以递增到下一个地址。如果主控制器正好在 DMA 执行地址折回检查时写入 EUDAND，那么 EUDAND 寄存器有可能临时处于不连续状态，导致 DMA 源或目标地址意外折回到 EUDAST 值。

根据操作的不同以及源地址和目标地址是否对齐，DMA 模块处理每个 16 位字通常需要 1 至 3 个 OSC1 时钟周期。清零 DMAST 位可取消任何正在进行的 DMA 操作。

14.1 复制存储器

DMA 可以将任何长度的数据从任意源地址复制到任意目标地址，包括长度为零时的边缘情况。源地址和目标地址可以位于已实现的 SRAM 区（0000h 至 5FFFh）或加密数据区（7800h 至 7C4Fh）内。不能使用 DMA 读或写 SFR。

启动第一次复制操作前，验证 ETHEN（ECON2<15>）和 CLKRDY（ESTAT<12>）位是否置 1。后续操作无需重复此验证。

要将数据从一个地址单元复制到另一个地址单元：

1. 验证 ERXST、EUDAND 和 EUDAST（如果适用）的值是否选择了所需的缓冲区折回配置。
2. 验证 DMAST（ECON1<5>）是否清零，以指示模块处于空闲状态。
3. 将 DMACPY（ECON1<4>）置 1 以选择复制操作。
4. 也可以选择将 DMANOCS（ECON1<2>）置 1 以阻止校验和计算。
5. 设置 EDMAST 指向源地址。
6. 设置 EDMADST 指向目标地址。
7. 设置 EDMALEN 以指示要复制的字节数。
8. 将 DMAST 置 1 以启动操作。
9. 等待硬件清零 DMAST 以指示操作完成。如果允许 DMA 中断，则在 DMAST 清零时触发中断。

复制操作从源地址的第一个字节或字开始执行，然后向前递增。可以使用 DMA 将数据块在存储器中向后移动，即使源存储器范围和目标存储器范围重叠也是如此。例如，如果 65 字节的数据包的起始地址位于存储器地址 0001h，而应用需要将整个数据包移到地址 0000h，那么只需编程 EDMAST 为 0001h，EDMADST 为 0000h。地址 00041h 处的非重叠字节保持不变。类似地，也可以将数据块从偶对齐的地址移到上一个奇对齐的地址。例如，从 0002h 移到 0001h 会顺利进行，且最后一个非重叠字节依然保持不变。

由于复制操作从源地址范围的开头开始执行且向前递增（与从源地址范围的末尾开始执行且向后递增相反），所以如果源地址范围和目标地址范围重叠，则无法将数据块向前移动到高存储地址。要执行此操作，应用必须将源数据复制到非重叠临时缓冲区单元，然后从该临时缓冲区将其复制到最终的目标地址。

14.2 校验和计算

DMA 模块可对给定范围的字节计算 IP 校验和值。也可对特定存储器范围计算校验和，或者在复制操作进行过程中同时计算校验和。在开始任何校验和操作之前，不要忘记验证 ERXST、EUDAND 和 EUDAST（如果适用）的值是否选择了所需的缓冲区折回配置。

校验和计算逻辑将源数据视作一组 16 位大尾数格式整数。如果源数据的字节数为奇数，为了计算校验和就要在数据后追加一个 00h 的填充字节。（如果复制操作包括校验和，则无需将该字节复制到目标地址。）计算的校验和是序列中所有 16 位整数反码和的 16 位反码。例如，如果用于计算校验和的字节为 {89h, ABh, CDh}，则计算校验和的过程从计算 89ABh + CD00h 开始。计算过程中会发生进位，计算结果为 56ACh。对该值取反，得到校验和 A953h。

要在不复制数据的情况下计算校验和：

1. 验证 DMAST (ECON1<5>) 是否清零，以指示模块处于空闲状态。
2. 清零 DMACPYPY (ECON1<4>) 以阻止复制操作。
3. 清零 DMANOCSS (ECON1<2>) 以选择校验和计算。
4. 清零 DMACSSD (ECON1<3>) 以使用默认种子 0000h。要使校验和的种子为其他值，请参见下面的段落。
5. 设置 EDMAST 指向源地址。

6. 设置 EDMALEN 以指示输入数据的长度。
7. 将 DMAST 置 1 以启动操作。
8. 等待硬件清零 DMAST 以指示操作完成。如果允许 DMA 中断，则 DMAST 清零时触发中断。
9. 从 EDMACS 读取计算得到的校验和。

要在复制数据的同时计算校验和：

1. 验证 DMAST 是否清零，以指示模块处于空闲状态。
2. 将 DMACPYPY 置 1 以选择复制操作。
3. 清零 DMANOCSS 以选择校验和计算。
4. 清零 DMACSSD 以使用默认种子 0000h。要使校验和的种子为其他值，请参见下面的段落。
5. 设置 EDMAST 指向源地址。
6. 设置 EDMADST 指向目标地址。
7. 设置 EDMALEN 以指示要复制的字节数。
8. 将 DMAST 置 1 以启动操作。
9. 等待硬件清零 DMAST 以指示操作完成。如果允许 DMA 中断，则 DMAST 清零时触发中断。
10. 从 EDMACS 读取计算得到的校验和。

如果需要的话，校验和可以使用先前的值作为种子。尝试对不连续数据块计算校验和时，需要用到种子。要对校验和使用种子，请在启动操作之前将 DMACSSD (ECON1<3>) 置 1。将 EDMACS 中包含值的反码作为校验和计算的种子，然后启动 DMA 操作。

14.3 DMA 性能

DMA 控制器独立于器件中其他模块，可以随时运行。有几个因素会影响 DMA 的工作速度，包括：

- 以太网发送和接收使用率，尤其是以 100 Mbps 的速度进行发送和接收时
- 通过 SPI 或 PSP 接口对 SRAM 的读写操作
- 工作模式（仅复制模式与校验和模式）
- 偶数到奇数或奇数到偶数的源地址和目标地址（复制模式）

忽略软件编程 DMA 控制 SFR 所花的时间，在典型的无负载条件下，DMA 的仅校验和模式吞吐量为 100 MB/s。当源地址和目标地址共用同一对齐模式时，复制模式（带 / 不带校验和）通常可达到 50 MB/s 的吞吐量。源地址对齐模式与目标地址对齐模式不一致时，处理速度将降至 33.3 MB/s。

最坏的情况可将 DMA 吞吐量降至只有典型值一半。

15.0 加密安全引擎

为降低主控制器的处理需求，ENC424J600/624J600 器件融合了三种不同的加密安全引擎。这些安全引擎执行网络安全功能中最常用的加密、解密和数学计算。它们可加快公 / 私密钥对协商、报文哈希认证和批量数据加密的计算。

实现的引擎有：

- 模幂
- MD5 和 SHA-1 哈希
- 高级加密标准 (AES)

每个引擎都通过加密数据存储区进行工作，如第 3.4 节“加密数据存储区”所示。无法通过 SPI 或 PSP 接口直接访问该存储块。而必须使用 DMA 将数据复制到该存储区，如第 14.1 节“复制存储区”所述。

可使用 ECON2、ECON1 和 EIR 寄存器（请分别参见寄存器 8-1、9-1 和 13-1）中的位来控制这些模块。三个模块中的每个都具有独立的资源，所以它们可以同时工作（如有必要）。每个模块还有自己的中断，在操作完成时发出中断信号。关于使用中断的详细信息，请参见第 13.0 节“中断”。

所有加密安全引擎都要求将以太网使能位 **ETHEN** (ECON2<15>) 置 1 以进行操作。但是，如果应用需要在断开以太网连接的情况下执行加密操作，那么消耗器件大部分电流的 **PHY** 可进入休眠模式。**PSLEEP** 位 (PHCON1<11>) 控制 **PHY** 的休眠功能。关于掉电功能的更多信息，请参见 16.0 “节能特性”。作为一个整体而言，模幂引擎和 AES 引擎可被禁止以降低器件功耗。此功能由 **CRYPTEN** 位 (EIR<15>) 控制。要启用模幂和 AES 引擎，请将 **CRYPTEN** 置 1。默认情况下，在器件上电时 **CRYPTEN** 处于清零状态，这两个模块被禁止。不管 **CRYPTEN** 的状态如何，MD5/SHA-1 哈希模块均保持可用状态。

15.1 模幂

模幂是使用 RSA 和 Diffie-Hellman 算法进行公钥加密的基本函数。该模块计算 $Y = X^E \bmod M$ 的值，其中 $0 \leq X$, $Y < M$, $E > 0$ 且 $2^{N-1} \leq M < 2^N$ 。N 是选择的操作数长度：512、768 或 1024。

模幂引擎由 **MODEXST** 位 (ECON1<15>) 控制。将该位置 1 可以启动模幂计算。操作完成时，引擎自动清零该位。用软件清零该位中止正在进行的计算，从而导致计算得到的值不确定。

该引擎支持的操作数长度有 512、768 或 1024 位。使用 **MODLEN**<1:0> 位 (ECON2<3:2>) 选择操作数长度。模 *M* 和基数 *X* 可以是小于所选操作数长度支持的最大值的任何值。但是，如果 $X \geq M$ ，则无法确保结果正确。此外，如果幂 *E* 为 0，则得到的结果不正确（它将返回与 $E = 1$ 时相同的计算结果）。执行 RSA 加密时常常使用短幂，典型的幂长度为 17 位，或者使用 180 位的幂执行 Diffie Hellman 计算。

要确保模幂引擎正常工作，必须将 *M* 的最高有效位 (**MSb**) 置 1。例如，如果 **MODLEN** 位配置为执行 1024 位操作，则必须设置 *M* 以使 $2^{1023} \leq M < 2^{1024}$ 。也就是说，模必须与所选的操作数长度 512 位、768 位或 1024 位正好匹配。尽管通常情况下模为质数，但它不是一定要为质数。

所有操作数必须以网络（大尾数）字节的顺序存储。如果基数 *X* 或幂 *E* 操作数的长度小于所选的操作数长度，应将其右对齐并在其左边用零填充至所选的操作数长度。

要执行模幂操作：

1. 将 X 、 E 和 M 的值复制到 24 KB SRAM 中。
2. 将 CRYPTEN (EIR<15>) 置 1 以使能模幂模块。
3. 使用 DMA 将 E 传送到地址 7800h 至 783Fh (512 位)、785Fh (768 位) 或 787Fh (1024 位)。如果该值的长度小于所选的操作数长度，则在该值左边用零填充至所需的长度。
4. 使用 DMA 将 X 的值传送到地址 7880h 至 78BFh (512 位)、78DFh (768 位) 或 78FFh (1024 位)。如果该值的长度小于所选的操作数长度，则在该值左边用零填充至所需的长度。
5. 使用 DMA 将 M 传送到地址 7900h 至 793Fh (512 位)、795Fh (768 位) 或 797Fh (1024 位)。该值的长度不得小于所选的操作数长度。
6. 设置 MODLEN<1:0> (ECON2<3:2>) 位的值，以指示要完成的操作数的长度。
7. 将 MODEXST 置 1 (ECON1<15> = 1) 以启动计算。
8. 等待硬件清零 MODEXST 以指示操作已完成。如果允许中断的话，硬件还会将 MODEXIF (EIR<14>) 置 1 并产生中断。
9. 使用 DMA 将结果 Y 从地址 7880h 至 78BFh (512 位)、78DFh (768 位) 或 78FFh (1024 位) 移出。注意此结果采用大尾数格式，如果必要的话，结果的左边用零填充。
10. 如果未使用 AES 模块，可清零 CRYPTEN 位以节省功耗。使用位域清零 SPI 指令或写 EIRCLR 寄存器来清零此位，而不会影响任何中断标志。

假设操作数长度保持不变，则幂 E 和模 M 保存在模幂引擎内，不必重新装载就可以再次用于以后的操作。

15.1.1 模幂性能

计算模幂结果所需的时间取决于以下三个因素：

- 幂 E 的“有效”长度。
- 幂 E 中“1”位的密度。
- 操作数的长度。

典型操作所需的时间汇总在表 15-1 中。

表 15-1: 典型的模幂性能

用途	操作数 (M/E)	时间
DH	768/180	50.2 ms
DH	1024/180	89.0 ms
RSA	512/512	63.7 ms
RSA	768/768	214.0 ms
RSA	1024/1024	506.2 ms

15.2 MD5 和 SHA-1 哈希

MD5 和 SHA-1 哈希引擎执行单向报文摘要函数。这些函数获取数量不受限制的数据，然后产生 128 位（对于 MD5）或 160 位（对于 SHA-1）的摘要，经常用于验证和完整性目的。

由于这两个哈希引擎共用相同的资源，所以在某一时刻只能有一个操作处于工作状态。通过 SHA1MD5 (ECON2<12>) 位选择当前操作。使用模块之前应对该位进行配置。对于需要在两个或多个哈希运算之间进行切换的应用，引擎支持上下文切换功能。

HASHOP (ECON1<13>) 位配置初始值。开始一个新的哈希计算之前，请清零该位以重置初始值。在第 15.2.3 节“上下文切换”中描述了如何使用该位装载先前保存的内容。HASHEN 位置 1 后可能无法修改 HASHOP 位的值，所以必须先配置 HASHOP 位。

将 HASHEN (ECON1<14>) 位置 1 以使能模块并开始传输数据。该位置 1 后, 通过 DMA 复制到模块的所有数据将被添加到哈希计算中。应在哈希数据输入地址 7A00h 处开始写入数据。在复制了 64 字节之后, 应用必须暂停并等待硬件将 HASHIF (EIR<13>) 位置 1。该标志表示硬件已完成该数据块的处理。然后应用应清零 HASHIF 标志并继续处理下一个数据块, 在地址 7A00h 处再次开始传输数据。

在开始最后一次 DMA 传输之前, 应用必须将 HASHLST 位 (ECON1<12>) 置 1。在该位置 1 且对哈希引擎启动了 DMA 传输后, 引擎将根据所选的算法对输入数据进行相应填充并计算最后结果。HASHIF 标志置 1 后, 报文摘要处于摘要 / 状态输出状态 (从地址 7A70h 开始)。

在每 64 字节数据块后, 应用必须等待 HASHIF 标志置 1, 但是无需在一次操作中传输所有 64 字节。例如, 可以在第一次操作中传输 16 字节, 在第二次操作中传输剩余的 48 字节。但是, 要求 DMA 在整个 64 字节数据块创建之后停止复制数据。例如, 如果在第一次操作中传输了 16 字节, 在第二次操作中传输了 52 字节 (总共是 68 字节), 那么最后的 4 字节将丢失, 输出不正确。

注意, 没有物理实现哈希数据输入存储器, 也不可对其进行读取。如果有数据传输到 7A00h 至 7A3Fh 之间的任何地址, 则指示 DMA 直接写入哈希引擎。因此, 如果从 7A00h 开始复制了 32 字节数据, 那么再次写入 32 字节数据到相同地址处不会覆盖先前所写入的数据。而是将这两个 32 字节数据连接在一起构成一个 64 字节的数据块, 然后开始进行哈希处理。将多次传输构成一个 64 字节数据块时, 第二次传输和后续传输可以从连续的地址单元开始, 也可以都使用相同的目标地址 7A00h。

除了最后一次传输之外, 所有传输到哈希引擎的数据的长度必须是 4 字节的整数倍。例如, 长度为 4、8、12、16 等的数据块符合要求, 而长度为 1、2、3、5、6、7、9、10、11 等的 DMA 传输不符合要求。当源地址为字或偶数对齐时, 可以优化 DMA 复制性能。要允许对任何长度的数据进行哈希计算, 长度为 4 的整数倍这一限制不适用于最后一次传输 (当 HASHLST 置 1 时)。

15.2.1 MD5 哈希

该模块实现了 Internet 工程工作小组 (Internet Engineering Task Force, IETF) RFC 1321 “*The MD5 Message Digest Algorithm*” 中描述的 MD5 函数。结果摘要的长度为 128 位 (16 字节), 在结果空间内左对齐。

要计算 MD5 摘要:

1. 清零 SHA1MD5 (ECON2<12>)、HASHOP (ECON1<13>) 和 HASHLST (ECON1<12>)。
2. 将 HASHEN (ECON1<14>) 置 1。
3. 清零 HASHIF (EIR<13>)。
4. 使用 DMA 正好传输 64 字节到地址 7A00h 处。如果每次复制操作的长度都是 4 的整数倍且所有传输加起来为 64 字节, 则可以将该传输分多次进行。
5. 等待 HASHIF 置 1。
6. 重复第 3 步至第 5 步, 直到剩余字节数少于 64。
7. 清零 HASHIF。
8. 将 HASHLST (ECON1<12>) 置 1。
9. 使用 DMA 传输剩余的字节到地址 7A00h 处。
10. 等待 HASHIF 置 1。
11. 使用 DMA 将哈希计算得到的 16 字节结果移出地址 7A70h。该 128 位哈希采用大尾数字节顺序。
12. 清零 HASHEN。

从 DMA 完成传输到第 5 步需要 500 ns。最坏的情况是在 DMAST 位置 1 后, DMA 需要 3.94 μ s 才能复制完一个 64 字节数据块。因此, 要达到最大性能, 应用需要跳过第 3 步, 而将第 5 步改为强制处理器在 DMA 开始复制操作到开始下一次 64 字节的 DMA 复制操作之间至少等待 4.5 μ s 的时间。

第 7 步和第 10 步也可以进行优化。但是, 等待时间不得低于 5.6 μ s, 因为硬件还需要时间来执行 MD5 算法所需的额外填充步骤。

如果在执行最后一次 DMA 复制操作之前一直未使用第 8 步, 那么第 9 步可以分为多次 DMA 复制操作。

15.2.2 SHA-1 哈希

该模块实现了 NIST 联邦信息处理标准 (Federal Information Processing Standard, FIPS) PUB 180-1 中描述的 SHA-1 函数。结果摘要的长度为 160 位 (20 字节)。

要计算 SHA-1 摘要:

1. 将 SHA1MD5 (ECON2<12>) 置 1。清零 HASHOP 和 HASHLST (ECON1<13:12>)。
2. 将 HASHEN (ECON1<14>) 置 1。
3. 清零 HASHIF (EIR<13>)。
4. 使用 DMA 正好传输 64 字节到地址 7A00h 处。如果每次复制操作的长度都是 4 的整数倍且所有传输加起来为 64 字节, 则可以将该传输分多次进行。
5. 等待 HASHIF 置 1。
6. 重复第 3 步至第 5 步, 直到剩余字节数少于 64。
7. 清零 HASHIF。
8. 将 HASHLST (ECON1<12>) 置 1。
9. 使用 DMA 传输剩余的字节到地址 7A00h 处。
10. 等待 HASHIF 置 1。
11. 使用 DMA 将哈希计算得到的 20 字节结果移出地址 7A70h。该 160 位哈希采用大尾数字节顺序。
12. 清零 HASHEN。

与 MD5 哈希类似, 第 3、5、7 和 10 步可以进行优化, 改为强制等待一段时间。但是, 由于 SHA-1 的速度比 MD5 的速度稍微慢一点, 所以第 5 步应使用至少 4.7 μ s 的等待时间, 第 10 步应等待至少 5.8 μ s。

而且, 与 MD5 算法类似, 如果在执行最后一次 DMA 复制操作之前一直未使用第 8 步, 那么第 9 步可以分为多次 DMA 复制操作。

15.2.3 上下文切换

在每个 64 字节边界处, 可从模块中读取当前输出状态。输出状态可以存储在存储器内的任何位置, 以后再被装载回模块以继续哈希计算。此特性使引擎能够同时交替计算两种或多种摘要。

要使用上下文切换功能:

1. 启动哈希计算。
2. 在对整数倍的 64 字节数据块进行哈希运算之后, 等待 HASHIF 标志置 1。
3. 从模块读取当前上下文, 并将其保存在存储器内的任何位置。上下文包括摘要 / 状态输出和长度状态输出值, 包含从地址 7A70h 开始的 28 字节数据。
4. 在保存了上下文之后, 清零 HASHEN (ECON1<14>) 位以禁止该模块。模块现在可用于其他操作。

如果应用准备继续先前的计算, 则将上下文恢复到初始向量 / 状态输入和长度状态输入值 (从 7A40h 开始)。然后, 将 HASHOP (ECON1<13>) 位置 1, 以表示从存储器装载先前状态而不是启动新的计算。该位置 1 后, 将 HASHEN 位置 1 以允许哈希运算正常进行。

在保存了上下文后, 模块可以用于其他类型的哈希运算 (用 MD5 代替 SHA-1, 或用 SHA-1 代替 MD5)。上下文被装载回模块之后, 验证 SHA1MD5 (ECON2<12>) 是否选择了正确的哈希运算。

要在计算过程中切换上下文：

1. 配置 SHA1MD5 (ECON2<12>) 以选择正确的操作。
2. 清零 HASHOP (ECON1<13>) 以开始新的哈希运算。
3. 将 HASHEN (ECON1<14>) 置 1。
4. 清零 HASHIF (EIR<13>)。
5. 使用 DMA 正好传输 64 字节到地址 7A00h 处。如果每次复制操作的长度都是 4 的整数倍且所有传输加起来为 64 字节，则可以将该传输分多次进行。
6. 等待 HASHIF 置 1。
7. 如果有多个整个 64 字节数据块需要进行哈希运算，请重复第 4 步至第 6 步。
8. 使用 DMA 将计算得到的 28 字节上下文数据（从地址 7A70h 开始）传输到存储器中的另一个地址单元。
9. 清零 HASHEN。
10. 必要时使用模块进行其他操作。
11. 对 SHA1MD5 进行与第 1 步中相同的配置。
12. 使用 DMA 传输保存的 28 字节上下文数据到地址 7A40h 处。
13. 将 HASHOP 和 HASHEN 置 1 以继续先前的计算。
14. 按照上述步骤使用该模块继续对更多数据执行哈希运算，然后保存状态或结束计算。

值得注意的是，摘要 / 状态输出只包含摘要或状态输出初始化向量，但不是两者都包含。如果在最后一次 DMA 传输之前 HASHLST 位置 1，该值表示已处理到所有数据的最后摘要步骤了。此摘要不是一个有效的初始化向量，不能用于继续哈希运算。即使在最后一次传输将缓冲区填充至 64 字节边界时也是如此。同样，如果在最后一次 DMA 传输之前清零了 HASHLST，那么该值只能用作初始化向量，它不是有效的报文哈希。因此，需要计算哈希、添加更多数据然后继续进行计算的应用应在存储器中最多缓冲 64 字节。在第 65 个字节准备进行哈希运算时，只能对一个数据块执行哈希运算。这使得应用在对数据块执行哈希运算之前，可以选择是需要摘要输出初始化向量还是状态输出初始化向量。如果上下文已存储，应用可以请求摘要，然后重新装入上下文并重新传输数据（从最近的 64 字节边界开始），以从上次停止的地方继续哈希运算。

15.2.4 MD5/SHA-1 哈希性能

从第 15.2.1 节“MD5 哈希”和第 15.2.2 节“SHA-1 哈希”中可以看出，哈希引擎的执行速度非常快，网络吞吐量主要受 DMA 限制。使用跳过 DMA 和哈希状态检查的开环方法，网络哈希吞吐量可以达到 3.6 MB/s (108 Mb/s)。实际因素（例如在以太网和主单片机之间发送和接收数据所花的时间）在应用总体性能方面通常占据了较大的比重。

15.3 高级加密标准 (AES)

AES 引擎实现了 NIST 联邦信息处理标准 PUB 197 中描述的高级加密标准（通常称为 Rijndael）。该模块用于使用已知的密钥加密或解密数据。对于需要交替使用两种或多种操作或密钥的应用，支持上下文切换。

AES 是必须针对 128 位（16 字节）数据块进行运算的块加密器。应用必须根据所需的填充规则应用任何需要的填充，或删除一些无关紧要的输出字节。引擎中不包括对填充的支持。

15.3.1 密钥支持

AES 引擎支持 128、192 和 256 位密钥。AES 的密钥是对称型密钥，也就是说在使用算法之前双方必须同意共用密钥。此操作通常使用不对称算法（例如 RSA）来实现，和 / 或通过更高级的协议例如安全套接字层（Secure Socket Layer, SSL）和传输层安全（Transport Layer Security, TLS）进行处理。

要装入加密密钥：

1. 验证 AESST (ECON1<11>) 是否清零，指示该引擎是否处于空闲状态。
2. 配置 AESLEN<1:0> (ECON2<1:0>) 以选择正确的密钥长度。
3. 使用 DMA 传输密钥数据到地址 7C00h 处。长度小于 256 位的密钥应左对齐。

AES 使用扩展功能从加密密钥产生轮密钥 (roundkey) 序列。加密操作从这些密钥的第一个密钥开始执行，而解密必须从最后一个密钥开始执行。AES 模块包括一个密钥扩展器，它可以计算加密引擎所需的轮密钥。要在开始解密之前计算最后一个轮密钥，引擎必须先工作在加密模式下，对一个数据块进行加密。

要使用一个已知的加密密钥启动解密：

1. 验证 AESST 是否清零，来指示引擎是否处于空闲状态。
2. 配置 AESLEN<1:0> 以选择正确的密钥长度。
3. 使用 DMA 传输加密数据到地址 7C00h 处。长度小于 256 位的密钥应左对齐。
4. 配置 AESOP<1:0> (ECON1<10:9>) 为 00。
5. 将 AESST 置 1 以启动密钥扩展。
6. 等待硬件清零 AESST 标志。

15.3.2 上下文切换

在完成每个数据块时，可保存内部状态以切换加密密钥或操作。只有在 AESST (ECON2<11>) 清零指示引擎处于空闲状态时，才可以执行上下文切换。所选择的模式不同，构成上下文的值也有所差异。描述每种模式的章节给出了必须保存的值的详细信息。

15.3.3 数据块模式

NIST Special Publication 800-38A “*Recommendations for Block Cipher Modes of Operation: Methods and Techniques*” 中描述的五种模式经常用到数据块加密器。接下来的章节描述了 AES 引擎在每种模式下的使用。

硬件固有支持四种模式：

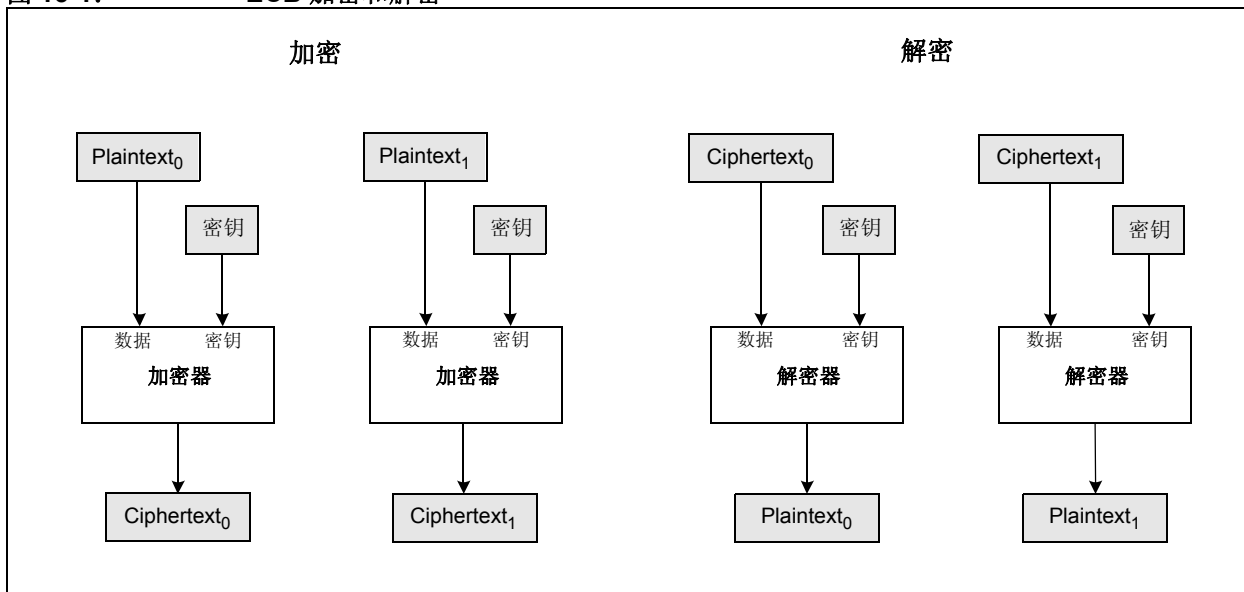
- 电子密码本 (Electronic Code Book, ECB)
- 加密块链接 (Cipher Block Chaining, CBC)
- 加密反馈 (Cipher Feedback, CFB)
- 输出反馈 (Output Feedback, OFB)

第五种模式计数器 (CTR) 可与支持计数器的软件结合使用。

15.3.3.1 电子密码本 (ECB) 模式

电子密码本模式将 AES 加密功能直接应用到每个明文文本数据块上。不提供反馈，所以每个数据块的加密与所有先前的数据块完全独立。假设给定一个会话密钥，那么所有明文文本数据块将始终产生相同的加密文本数据块（反之亦然）。如果不需要这种功能，那么应该选择其他的数据块模式，图 15-1 说明了使用 ECB 模式进行加密和解密的过程。

图 15-1: ECB 加密和解密



要使用 ECB 模式加密数据块：

1. 按照第 15.3.1 节“密钥支持”中的描述装载加密密钥。
2. 将 AESOP<1:0> (ECON1<10:9>) 设置为 00。
3. 将明文本报文复制到 7C20h 处的 TEXTA。
4. 将 AESST (ECON1<11>) 置 1 以启动加密。
5. 等待硬件清零 AESST。
6. 从 7C20h 处的 TEXTA 读取加密本报文。
7. 请对后续数据块重复第 3 步至第 6 步。

要使用 ECB 模式解密数据块：

1. 按照第 15.3.1 节“密钥支持”中的描述初始化解密密钥。
2. 将 AESOP<1:0> 设置为 10。
3. 将加密本报文复制到 7C20h 处的 TEXTA。
4. 将 AESST 置 1 以启动解密。

5. 等待硬件清零 AESST。

6. 从 7C20h 处的 TEXTA 读取明文本报文。

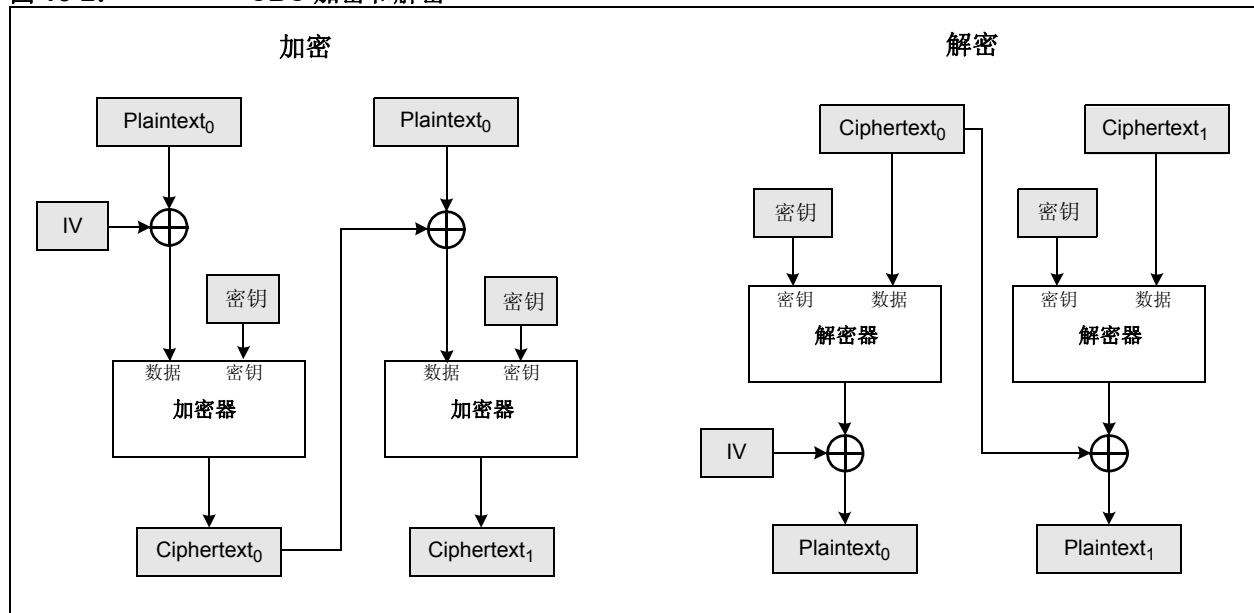
7. 请对后续数据块重复第 3 步至第 6 步。

ECB 模式的上下文只包括加密密钥。无需保存其他的上下文数据。

15.3.3.2 加密块链接 (CBC) 模式

加密块链接模式使用来自加密输出的反馈来进一步加密文本数据。加密期间，第一个数据块使用初始化向量 (Initialization Vector, IV)，将该向量与明文文本数据进行逻辑异或运算。然后使用 AES 密钥对此逻辑异或运算的输出结果进行加密，同时此加密文本成为下一个数据块的 IV。在 CBC 模式下，每个后续数据块都依赖于上一个数据块。因此，相同的后续明文文本数据块使用不同的 IV，从而产生不同的加密文本数据块。图 15-2 说明了使用 CBC 模式进行加密和解密的过程。

图 15-2: CBC 加密和解密



要使用 CBC 模式加密数据块：

1. 按照第 15.3.1 节“密钥支持”中的描述装载加密密钥。
2. 将 AESOP<1:0> (ECON1<10:9>) 设置为 01。
3. 将初始化值 (IV) 复制到 7C20h 处的 TEXTA。
4. 将明文文本复制到 7C30h 处的 TEXTB。
5. 将 AESST (ECON1<11>) 置 1 以启动加密。
6. 等待硬件清零 AESST。
7. 从 7C20h 处的 TEXTA 读取加密文本。
8. 请对后续数据块重复第 4 步至第 7 步。上一个数据块的加密文本自动成为下一个数据块的 IV。

要使用 CBC 模式解密数据块：

1. 按照第 15.3.1 节“密钥支持”中的描述初始化解密密钥。
2. 将 AESOP<1:0> 设置为 10。
3. 将初始化值 (IV) 复制到 7C30h 处的 TEXTB。
4. 将加密文本复制到 7C20h 处的 TEXTA。
5. 将 AESST 置 1 以启动解密。
6. 等待硬件清零 AESST。
7. 从 7C40h 处的 XOROUT 读取明文文本。

8. 如果要解密其他数据块，请将此数据块的加密文本复制到 7C30h 处的 TEXTB。此数据块的加密文本成为下一个数据块的 IV。
9. 请对后续数据块重复第 4 步至第 8 步。

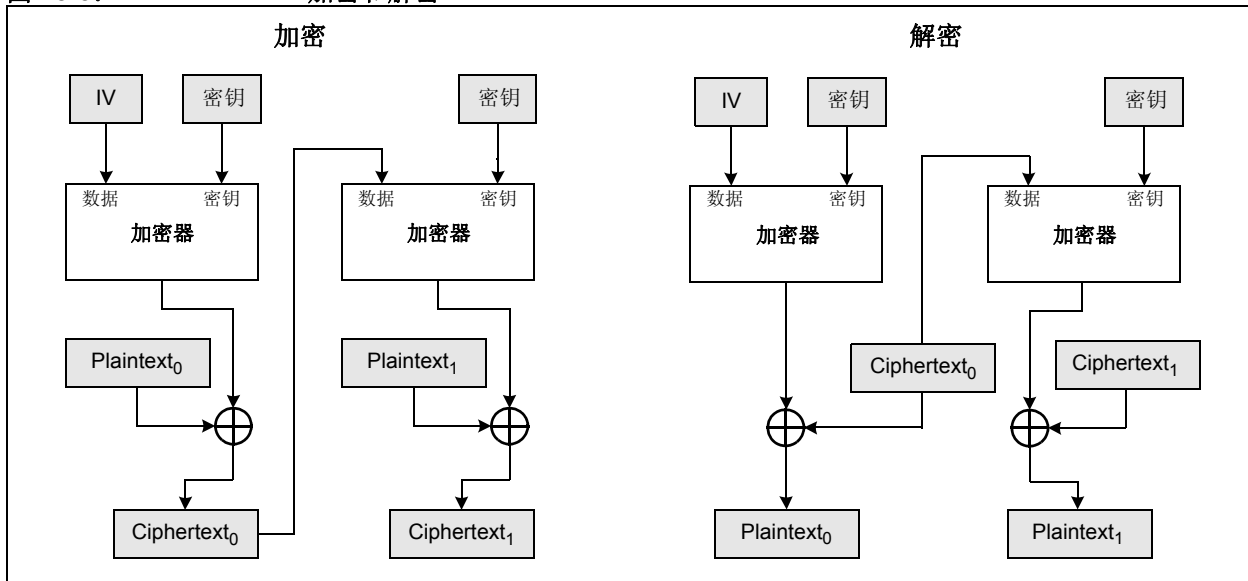
CBC 模式的上下文包括 AES 加密密钥和最后一个数据块的加密文本。请保存上一个数据块的加密文本以在继续对其他数据块执行操作时用作 IV。

15.3.3.3 加密反馈模式 (CFB)

加密反馈模式与 CBC 类似，也是上一个数据块的加密文本用作后续数据块的初始化向量 (IV)。但是，在 CFB 模式中，只加密 IV，然后与明文文本进行逻辑异或运算以构成加密文本。对于第二个和后续数据块，对加密文本再次执行加密操作，然后与下一个明文文本数据块进行逻辑异或运算以构成加密文本。与 CBC 模式一样，每个后续数据块都依赖于上一个数据块。因此，相同的后续明文文本数据块使用不同的 IV，从而产生不同的加密文本数据块。图 15-3 说明了使用 CFB 模式进行加密和解密的过程。

注： 仅固有支持 128 位的 CFB 模式。其他不太常用的实现（包括 1 位和 8 位 CFB 模式）需要使用支持软件来实现，这里未进行详细讨论。

图 15-3: CFB 加密和解密



要使用 CFB 模式加密数据块：

1. 按照第 15.3.1 节“密钥支持”中的描述装载加密密钥。
2. 将 AESOP<1:0> (ECON1<10:9>) 设置为 00。
3. 将初始化值 (IV) 复制到 7C20h 处的 TEXTA。
4. 将 AESST (ECON1<11>) 置 1 以启动加密。
5. 将明文文本复制到 7C30h 处的 TEXTB。
6. 等待硬件清零 AESST。
7. 从 7C40h 处的 XOROUT 读取加密文本明文。
8. 如果需要加密多个数据块，请将 AESOP<1:0> 设置为 01，使得引擎从 XOROUT (而不是 TEXTA) 读取加密文本。
9. 将 AESST 置 1 以启动加密。
10. 将明文文本复制到 7C30h 处的 TEXTB。
11. 等待硬件清零 AESST。
12. 从 7C40h 处的 XOROUT 读取加密文本明文。
13. 请对后续数据块重复第 9 步至第 12 步。上一个数据块的加密文本自动成为下一个数据块的 IV。

要使用 CFB 模式解密单个数据块：

1. 按照第 15.3.1 节“密钥支持”中的描述装载加密密钥。
2. 将 AESOP<1:0> 设置为 00。

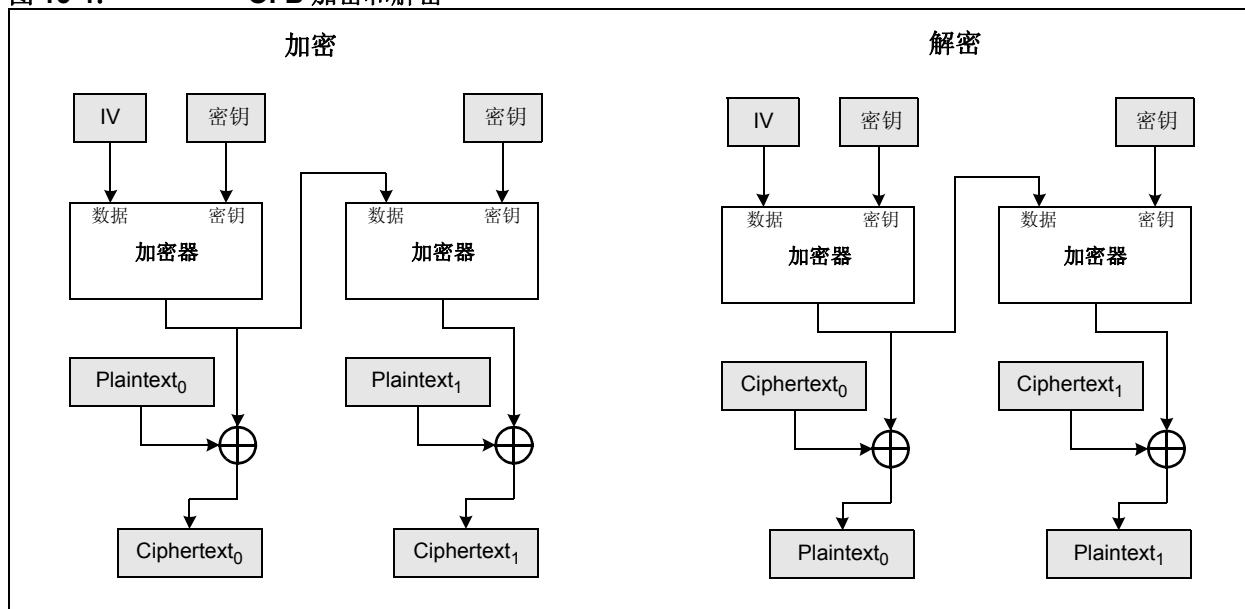
3. 将初始化值 (IV) 复制到 7C20h 处的 TEXTA。
4. 将 AESST 置 1 以启动加密。
5. 将加密文本复制到 7C30h 处的 TEXTB。
6. 等待硬件清零 AESST。
7. 从 7C40h 处的 XOROUT 读取明文文本明文。
8. 要解密其他数据块，请将上一个数据块的加密文本复制到 TEXTA，然后重复第 4 步至第 7 步。

CFB 模式的上下文包括 AES 加密密钥和最后一个数据块的加密文本。请保存上一个数据块的加密文本以在继续对其他数据块执行操作时用作 IV。

15.3.3.4 输出反馈模式 (OFB)

输出反馈模式与 CFB 模式几乎相同，但是在 OFB 模式中，后续数据块的初始化值 (IV) 是 AES 操作的输出，而不是加密文本。首先使用 AES 引擎加密 IV，然后与明文文本进行逻辑异或运算以构成加密文本。与 CBC 和 CFB 模式一样，相同的后续明文文本数据块将使用不同的 IV，从而产生不同的加密文本数据块。但是，与 CBC 和 CFB 模式不同，此 IV 不依赖于明文文本。图 15-4 说明了使用 OFB 模式进行加密和解密的过程。

图 15-4: OFB 加密和解密



要使用 OFB 模式加密数据块：

1. 按照第 15.3.1 节“密钥支持”中的描述装载加密密钥。
2. 将 AESOP<1:0> (ECON1<10:9>) 设置为 00。
3. 将初始化值 (IV) 复制到 7C20h 处的 TEXTA。
4. 将 AESST (ECON1<11>) 置 1 以启动加密。
5. 将明文文本复制到 7C30h 处的 TEXTB。
6. 等待硬件清零 AESST。
7. 从 7C40h 处的 XOROUT 读取加密文本明文。
8. 请对后续数据块重复第 4 步至第 7 步。上一个数据块的加密输出自动成为下一个数据块的 IV。

要使用 OFB 模式解密数据块：

1. 按照第 15.3.1 节“密钥支持”中的描述装载加密密钥。注意此模式不使用解密密钥。
2. 将 AESOP<1:0> 设置为 00。
3. 将初始化值 (IV) 复制到 7C20h 处的 TEXTA。
4. 将 AESST 置 1 以启动解密。
5. 将加密文本复制到 7C30h 处的 TEXTB。

6. 等待硬件清零 AESST。
7. 从 7C40h 处的 XOROUT 读取明文文本明文。
8. 请对后续数据块重复第 4 步至第 7 步。

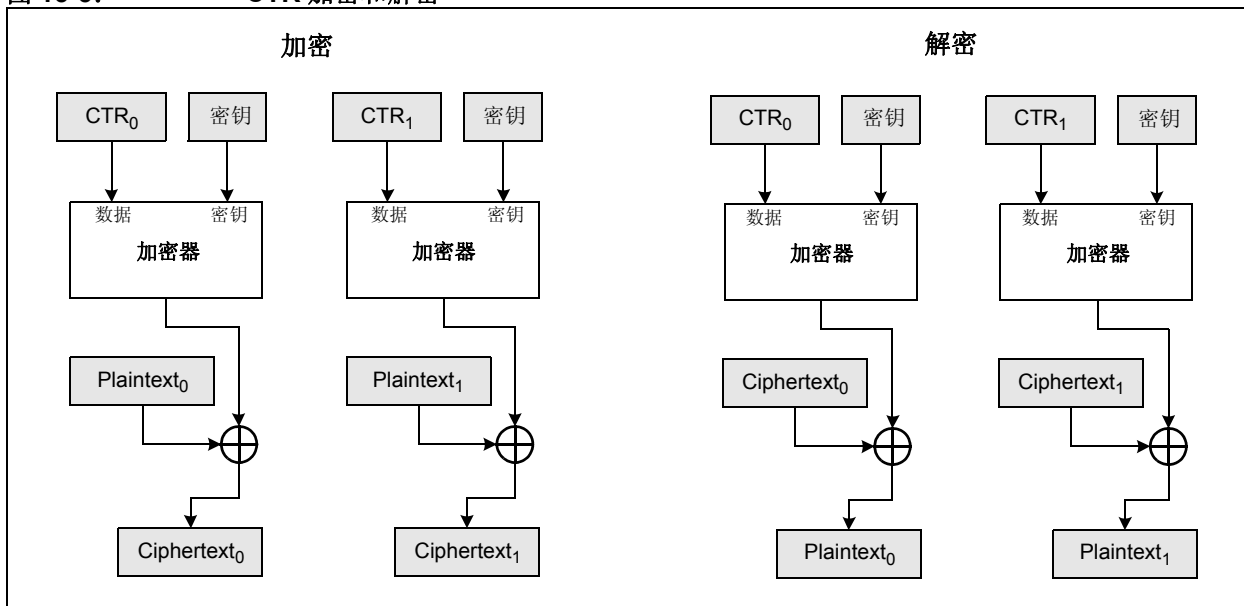
OFB 模式的上下文包括 AES 加密密钥和最后一个数据块的加密输出。请保存 7C20h 处 TEXTA 的加密数据块输出以在继续对其他数据块执行操作时用作 IV。

15.3.3.5 计数器模式 (CTR)

硬件不直接支持计数器模式，但是可以借助于软件来实现。在 CTR 模式中，计数器用作加密数据块的输入。将加密后的输出与明文文本进行逻辑异或运算以产生加密文本，反之亦可。计数器不必是真正的计数器，只要能提供任何实际的非重复功能即可。使用 CTR 模式时，应用必须在对每个数据块执行操作之前先装载计数器值。

因为每个数据块都依赖于计数器值，所以相同的后续明文文本数据块将产生不同的加密文本数据块。这些数据块是否独立取决于所选的计数器功能。图 15-5 说明了使用 CTR 模式进行加密和解密的过程。

图 15-5: CTR 加密和解密



要使用 CTR 模式加密数据块：

1. 按照第 15.3.1 节“密钥支持”中的描述装载加密密钥。
2. 将 AESOP<1:0> (ECON1<10:9>) 设置为 00。
3. 将计数器值复制到 7C20h 处的 TEXTA。
4. 将 AESST (ECON1<11>) 置 1 以启动加密。
5. 将明文文本报文复制到 7C30h 处的 TEXTB。
6. 等待硬件清零 AESST。
7. 从 7C40h 处的 XOROUT 读取加密文本报文。
8. 请对后续数据块重复第 3 步至第 7 步。

要使用 CTR 模式解密数据块：

1. 按照第 15.3.1 节“密钥支持”中的描述装载加密密钥。注意此模式不使用解密密钥。
2. 将 AESOP<1:0> 设置为 00。
3. 将计数器值复制到 7C20h 处的 TEXTA。
4. 将 AESST 置 1 以启动解密。
5. 将加密文本报文复制到 7C30h 处的 TEXTB。
6. 等待硬件清零 AESST。
7. 从 7C40h 处的 XOROUT 读取明文文本报文。
8. 请对后续数据块重复第 3 步至第 7 步。

CTR 模式的上下文包括 AES 加密密钥和计数器值。由应用确定计数器值上下文需要保存的内容。

ENC424J600/624J600

注:

16.0 节能特性

由于高带宽和长电缆要求，以太网应用可能会功耗比较大。ENC424J600/624J600 器件提供掉电和 PHY 功耗管理功能来支持低功耗应用。当这两种功能不能彻底降低功耗需求时，它们可在不需要以太网接口时帮助减少功耗。

16.1 常规掉电模式

ENC424J600 器件可以通过命令接口进入掉电模式。在此模式下，器件不再能发送或接收任何数据包或执行 DMA 操作。然而，大多数寄存器和所有缓冲存储器将保持它们的状态并且仍可被主控制器访问。时钟驱动器仍在工作，CLKOUT 功能不受影响。但 MAC/MII 和 PHY 寄存器此时不可访问，且 PHY 寄存器丢失其当前状态。

要使以太网接口掉电：

1. 通过清零 CRYPTEN (EIR<15>) 位，关闭模式和 AES 引擎。
2. 通过清零 RXEN (ECON1<0>) 停止数据包接收。
3. 通过查询 RXBUSY (ESTAT<13>) 等待任何进行中的接收操作完成，直到该位被清零。
4. 通过验证 TXRTS (ECON1<1>) 是否清零等待任何当前的发送操作完成。
5. 通过将 PSLEEP 位 (PHCON1<11>) 置 1 使 PHY 掉电。
6. 通过清零 ETHEN 和 STRCH (ECON2<15,14>) 使以太网接口掉电。当 ETHEN 清零后 LED 显示时间延长，需要禁止 LED 脉冲延长行为来确保没有 LED 处于持久点亮状态。

要恢复正常操作，需要在器件唤醒后重新配置 PHY 寄存器。典型重启顺序如下：

1. 通过将 ETHEN 和 STRCH (ECON2<15,14>) 位置 1 唤醒以太网接口。
2. 通过清零 PSLEEP (PHCON1<11>) 唤醒 PHY。注意只修改 PSLEEP 位。
3. 通过将 RXEN (ECON1<0>) 置 1 来恢复接收功能。

在退出休眠模式后，新链路建立前需要几百毫秒的延时。如果主控制器尝试在链路建立前发送任何以太网数据包，PHY 将禁止在线路上进行发送操作从而避免干扰自动协商或者违反 IEEE 802.3 标准。链路状态可通过链路更改中断标志 LINKIF (EIR<11>) 和 PHYLNK 状态位 (ESTAT<8>) 来监视。

16.2 能量检测掉电模式

ENC424J600/624J600 器件也支持能量检测掉电模式。在此模式下，PHY 保持掉电直到在以太网接口上检测到信号。当没有数据包可发送或接收时，维持内部 PHY 配置。对于以下应用非常有用：以太网电缆不始终处于连接状态，但需要在用户连接了网络电缆并检测到链路伙伴时自动激活。

当在以太网介质上检测到信号时，EDSTAT 标志 (PHCON2<1>) 被置 1。

要使能量检测掉电模式，应将 EDPWRDN 位 (PHCON2<13>) 置 1。PHY 根据 EDSTAT 的值自动上电和掉电。当处于能量检测掉电模式时，主控制器应该通过 LINKIF 中断标志和 PHYLNK 状态位来监视以太网链路状态。连接时，它应该将 ETHEN 和 STRCH (ECON2<15,14>) 置 1 并开始正常使用网络接口。当断开连接时，它应该清零 ETHEN 和 STRCH 位以节省功耗。要恢复正常操作，应清零 EDPWRDN 位。当 PHY 处于能量检测掉电模式时，在断开连接时发送逻辑将无限制的延迟发送。因此，如果应用尝试通过将 TXRTS (ECON1<1>) 位置 1 来发送数据包，在用户把器件连接到另一个链路伙伴之前，该位不能自动清零，否则将导致发送中断。

处于能量检测掉电模式的器件不能发送链接脉冲，但能被监听远程链路伙伴来发送信号从而唤醒器件。如果远程器件也处于类似的被动监听模式下，两个器件都不会被唤醒。此情况不会导致正常以太网器件（例如交换机和路由器）发生问题，但可能导致两个嵌入式器件使用该功能直接连接时发生问题。

注：通过兼容性测试，发现某些第三方以太网产品发送的链路脉冲不符合 IEEE 802.3 标准时序要求。对于这类器件，ENCX24J600 PHY 能量检测功能可能无法唤醒它们。在使能能量检测掉电模式前，应用设计人员应该衡量使用此功能的兼容性风险，如果可能，可以实现一种能让最终产品用户禁止它的方法。

16.3 外部掉电模式

那些对电源非常敏感，并且无需保存存储器或寄存器内容的应用，使用外部掉电电路来控制器件会很有用。该方法允许主控制器彻底切断该器件的电源。可使用电源引脚上的 MOSFET，或使用具有输出使能功能的稳压器来设计外部掉电电路。

请记住外部控制的掉电需要将 ENCX24J600 完全重新初始化，如第 8.0 节“初始化”中所述。

寄存器 16-1: PHCON2: PHY 控制寄存器 2

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
r	r	EDPWRDN	r	EDTHRES	r	r	r
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-1	R/W-0
r	r	r	r	r	FRCLNK	EDSTAT	r
bit 7							bit 0

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = 上电复位时的值

1 = 置 1

0 = 清零

x = 未知

bit 15-14 **保留:** 写为 0, 读操作时忽略bit 13 **EDPWRDN:** 能量检测掉电模式使能位1 = 使能量检测掉电模式。**PHY** 根据 **EDSTAT** 的状态自动上电和掉电。

0 = 禁止能量检测掉电模式。使用该设置以获得最大兼容性。

bit 12 **保留:** 写为 0, 读操作时忽略bit 11 **EDTHRES:** 能量检测阈值控制位1 = 只需较少能量从能量检测掉电模式唤醒 **PHY**

0 = 正常能量检测阈值

bit 10-3 **保留:** 写为 0, 读操作时忽略bit 2 **FRCLNK:** 强制链路控制位1 = 强制立刻连接, 即使没有链路伙伴 (仅适用于 100 Mbps 操作模式) ⁽¹⁾

0 = 正常工作

bit 1 **EDSTAT:** 能量检测状态位1 = 能量检测电路在上个 256 ms 内检测到 **TPIN+/-** 引脚上有能量消耗0 = 能量检测电路在上个 256 ms 内未检测到 **TPIN+/-** 引脚上有能量消耗bit 0 **保留:** 写为 0, 读操作时忽略**注 1:** 仅用于测试目的。不要在 10 Mbps 操作模式下使用。

ENC424J600/624J600

注:

17.0 电气特性

绝对最大值

储存温度.....	-65°C 至 +150°C
环境温度.....	-40°C 至 +85°C（工业级）
VDD、VDDOSC、VDDPLL、VDDRX 和 VDDTX 相对于 VSS 的电压.....	-0.3V 至 4.0V
任何数字引脚相对于 VSS 的电压.....	-0.3V 至 6.0V
OSC1 和 RBIAS 模拟引脚相对于 VSS 的电压.....	-0.3V 至 VDD + 0.3V
TPIN+/- 和 TPOUT+/- 相对于 VSS 的电压.....	-0.3V 至 5.0V
VCAP 相对于所有 VSS 引脚的电压（注 1）.....	-0.3V 至 2.0V
任何引脚上的 ESD 保护电压.....	2 kV
所有数字输出引脚上的灌电流或拉电流.....	25 mA
所有 VSS 引脚的输出电流.....	420 mA
所有 VDD 引脚的输入电流.....	300 mA

注 1：VCAP 不用于为外部负载供电。不应向该引脚施加外部电压。

† 注：如果器件工作条件超过上述所列“绝对最大值”，可能会对器件造成永久性损坏。上述值仅为运行条件极大值，我们建议不要使器件在该规范规定的范围以外运行。器件长时间在最大额定值条件下，其稳定性会受到影响。

ENC424J600/624J600

17.1 直流特性：ENC424J600/624J600

表 17-1：热工作条件

特性	符号	最小值	典型值	最大值	单位
ENC424J600/624J600：					
工作结温范围	TJ	-40	—	+125	°C
工作环境的温度范围	TA	-40	—	+85	°C
功耗： 内部芯片功耗： $P_{INT} = V_{DD} \times (I_{DD} - \sum I_{OH})$ I/O 引脚功耗： $P_{I/O} = \sum (\{V_{DD} - V_{OH}\} \times I_{OH}) + \sum (V_{OL} \times I_{OL}) + ((V_{TPOUT+} + V_{TPOUT-})/2 \times I_{TXCT})$	PD	PINT + PI/O			W
最大允许功耗	PDMAX	$(T_J - T_A)/\theta_{JA}$			W

表 17-2：热封装特性

特性	符号	典型值	最大值	单位	注释
封装热阻，44 引脚 QFN（8x8x1 mm）	θ_{JA}	28	—	°C/W	（注 1）
封装热阻，44 引脚 TQFP（10x10x1 mm）	θ_{JA}	49.8	—	°C/W	（注 1）
封装热阻，64 引脚 TQFP（10x10x1 mm）	θ_{JA}	47	—	°C/W	（注 1）

注 1：通过封装模拟可获得结温到环境的热阻 θ_{JA} （ θ_{JA} ）。

表 17-3: 直流特性: ENC424J600/624J600 (工业级)

直流特性			标准工作条件: -40°C ≤ TA ≤ 85°C, 3.0V ≤ VDD ≤ 3.6V (工业级)				
参数编号	符号	特性	最小值	典型值	最大值	单位	条件
D001	VDD	供电电压	3.0	3.3	3.6	V	
D002	VPOR	确保能够产生内部上电复位信号的 VDD 启动电压	1.75	—	1.95	V	
D003	SVDD	确保能够产生内部上电复位信号的 VDD 上升速率	0.05	—	—	V/ms	
D004	VIH	高电平输入电压				V	
		数字输入引脚	0.6 VDD	—	5.5	V	
D005		OSC1 引脚	0.7 VDD	—	VDD	V	
D006	VIL	低电平输入电压				V	
		数字输入引脚	VSS	—	0.2 VDD	V	
D007		OSC1 引脚	VSS	—	0.2 VDD	V	
	VOH	高电平输出电压				V	
		所有数字输出引脚	2.4	—	VDD	V	IOH = -8mA
	VOL	低电平输出电压				V	
		所有数字输出引脚	VSS	—	0.4	V	IOL = 8mA
	IWPU	弱上拉电流	-150	-260	-400	μA	VDD = 3.3V, VPIN = VSS
	IWPD	弱下拉电流	28	56	112	μA	VDD = 3.3V, VPIN = VDD
	IIL	输入泄漏电流				μA	
		数字输入引脚	—	—	±1	μA	VSS ≤ VPIN ≤ VDD
		OSC1 引脚	—	—	±150	μA	VSS ≤ VPIN ≤ VDD
	IDD	供电电流				mA	
		未连接	—	74	—	mA	(注 1)
		100Base-TX 连接, 空闲	—	96	—	mA	(注 1)
		100Base-TX 连接, 最大发送利用率	—	96	117	mA	(注 1)
		10Base-T 连接, 空闲	—	82	—	mA	(注 1)
		10Base-T 连接, 最大发送利用率	—	82	103	mA	(注 1)
	ΔICT	加密模块电流	—	40	—	mA	EIR<15> = 1
	ITXCT	发送变压器中心抽头电流				mA	
		未连接	—	1	—	mA	
		100Base-TX 连接	—	30	—	mA	
		10Base-T 连接	—	80	—	mA	

- 注 1: 不包括发送变压器中心抽头和 LEDA/LEDB 电流, 禁止加密引擎模块 (EIR<15> = 0)。
- 2: 禁止加密引擎模块 (EIR<15> = 0)、禁止自动协商 (PHCON1<12> = 0) 以及禁止以太网 (ECON2<15> = 0)。
- 3: 在变压器电缆端的 100Ω 端接电阻两端测得。

ENC424J600/624J600

表 17-3: 直流特性: ENC424J600/624J600 (工业级) (续)

直流特性			标准工作条件: -40°C ≤ TA ≤ 85°C, 3.0V ≤ VDD ≤ 3.6V (工业级)				
参数编号	符号	特性	最小值	典型值	最大值	单位	条件
	IPD	掉电电流 ⁽²⁾	—	29.2	34	mA	PHCON2<13> = 1
		电能检测掉电休眠		23.8	28	mA	PHCON1<11> = 1
	VTPOUT	峰值差分输出电压	0.95	1.00	1.05	V	(注 3)
		100Base-TX				V	
		10Base-T				V	
	VSQ	10Base-T 接收差分静噪阈值	160	300	585	mV	

- 注 1: 不包括发送变压器中心抽头和 LEDA/LEDB 电流, 禁止加密引擎模块 (EIR<15> = 0)。
- 2: 禁止加密引擎模块 (EIR<15> = 0)、禁止自动协商 (PHCON1<12> = 0) 以及禁止以太网 (ECON2<15> = 0)。
- 3: 在变压器电缆端的 100Ω 端接电阻两端测得。

表 17-4: 内部稳压器规范

工作条件: -40°C < TA < +85°C (除非另外声明)							
参数编号	符号	特性	最小值	典型值	最大值	单位	注释
	VRGOUT	稳压器输出电压	1.62	1.80	1.98	V	
	CEFC	外部滤波电容值	4.7	10	—	μF	电容必须具有一个阻值较低的等效串连电阻 (< 3Ω)

表 17-5: 外部电磁要求

参数	最小值	正常值	最大值	单位	条件
接收变压比	—	1:1	—	—	
发送变压比	—	1:1	—	—	变压器中心抽头电压 = 3.3V
插入损耗	—	—	1.1	dB	
初级线圈电感	350	—	—	μH	偏置电流为 8mA
变压器隔离电压	—	1.5	—	kV	
差分共模抑制比	40	—	—	dB	0.1 至 10 MHz
回波损耗	-16	—	—	dB	

17.2 交流特性：ENC424J600/624J600（工业级）

交流特性	标准工作条件 -40°C ≤ TA ≤ +85°C, 3.00V ≤ VDD ≤ 3.60V（工业级）
------	--

表 17-6：振荡器时序特性

参数编号	符号	特性	最小值	最大值	单位	条件
	FOSC	时钟输入频率	25	25	MHz	
	TOSC	时钟输入周期	40	40	ns	
	TDUTY	占空比 (外部时钟输入)	40	60	%	
	Δf	时钟频率误差	—	±50	ppm	

表 17-7：CLKOUT 引脚时序规范

参数编号	符号	特性	最小值	典型值	最大值	单位	条件
	FCLKOUT	CLKOUT 频率	DC	—	33.3	MHz	
	TDUTY	CLKOUT 占空比	40	50	60	%	除 12.5 分频之外的所有分频比设置
			37.5	47.5	57.5	%	12.5 分频比

表 17-8：CLKOUT 引脚交流特性

参数编号	符号	特性	最小值	最大值	单位	条件
	t _r CLKOUT	CLKOUT 引脚电平上升时间	—	3	ns	(注 1)
	t _f CLKOUT	CLKOUT 引脚电平下降时间	—	4	ns	(注 1)
	ΔCLKOUT	CLKOUT 稳定性（抖动）	—	±0.25	%	

注 1：使用 10 pF 的负载在 0.1VDD 至 0.9VDD 之间中测得。

ENC424J600/624J600

图 17-1: SPI 输入时序

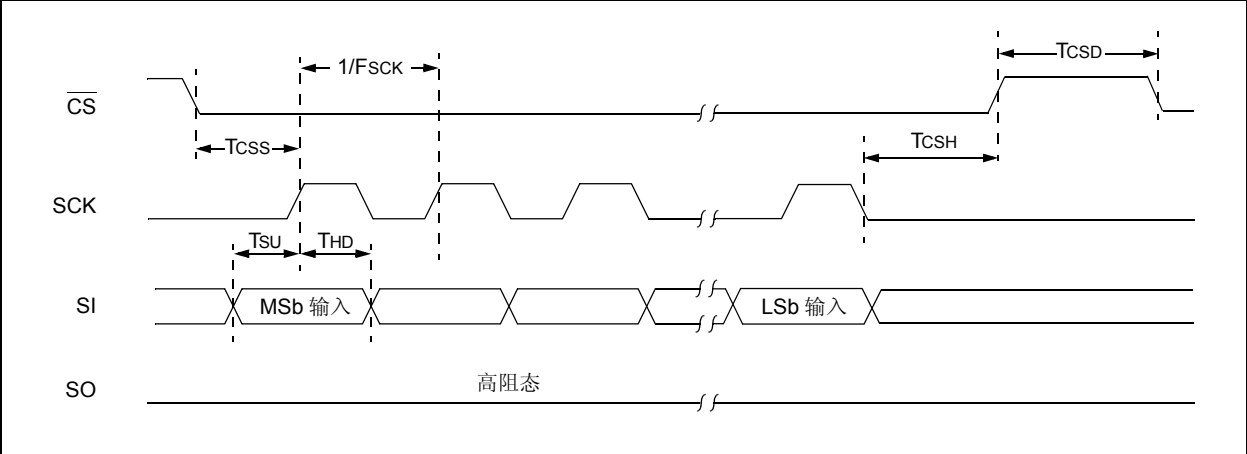


图 17-2: SPI 输出时序

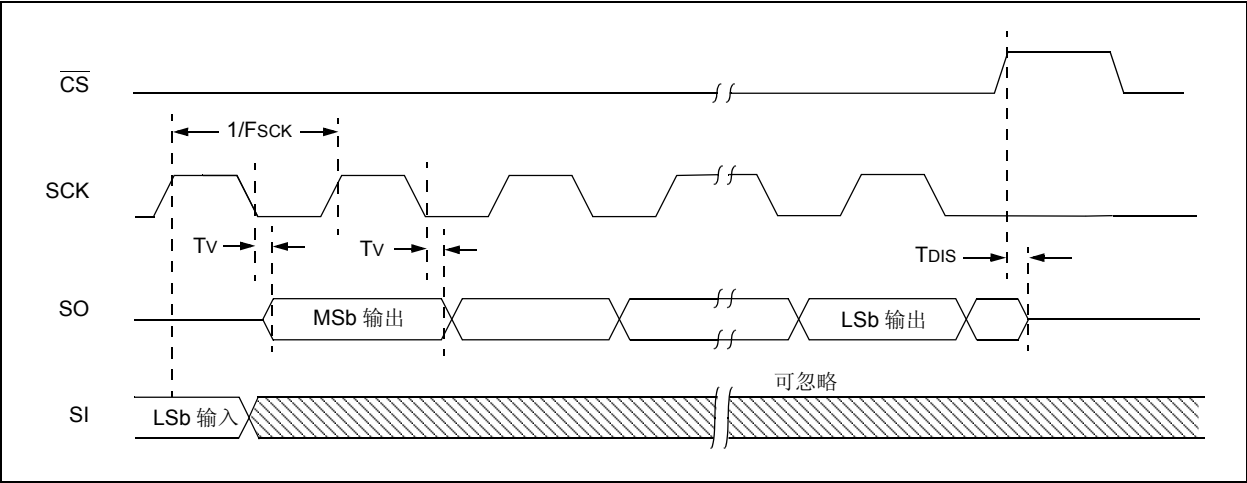


表 17-9: SPI 接口交流特性

符号	特性	最小值	典型值	最大值	单位	条件
F _{SCK}	SPI 时钟频率	DC	—	14	MHz	
T _{DUTY}	SCK 占空比	45	—	55	%	
T _{CSS}	$\overline{\text{CS}}$ 建立时间	50	—	—	ns	
T _{CSH}	$\overline{\text{CS}}$ 保持时间	50	—	—	ns	
T _{CSD}	$\overline{\text{CS}}$ 禁止时间	20	—	—	ns	
T _{SU}	数据建立时间	10	—	—	ns	
T _{HD}	数据保持时间	10	—	—	ns	
T _V	时钟低电平到输出有效的时间	—	—	10	ns	SO 引脚上的负载 = 30 pF
T _{DIS}	输出禁止时间	—	—	10	ns	SO 引脚上的负载 = 30 pF

表 17-10: PSP 接口时序规范

符号	特性	最小值	典型值	最大值	单位	注释
TPSP1	CS、地址和 R/W 建立时间	1	—	—	ns	
TPSP2	使能 RD、EN 和 BxSEL 到数据有效的时间	—	—	75	ns	
TPSP3	数据输出保持时间	0	—	3	ns	
TPSP4	RD、EN 和 BxSEL 无效时间	4.5	—	—	ns	
TPSP5	CS 和 R/W 建立时间	3.5	—	—	ns	
TPSP6	地址建立时间	3.5	—	—	ns	
TPSP7	数据建立时间	3.5	—	—	ns	
TPSP8	WR、WRL、WRH、EN 和 BxSEL 有效时间	6.5	—	—	ns	
TPSP9	地址保持时间	1	—	—	ns	
TPSP10	数据输入保持时间	1	—	—	ns	
TPSP11	WR、WRL、WRH、EN 和 BxSEL 无效时间	4.5	—	—	ns	SFR 访问
		40	—	—	ns	SRAM 访问
TPSP12	CS 和地址建立时间	6.5	—	—	ns	
TPSP13	AL 有效时间	6.5	—	—	ns	
TPSP14	地址保持时间	1	—	—	ns	
TPSP15	AL 无效时间	4	—	—	ns	

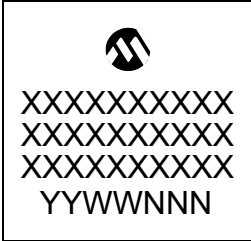
ENC424J600/624J600

注:

18.0 封装信息

18.1 封装标识信息

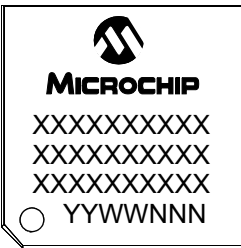
44 引脚 QFN



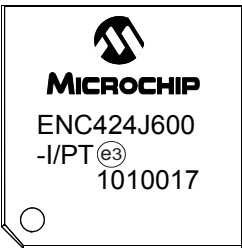
示例



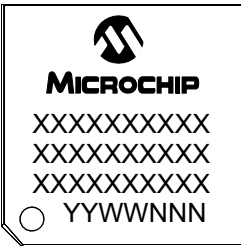
44 引脚 TQFP



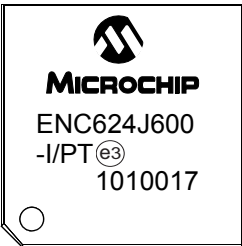
示例



64 引脚 TQFP (10x10x1mm)



示例



图注:	XX...X	客户信息
	Y	年份代码 (日历年的最后一位数字)
	YY	年份代码 (日历年的最后两位数字)
	WW	星期代码 (一月一日的星期代码为 “01”)
	NNN	以字母数字排序的追踪代码
	(e3)	雾锡 (Matte Tin, Sn) 的 JEDEC 无铅标志
	*	表示无铅封装。JEDEC 无铅标志 ((e3)) 标示于此种封装的外包装上。
注:	Microchip 元器件编号如果无法在同一行内完整标注, 将换行标出, 因此会限制表示客户信息的字符数。	

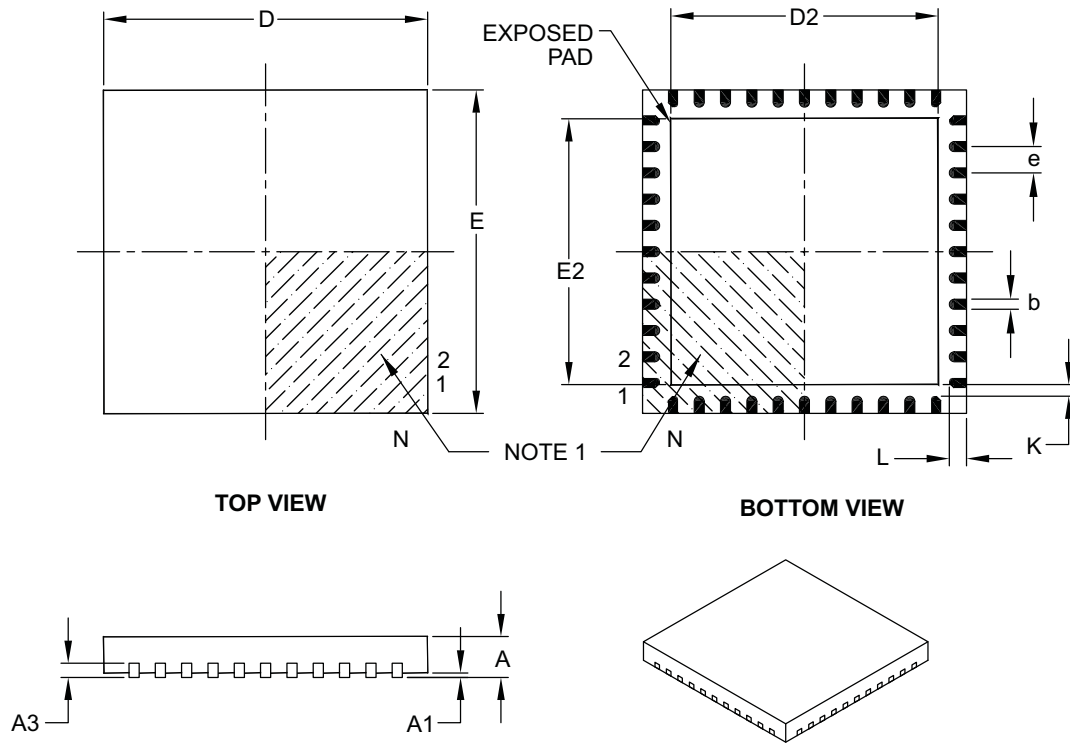
ENC424J600/624J600

18.2 封装详细信息

以下部分将介绍各种封装的技术细节。

44 引脚塑封四方扁平无脚封装（ML）——主体 8x8 mm[QFN]

注： 最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



		Units	MILLIMETERS		
Dimension Limits			MIN	NOM	MAX
Number of Pins	N		44		
Pitch	e		0.65 BSC		
Overall Height	A		0.80	0.90	1.00
Standoff	A1		0.00	0.02	0.05
Contact Thickness	A3		0.20 REF		
Overall Width	E		8.00 BSC		
Exposed Pad Width	E2		6.30	6.45	6.80
Overall Length	D		8.00 BSC		
Exposed Pad Length	D2		6.30	6.45	6.80
Contact Width	b		0.25	0.30	0.38
Contact Length	L		0.30	0.40	0.50
Contact-to-Exposed Pad	K		0.20	—	—

Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- Package is saw singulated.
- Dimensioning and tolerancing per ASME Y14.5M.

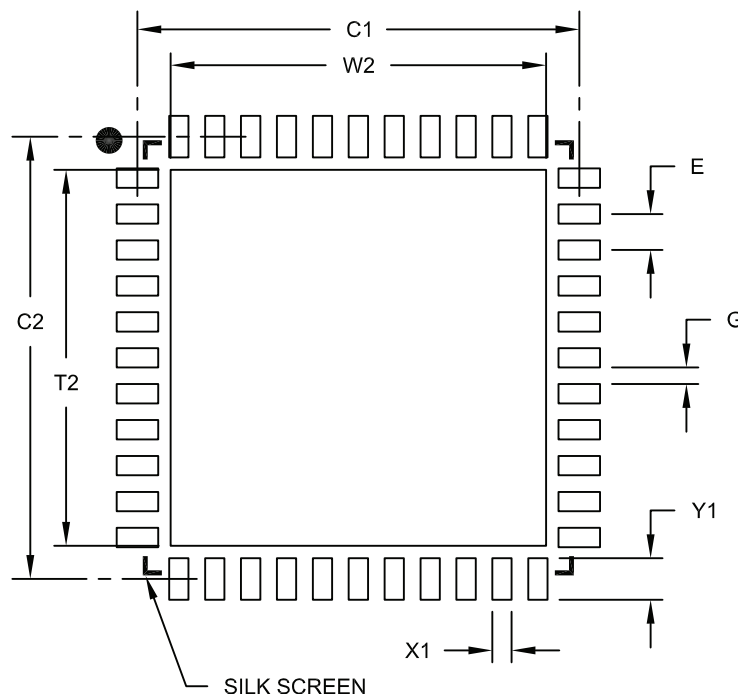
BSC: Basic Dimension. Theoretically exact value shown without tolerances.

REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-103B

44 引脚塑封四方扁平无脚封装（ML）——主体 8x8 mm[QFN]

注： 最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E	0.65 BSC		
Optional Center Pad Width	W2			6.80
Optional Center Pad Length	T2			6.80
Contact Pad Spacing	C1		8.00	
Contact Pad Spacing	C2		8.00	
Contact Pad Width (X44)	X1			0.35
Contact Pad Length (X44)	Y1			0.80
Distance Between Pads	G	0.25		

Notes:

1. Dimensioning and tolerancing per ASME Y14.5M

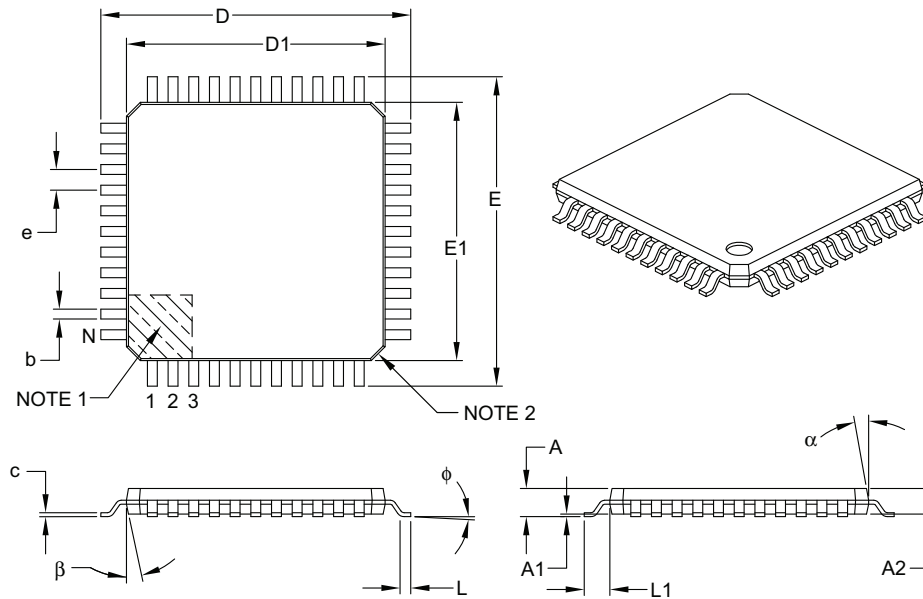
BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing No. C04-2103A

ENC424J600/624J600

44 引脚塑封薄型四方扁平封装（PT）——主体 10x10x1 mm，2.00 mm[TQFP]

注：最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Leads	N	44		
Lead Pitch	e	0.80 BSC		
Overall Height	A	—	—	1.20
Molded Package Thickness	A2	0.95	1.00	1.05
Standoff	A1	0.05	—	0.15
Foot Length	L	0.45	0.60	0.75
Footprint	L1	1.00 REF		
Foot Angle	ϕ	0°	3.5°	7°
Overall Width	E	12.00 BSC		
Overall Length	D	12.00 BSC		
Molded Package Width	E1	10.00 BSC		
Molded Package Length	D1	10.00 BSC		
Lead Thickness	c	0.09	—	0.20
Lead Width	b	0.30	0.37	0.45
Mold Draft Angle Top	α	11°	12°	13°
Mold Draft Angle Bottom	β	11°	12°	13°

Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- Chamfers at corners are optional; size may vary.
- Dimensions D1 and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.25 mm per side.
- Dimensioning and tolerancing per ASME Y14.5M.

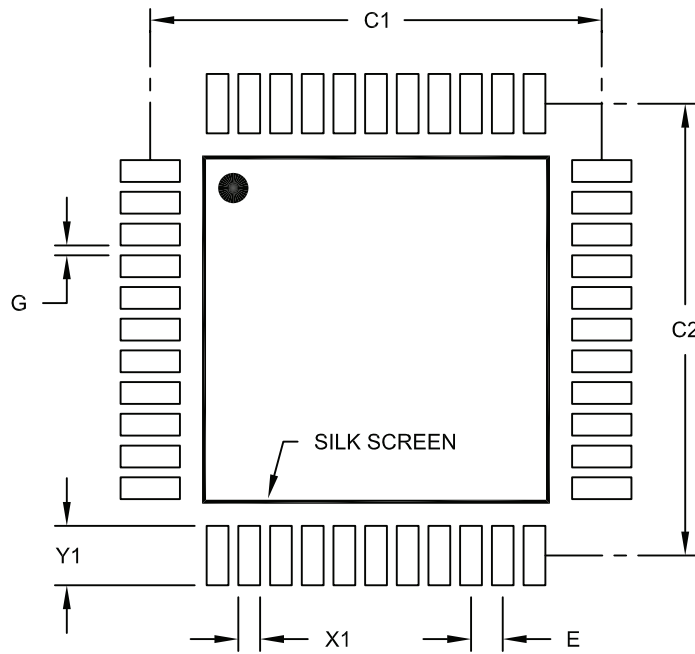
BSC: Basic Dimension. Theoretically exact value shown without tolerances.

REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-076B

44 引脚塑封薄型四方扁平封装（PT）——主体 10x10x1 mm， 2.00 mm[TQFP]

注： 最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



RECOMMENDED LAND PATTERN

Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Contact Pitch	E	0.80 BSC		
Contact Pad Spacing	C1		11.40	
Contact Pad Spacing	C2		11.40	
Contact Pad Width (X44)	X1			0.55
Contact Pad Length (X44)	Y1			1.50
Distance Between Pads	G	0.25		

Notes:

1. Dimensioning and tolerancing per ASME Y14.5M

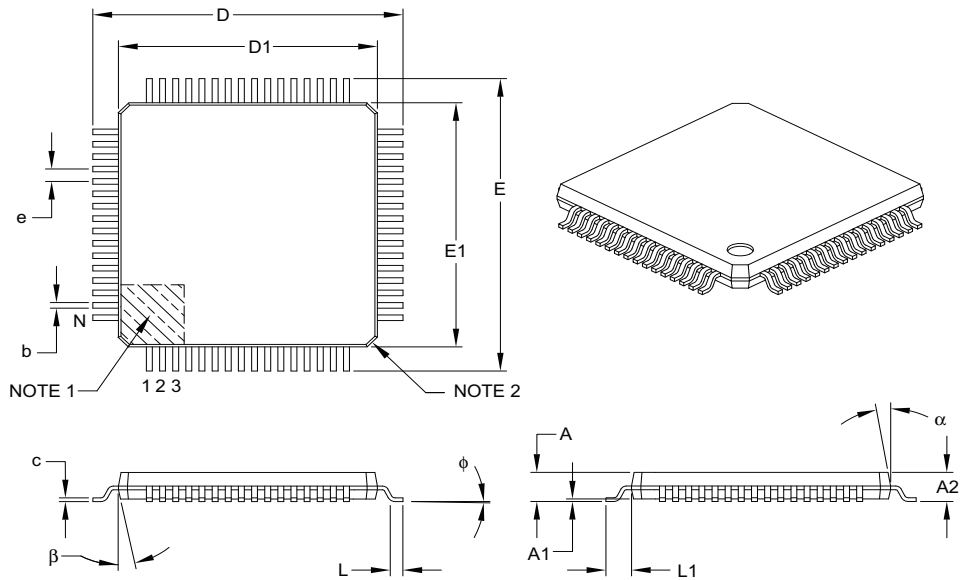
BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing No. C04-2076A

ENC424J600/624J600

64 引脚塑封薄型四方扁平封装 (PT) —— 主体 10x10x1 mm, 2.00 mm[TQFP]

注： 最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Leads	N	64		
Lead Pitch	e	0.50 BSC		
Overall Height	A	—	—	1.20
Molded Package Thickness	A2	0.95	1.00	1.05
Standoff	A1	0.05	—	0.15
Foot Length	L	0.45	0.60	0.75
Footprint	L1	1.00 REF		
Foot Angle	φ	0°	3.5°	7°
Overall Width	E	12.00 BSC		
Overall Length	D	12.00 BSC		
Molded Package Width	E1	10.00 BSC		
Molded Package Length	D1	10.00 BSC		
Lead Thickness	c	0.09	—	0.20
Lead Width	b	0.17	0.22	0.27
Mold Draft Angle Top	α	11°	12°	13°
Mold Draft Angle Bottom	β	11°	12°	13°

Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- Chamfers at corners are optional; size may vary.
- Dimensions D1 and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.25 mm per side.
- Dimensioning and tolerancing per ASME Y14.5M.

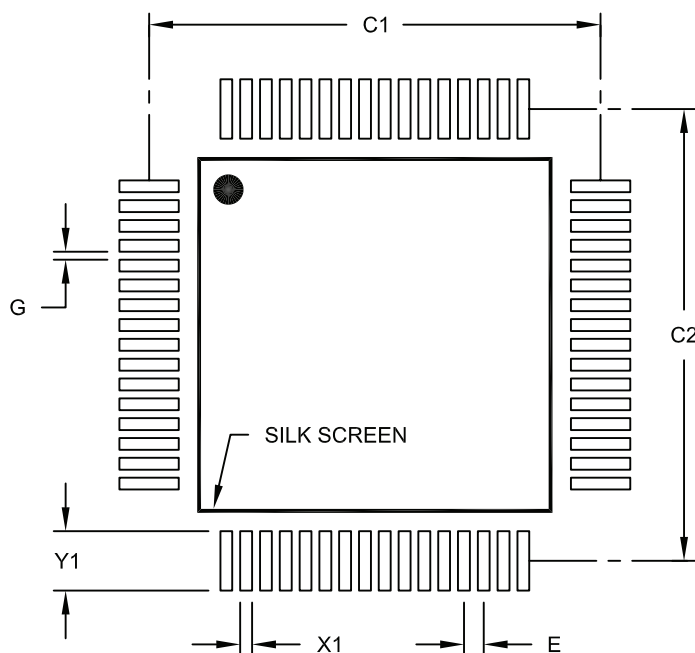
BSC: Basic Dimension. Theoretically exact value shown without tolerances.

REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-085B

64 引脚塑封薄型四方扁平封装 (PT) —— 主体 10x10x1 mm, 2.00 mm[TQFP]

注： 最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E	0.50 BSC		
Contact Pad Spacing	C1		11.40	
Contact Pad Spacing	C2		11.40	
Contact Pad Width (X64)	X1			0.30
Contact Pad Length (X64)	Y1			1.50
Distance Between Pads	G	0.20		

Notes:

1. Dimensioning and tolerancing per ASME Y14.5M

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing No. C04-2085A

ENC424J600/624J600

注:

附录 A: 版本历史

版本 A (2009 年 3 月)

ENC424J600/624J600 器件的初始数据手册。

版本 B (2009 年 7 月)

去除了整个数据手册中的“初稿”标识。对第 1.0 节“器件概述”和第 7.0 节“复位”进行了少量编辑。

版本 C (2010 年 1 月)

对第 5.3.3 节“模式 3”和第 5.3.4 节“模式 4”进行了少量编辑。

ENC424J600/624J600

注:

索引

B

版本历史	157
变更通知客户服务	162
并行从端口接口 (PSP)	
模式 1	53
模式 10	69
模式 2	55
模式 3	57
模式 4	59
模式 5	61
模式 6	64
模式 9	67
使用此接口	52
外部连接	14
物理实现	51
性能注意事项	53

C

CLKOUT 引脚	9
CRC	
帧字段	72
常规掉电模式	137
初始化	
CLKOUT 频率	75
MAC	75
PHY	76
发送缓冲器	75
复位	75
建立连接后	76
接收过滤器	75
接收缓冲区	75
串行外设接口 (SPI)	
外部连接	14
物理实现	39
指令集	39
磁性元件和外部元件	11
存储器映射	
PSP	18
SPI	17
SRAM 间接访问指针	34
加密数据存储	32

D

DMA 控制器	
校验和计算	124
复制内存	123
性能	124
单字节指令	41
电气特性	141
绝对最大值	141
读者反馈表	163

E

ENC424J600/624J600 寄存器文件汇总	26–27
E 寄存器	19

F

发送数据包	83–86
发送状态	85
特殊情形	85
选择 ETXLEN 值 (示例)	84
封装	
标识信息	149

详细信息	150
复位	
PHY 子系统	74
仅发送	74
仅接收	74
上电	73
系统	73

G

高级加密标准 (Advanced Encryption Standard, AES)	
密钥支持	129
上下文切换	130
公式	
EGPRDPT 和 EGPWRPT 的递增逻辑	35
ERXRDPT 和 ERXWRPT 的递增逻辑	36
EUDARDPT 和 EUDAWRPT 的递增逻辑	36

H

缓冲区指针 (SRAM 访问)	34
-----------------------	----

I

I/O 电平转换	15
INT 引脚	13
Internet 地址	162
INTIE	
全局中断允许位	117

J

寄存器	
ECON1 (以太网控制寄存器 1)	90
ECON2 (以太网控制寄存器 2)	77
EIDLED (以太网 ID 状态 /LED 控制寄存器)	79
EIR (以太网中断标志寄存器)	118
EIR (以太网中断使能寄存器)	120
ERXFCN (以太网接收过滤器控制寄存器)	96
ERXWM (接收水位标寄存器)	106
ESTAT (以太网状态寄存器)	93
ETXSTAT (以太网发送状态寄存器)	92
MABBIPG (MAC 背对背包间隔寄存器)	81
MACLCON (MAC 冲突控制寄存器)	82
MACON1 (MAC 控制寄存器 1)	107
MACON2: (MAC 控制寄存器 2)	80
MAIPG (MAC 包间间隔寄存器)	82
MICMD (MII 管理命令寄存器)	30
MIREGADR (MII 管理地址寄存器)	29
MISTAT (MII 管理状态寄存器)	30
PHANA (PHY 自动协商通告寄存器)	113
PHANE (PHY 自动协商扩展寄存器)	115
PHANLPA (PHY 自动协商链路伙伴性能寄存器) ..	114
PHCON1 (PHY 控制器 1)	110
PHCON2 (PHY 控制器 2)	139
PHSTAT1 (PHY 状态寄存器 1)	111
PHSTAT2 (PHY 状态寄存器 2)	112
PHSTAT3 (PHY 状态寄存器 3)	112

寄存器映射

清零 (8 位 PSP)	24
置 1 (8 位 PSP)	23
置 1 / 清零 (16 位 PSP)	25

加密安全引擎

MD5/SHA-1 哈希	126
上下文切换	128
高级加密标准 (AES)	129
电子密码本 (ECB)	130
计数器模式 (CTR)	134
加密反馈模式 (CFB)	132
加密块链接模式 (CBC)	131

ENC424J600/624J600

输出反馈模式（OFB）	133
模幂	125
交流特性	
CLKOUT 引脚	145
CLKOUT 引脚时序规范	145
ENC424J600/624J600（工业级）	145
PSP 接口时序规范	147
SPI 接口	146
振荡器时序	145
节能特性	137
接收过滤器	72
CRC 错误收集 / 拒绝	99
Magic Packet 收集	101
单播收集	99
多播收集	100
非本地单播收集过滤器	99
过短帧错误收集 / 拒绝	99
模式匹配收集	102
模式匹配收集（示例）	103
广播收集	100
哈希表收集	100
混杂模式	102
接收数据包	86–87
ERXHEAD/ERXTAIL 缓冲区折回（示例）	86
存储传入的数据包	87
缓冲存储器中的接收数据包（示例）	88
接收状态向量	89
接收状态向量（RSV）	87
配置接收	87
状态向量	89
仅发送复位	74
仅接收复位	74
K	
勘误表	4
客户通知服务	162
客户支持	162
快速链路脉冲（FLP）	109
框图	
CBC 加密 / 解密	131
CFB 加密 / 解密	132
CTR 加密 / 解密	134
ECB 加密 / 解密	130
ENC424J600/624J600	6
OFB 加密 / 解密	133
PSP 外部连接模式 1	54
PSP 外部连接模式 10	69
PSP 外部连接模式 2	55
PSP 外部连接模式 3	57
PSP 外部连接模式 4	59
PSP 外部连接模式 5	62
PSP 外部连接模式 6	65
PSP 外部连接模式 9	67
RBIAS 电阻	10
VCAP 连接	10
备用的发送电感拓扑	12
单色 LED 连接	12
典型的以太网磁性元件连接	11
发送缓冲器返回示例	83
接收过滤器的决策树	98
晶振工作原理	9
片上复位电路	73
使用逻辑与门在 SPI 接口上进行电平转换	15
使用三态缓冲器在 SPI 接口上进行电平转换	15
使用 INT/SPISEL 引脚选择 I/O 接口	13
双色 LED 连接	12

外部时钟源	9
以太网数据包格式	71
中断逻辑	117

L

LAN 唤醒 / 远程唤醒	122
类型 / 长度字段	72
流控制	
半双工模式	105
接收水位标寄存器	106
全双工模式	105
手动控制	106
暂停控制帧	105
自动控制	106
流起始字段 / 前导字段	71

M

MAC 寄存器	19
MD5 哈希	126
Microchip 网站	162
模幂引擎	125
目标地址	71

N

N 字节指令	
SRAM 缓冲区	49
分区 SFR	45
未分区 SFR	47
能量检测掉电	137

P

PHY 寄存器	28
PHY 寄存器文件汇总	31
PHY 子系统复位	74
PSP 模式选择表	14

Q

器件初始化	75–76
器件功能（表）	5

S

SFR。参见特殊功能寄存器	19
SHA-1 哈希	126
SPI 指令集	

N 字节指令	
SRAM 缓冲区	49
分区的 SFR	45
未分区 SFR	47
单字节指令	41
双字节指令	42
三字节指令	43
总表	40
SRAM 缓冲区	32
发送缓冲区	33
缓冲区指针	34
间接访问	34
接收缓冲区	33
使用 EGPDATA 指针的循环折回	35
通用缓冲区	33
循环折回	
ERXDATA 指针	36
EUDADATA 指针	36–37
直接访问	33
三字节指令	43
上电复位	73

示例		AD15:AD0.....	7
得到一个哈希表地址单元	100	AL	7
时序图		B0SEL/B1SEL	7
N 字节 SPI 操作码（未分区 SFR 操作）	47	CLKOUT	7
N 字节 SPI 操作码指令（SRAM 缓冲区操作）	49	CS/CS	7
N 字节 SPI 指令（分区 SFR 操作）	45	EN.....	7
PSP 模式 1 读	54	INT	7
PSP 模式 1 写	54	LEDA/LEDB.....	7
PSP 模式 10 读	70	OSC1/OSC2.....	8
PSP 模式 10 写	70	PSPCFG4:PSPCFG0.....	8
PSP 模式 2 读	56	RBIAS.....	8
PSP 模式 2 写	56	RD	8
PSP 模式 3 读	58	RW	8
PSP 模式 3 写	58	SCK	8
PSP 模式 4 读	60	SI	8
PSP 模式 4 写	60	SO	8
PSP 模式 5 读	63	SPISEL	8
PSP 模式 5 写	63	TPIN+/TPIN-.....	8
PSP 模式 6 读	66	TPOUT+/TPOUT-.....	8
PSP 模式 6 写	66	VCAP	8
PSP 模式 9 读	68	VDD/VSS.....	8
PSP 模式 9 写	68	VDDOSC/VSSOSC	8
SPI 输出	146	VDDPLL/VSSPLL.....	8
SPI 输入	146	VDDRX/VSSRX.....	8
单字节指令	41	VDDTX/VSSTX	8
三字节写指令	43	WR.....	8
三字节读指令	43	WRH/WRL	8
双字节指令（RBSEL 操作码）	42	引脚说明	7–8
数字 I/O 电平	15	源地址	72
双字节指令	42		
速度 / 双工模式自动协商	109	Z	
手动配置	109	振荡器	9
T		帧起始定界符	71
特殊功能寄存器	19	帧填充（字段）	72
PHY 寄存器	28	直接存储器访问（DMA）控制器	123
地址映射		直流特性	
16 位 PSP	22	ENC424J600/624J600（工业级）	143
8 位 PSP	21	内部稳压器	144
SPI	20	热封装	142
		热工作条件	142
W		外部电磁要求	144
WWW 地址	162	中断	
WWW, 在线支持	4	LAN 唤醒 / 远程唤醒	122
外部掉电模式	138	源	121–122
外部连接		主接口引脚.....	13–15
CS/CS 引脚	15		
EMI 和布局注意事项	12		
LEDA 和 LEDB.....	12		
PSP 主接口	14		
RBIAS 引脚	10		
SPI 主接口	14		
VCAP 引脚	10		
VDD/VSS 引脚	10		
数字 I/O 电平	15		
振荡器	9		
X			
系统复位	73		
Y			
以太网			
帧格式	71		
以太网概述	71		
以太网帧格式	71		
引脚功能			
A14:A0	7		

ENC424J600/624J600

注:

MICROCHIP 网站

Microchip 网站 (www.microchip.com) 为客户提供在线支持。客户可通过该网站方便地获取文件和信息。只要使用常用的因特网浏览器即可访问。网站提供以下信息：

- **产品支持**——数据手册和勘误表、应用笔记和样本程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及存档软件
- **一般技术支持**——常见问题 (FAQ)、技术支持请求、在线讨论组以及 Microchip 顾问计划成员名单
- **Microchip 业务**——产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、Microchip 销售办事处、代理商以及工厂代表列表

变更通知客户服务

Microchip 的变更通知客户服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时，收到电子邮件通知。

欲注册，请登录 Microchip 网站 www.microchip.com，点击“变更通知客户 (Customer Change Notification)”服务后按照注册说明完成注册。

客户支持

Microchip 产品的用户可通过以下渠道获得帮助：

- 代理商或代表
- 当地销售办事处
- 应用工程师 (FAE)
- 技术支持

客户应联系其代理商、代表或应用工程师 (FAE) 寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

也可通过 <http://support.microchip.com> 获得网上技术支持。

产品标识体系

欲订货或获取价格、交货等信息，请与我公司生产厂或销售办事处联系。

器件编号

X

/XX

XXX

器件

温度范围

封装

模式

器件

ENC424J600、ENC624J600、ENC424J600T⁽¹⁾ 和 ENC624J600T⁽¹⁾；
VDD 范围：3.0V 至 3.6V

温度范围

I = -40°C 至 +85°C（工业级）

封装

ML = QFN（四方扁平无引脚封装）
PT = TQFP（薄型四方扁平封装）

模式

3 位数字，表示编码或特殊要求（其他情况均为空白）
ES = 工程样片

示例：

a) ENC424J600-I/ML = 工业级温度，QFN 封装。

b) ENC424J600-I/PT = 工业级温度，44 引脚 TQFP 封装。

c) ENC624J600T-I/PT = 工业级温度，64 引脚 TQFP 封装，卷带式。

注 1： T = 卷带式。

全球销售及服务中心

美洲

公司总部 **Corporate Office**
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277

技术支持:
<http://support.microchip.com>
网址: www.microchip.com

亚特兰大 Atlanta

Duluth, GA
Tel: 678-957-9614
Fax: 678-957-1455

波士顿 Boston

Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago

Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

克里夫兰 Cleveland

Independence, OH
Tel: 216-447-0464
Fax: 216-447-0643

达拉斯 Dallas

Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit

Farmington Hills, MI
Tel: 1-248-538-2250
Fax: 1-248-538-2260

科科莫 Kokomo

Kokomo, IN
Tel: 1-765-864-8360
Fax: 1-765-864-8387

洛杉矶 Los Angeles

Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608

圣克拉拉 Santa Clara

Santa Clara, CA
Tel: 408-961-6444
Fax: 408-961-6445

加拿大多伦多 Toronto

Mississauga, Ontario,
Canada
Tel: 1-905-673-0699
Fax: 1-905-673-6509

亚太地区

亚太总部 Asia Pacific Office

Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2401-1200
Fax: 852-2401-3431

中国 - 北京

Tel: 86-10-8528-2100
Fax: 86-10-8528-2104

中国 - 成都

Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 重庆

Tel: 86-23-8980-9588
Fax: 86-23-8980-9500

中国 - 香港特别行政区

Tel: 852-2401-1200
Fax: 852-2401-3431

中国 - 南京

Tel: 86-25-8473-2460
Fax: 86-25-8473-2470

中国 - 青岛

Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海

Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 - 沈阳

Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深圳

Tel: 86-755-8203-2660
Fax: 86-755-8203-1760

中国 - 武汉

Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安

Tel: 86-29-8833-7252
Fax: 86-29-8833-7256

中国 - 厦门

Tel: 86-592-238-8138
Fax: 86-592-238-8130

中国 - 珠海

Tel: 86-756-321-0040
Fax: 86-756-321-0049

台湾地区 - 高雄

Tel: 886-7-536-4818
Fax: 886-7-536-4803

台湾地区 - 台北

Tel: 886-2-2500-6610
Fax: 886-2-2508-0102

亚太地区

台湾地区 - 新竹

Tel: 886-3-6578-300
Fax: 886-3-6578-370

澳大利亚 Australia - Sydney

Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

印度 India - Bangalore

Tel: 91-80-3090-4444
Fax: 91-80-3090-4080

印度 India - New Delhi

Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

印度 India - Pune

Tel: 91-20-2566-1512
Fax: 91-20-2566-1513

日本 Japan - Yokohama

Tel: 81-45-471- 6166
Fax: 81-45-471-6122

韩国 Korea - Daegu

Tel: 82-53-744-4301
Fax: 82-53-744-4302

韩国 Korea - Seoul

Tel: 82-2-554-7200
Fax: 82-2-558-5932 或
82-2-558-5934

马来西亚 Malaysia - Kuala Lumpur

Tel: 60-3-6201-9857
Fax: 60-3-6201-9859

马来西亚 Malaysia - Penang

Tel: 60-4-227-8870
Fax: 60-4-227-4068

菲律宾 Philippines - Manila

Tel: 63-2-634-9065
Fax: 63-2-634-9069

新加坡 Singapore

Tel: 65-6334-8870
Fax: 65-6334-8850

泰国 Thailand - Bangkok

Tel: 66-2-694-1351
Fax: 66-2-694-1350

欧洲

奥地利 Austria - Wels

Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦 Denmark - Copenhagen

Tel: 45-4450-2828
Fax: 45-4485-2829

法国 France - Paris

Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

德国 Germany - Munich

Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

意大利 Italy - Milan

Tel: 39-0331-742611
Fax: 39-0331-466781

荷兰 Netherlands - Druenen

Tel: 31-416-690399
Fax: 31-416-690340

西班牙 Spain - Madrid

Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

英国 UK - Wokingham

Tel: 44-118-921-5869
Fax: 44-118-921-5820