

两通道模拟前端

特性

- 两个 16/24 位分辨率的同步采样 $\Delta\Sigma$ A/D 转换器，且具有多位结构
- 每个通道具有 91 dB SINAD、-104 dBc THD（高达 35 次谐波）和 109 dB SFDR
- 可编程数据率高达 64 ksp/s
- 超低功耗关断模式：$2\ \mu\text{A}$
- 两个通道间的交调为 -133 dB
- 低漂移内部参考电压：12 ppm/°C
- 差分参考电压输入引脚
- 每个通道有高增益 PGA（高达 32 V/V）
- 两个通道间相位延迟补偿，具有 1 μs 的时间分辨率
- 每个通道具有独立的调制器输出
- 高速可寻址的 20 MHz SPI 接口，与模式 0,0 和模式 1,1 兼容
- 独立模拟和数字电源供电：4.5V - 5.5V AV_{DD} ，2.7V-5.5V DV_{DD}
- 低功耗：14 mW（5V 供电时的典型值）
- 提供 20 引脚小外形 SSOP 封装
- 工业级温度范围：-40°C 至 +85°C

应用

- 电表和功率测量
- 汽车电子
- 便携式仪表
- 医疗和功率监视

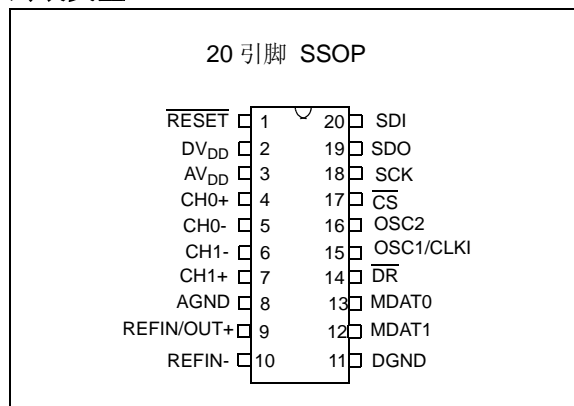
概述

MCP3901 为双通道模拟前端（Analog Front End, AFE），包括两个同步采样的 $\Delta\Sigma$ 模 / 数转换器（Analog-to-Digital Converter, ADC）、两个 PGA、相位延迟补充功能块、内部参考电压、调制器输出功能块和高速 20 MHz SPI 兼容串行接口。转换器包含获专利的抖动处理算法，它可减小闲音和提高 THD 性能。

内部寄存器映射包括 24 位宽 ADC 数据字，调制器输出字节，以及六个可写控制寄存器以编程增益、过采样率、相位、分辨率、抖动、关断、复位和一些通信功能。通信被大大简化，并、可以提供不同连续读模式，因此可使用 MCU 的 DMA 来读取，并提供单独的数据就绪引脚，其可直接连接到 MCU 的 IRQ 输入。

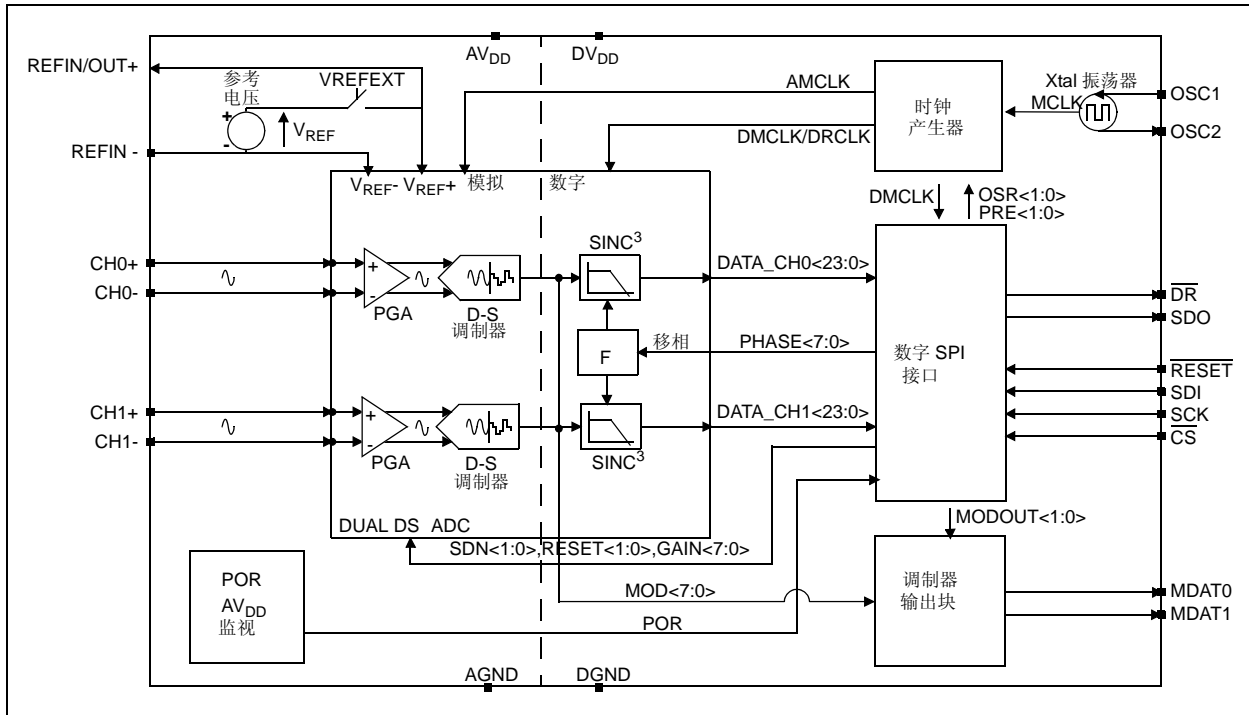
MCP3901 能够连接大量的不同类型电压和电流传感器，包括分流器、电流变压器、Rogowski 线圈和霍尔传感器。

封装类型



MCP3901

功能框图



1.0 电气特性

绝对最大额定值 †

V_{DD}	7.0V
数字输入和输出（相对于 A_{GND} ）	-0.6V 至 $V_{DD} + 0.6V$
模拟输入（相对于 A_{GND} ）	-6V 至 +6V
V_{REF} 输入（相对于 A_{GND} ）	-0.6V 至 $V_{DD} + 0.6V$
存储温度	-65°C 至 +150°C
加电时的环境温度	-65°C 至 +125°C
引脚的焊接温度（10 秒）	+300°C
模拟输入的 ESD 保护（HBM, MM）	7.0 kV, 400V
其他引脚的 ESD 保护（HBM, MM）	7.0 kV, 400V

† 注：如果器件运行条件超过上述各项绝对最大额定值，可能对器件造成永久性损坏。上述参数仅是允许条件的极大值，我们不建议使器件运行在超过或在技术规范以外的条件下运行。器件长时间工作在绝对最大额定值条件下，其稳定性可能受到影响。

电气特性

电气规范：除非另外说明，否则 $AV_{DD} = 4.5$ 至 $5.5V$ ， $DV_{DD} = 2.7$ 至 $5.5V$ ； $-40^{\circ}C < T_A < +85^{\circ}C$ ， $MCLK = 4$ MHz； $PRESCALE = 1$ ； $OSR = 64$ ； $GAIN = 1$ ；关闭抖动处理； $V_{IN} = -0.5$ dBFS = 353 mV_{RMS}（50/60 Hz 时）。

参数	符号	最小值	典型值	最大值	单位	条件
内部参考电压						
内部参考电压容差	V_{REF}	-2%	2.37	+2%	V	$V_{REFEXT} = 0$
温度系数	TC_{REF}	—	12	—	ppm/°C	$V_{REFEXT} = 0$
输出阻抗	$Z_{OUT_{REF}}$		7	—	kΩ	$AV_{DD}=5V$, $V_{REFEXT} = 0$
参考电压输入						
输入电容		—	—	10	pF	
差分输入电压范围 ($V_{REF+} - V_{REF-}$)	V_{REF}	2.2	—	2.6	V	$V_{REF} = (V_{REF+} - V_{REF-})$, $V_{REFEXT} = 1$
REFIN+ 引脚上的绝对电压	V_{REF+}	1.9	—	2.9	V	$V_{REFEXT} = 1$
REFIN- 引脚上的绝对电压	V_{REF-}	-0.3	—	0.3	V	
ADC 性能						
分辨率（无丢失码）		24	—	—	bits	$OSR = 256$ （见表 5-3）
采样频率	f_s	请参见表 4-2			kHz	$f_s = DMCLK = MCLK / (4 \times PRESCALE)$

注 1：此参数规范意味着 ADC 输出在整个差分范围内有效，并在整个输入范围内没有失真或不稳定。动态性能规范适用于低于最大信号范围 -0.5 dB， $V_{IN} = -0.5$ dBFS @ 50/60 Hz = 353 mV_{RMS}， $V_{REF} = 2.4V$ 。

2：参考术语部分的定义。

3：特性参数，未经 100% 测试。

4：对于这些工作电流，把下列位设置成：SHUTDOWN<1:0>=00，RESET<1:0>=00， $V_{REFEXT}=0$ ，CLKEXT=0。

5：对于这些工作电流，把下列配置位设置成：SHUTDOWN<1:0>=11， $V_{REFEXT}=1$ ，CLKEXT=1。

6：适用于所有增益。失调误差取决于 PGA 增益设置，关于典型值，请参见图 2-19。

7：超出此范围，未对 ADC 的精度进行规范。 $\pm 6V$ 的扩展输入电压范围的信号可连续施加到器件而不会导致器件损坏。

8：为保证正常工作以保持 ADC 精度，在 BOOST 位关闭时，AMCLK 应保持在 1 MHz 至 5 MHz 范围内；在 BOOST 位开启时，AMCLK 应保持在 1 MHz 至 8.192 MHz 范围内。

AMCLK = MCLK/PRESCALE。如果使用晶体振荡器，那么 CLKEXT 位应设置为 0。

MCP3901

电气特性 (续)

电气规范: 除非另外说明, 否则 $V_{DD} = 4.5$ 至 $5.5V$, $DV_{DD} = 2.7$ 至 $5.5V$; $-40^{\circ}C < T_A < +85^{\circ}C$, $MCLK = 4$ MHz; $PRESCALE = 1$; $OSR = 64$; $GAIN = 1$; 关闭抖动处理; $V_{IN} = -0.5$ dBFS = 353 mV_{RMS} (50/60 Hz 时)。

参数	符号	最小值	典型值	最大值	单位	条件
输出数据率	f_D	请参见表 4-2			ksps	$f_D = DRCLK = DMCLK / OSR = MCLK / (4 \times PRESCALE \times OSR)$
CH0+、CH0-、CH1+ 和 CH1- 引脚上模拟输入绝对电压	CHn+-	-1	—	+1	V	所有模拟输入通道, 请参见 AGND 进行测量。(注 7)
模拟输入泄露电流	A_{IN}	—	1	—	nA	(注 4)
差分输入电压范围	(CHn+- CHn-)	—	—	500/ GAIN	mV	(注 1)
失调误差 (注 2)	V_{OS}	-3	—	+3	mV	(注 6)
失调误差漂移		—	3	—	$\mu V/^{\circ}C$	$-40^{\circ}C$ 至 $+125^{\circ}C$
增益误差 (注 2)	GE		-0.4	—	%	G=1
		-2.5	—	+2.5	%	所有增益
增益误差漂移		—	1	—	ppm/ $^{\circ}C$	$-40^{\circ}C$ 至 $+125^{\circ}C$
积分非线性 (注 2)	INL		15	—	ppm	GAIN = 1, DITHER = ON
输入阻抗	Z_{IN}	350	—	—	k Ω	与 $1/AMCLK$ 成比例
信噪比和失真度 (注 2, 3)	SINAD	89	91	—	dB	OSR = 256, DITHER = ON
		78	79	—	dB	
总谐波失真 (注 2, 3)	THD	—	-104	-102	dB	OSR = 256, DITHER = ON
		—	-85	-84	dB	
信噪比 (注 2, 3)	SNR	89	91	—	dB	OSR = 256, DITHER = ON
		80	81	—	dB	
无杂散动态范围 (注 2)	SFDR	—	109	—	dB	OSR = 256, DITHER = ON
		—	87			
交调 (50 / 60 Hz) (注 2)	CTALK	—	-133	—	dB	OSR = 256, DITHER = ON

- 注 1: 此参数规范意味着 ADC 输出在整个差分范围内有效, 并在整个输入范围内没有失真或不稳定。动态性能规范适用于低于最大信号范围 -0.5 dB, $V_{IN} = -0.5$ dBFS @ 50/60 Hz = 353 mV_{RMS}, $V_{REF} = 2.4V$ 。
- 2: 参考术语部分的定义。
- 3: 特性参数, 未经 100% 测试。
- 4: 对于这些工作电流, 把下列位设置成: SHUTDOWN<1:0>=00, RESET<1:0>=00, VREFEXT=0, CLKEXT=0。
- 5: 对于这些工作电流, 把下列配置位设置成: SHUTDOWN<1:0>=11, VREFEXT=1, CLKEXT=1。
- 6: 适用于所有增益。失调误差取决于 PGA 增益设置, 关于典型值, 请参见图 2-19。
- 7: 超出此范围, 未对 ADC 的精度进行规范。±6V 的扩展输入电压范围的信号可连续施加到器件而不会导致器件损坏。
- 8: 为保证正常工作以保持 ADC 精度, 在 BOOST 位关断时, AMCLK 应保持在 1 MHz 至 5 MHz 范围内; 在 BOOST 位开启时, AMCLK 应保持在 1 MHz 至 8.192 MHz 范围内。
AMCLK = MCLK/PRESCALE。如果使用晶体振荡器, 那么 CLKEXT 位应设置为 0。

电气特性 (续)

电气规范: 除非另外说明, 否则 $AV_{DD} = 4.5$ 至 $5.5V$, $DV_{DD} = 2.7$ 至 $5.5V$; $-40^{\circ}C < T_A < +85^{\circ}C$, $MCLK = 4$ MHz; $PRESCALE = 1$; $OSR = 64$; $GAIN = 1$; 关闭抖动处理; $V_{IN} = -0.5$ dBFS = 353 mV _{RMS} (50/60 Hz 时)。						
参数	符号	最小值	典型值	最大值	单位	条件
交流电源抑制比	AC PSRR	—	-77	—	dB	AV_{DD} 和 $DV_{DD} = 5V + 1V_{PP}$ @ 50/60 Hz
直流电源抑制比	DC PSRR	—	-77	—	dB	AV_{DD} 和 $DV_{DD} = 4.5$ 至 $5.5V$
直流共模抑制比 (注 2)	CMRR		-72		dB	V_{CM} 从 $-1V$ 至 $+1V$ 变化
振荡器输入						
主时钟频率范围	MCLK	1	—	16.384	MHz	(注 8)
电源规范						
工作电压, 模拟	AV_{DD}	4.5	—	5.5	V	
工作电压, 数字	DV_{DD}	2.7	3.6	5.5	V	
工作电流, 模拟 (注 4)	AI_{DD}	—	2.1	2.8		BOOST<1:0> = 00
		—	3.8	5.6	mA	BOOST<1:0> = 11
工作电流, 数字	DI_{DD}	—	0.45	0.8	mA	$DV_{DD} = 5V$, MCLK = 4 MHz
		—	0.25	0.35	mA	$DV_{DD} = 2.7V$, MCLK = 4 MHz
		—	1.2	1.6	mA	$DV_{DD} = 5V$, MCLK = 8.192 MHz
关断电流, 模拟	$I_{DSS,A}$	—	—	1	μA	仅 AV_{DD} 引脚 (注 5)
关断电流, 数字	$I_{DSS,D}$	—	—	1	μA	仅 DV_{DD} 引脚 (注 5)

- 注 1: 此参数规范意味着 ADC 输出在整个差分范围内有效, 并在整个输入范围内没有失真或不稳定。动态性能规范适用于低于最大信号范围 -0.5 dB, $V_{IN} = -0.5$ dBFS @ 50/60 Hz = 353 mV_{RMS}, $V_{REF} = 2.4V$ 。
- 2: 参考术语部分的定义。
- 3: 特性参数, 未经 100% 测试。
- 4: 对于这些工作电流, 把下列位设置成: SHUTDOWN<1:0>=00, RESET<1:0>=00, VREFEXT=0, CLKEXT=0。
- 5: 对于这些工作电流, 把下列配置位设置成: SHUTDOWN<1:0>=11, VREFEXT=1, CLKEXT=1。
- 6: 适用于所有增益。失调误差取决于 PGA 增益设置, 关于典型值, 请参见图 2-19。
- 7: 超出此范围, 未对 ADC 的精度进行规范。±6V 的扩展输入电压范围的信号可连续施加到器件而不会导致器件损坏。
- 8: 为保证正常工作以保持 ADC 精度, 在 BOOST 位关断时, AMCLK 应保持在 1 MHz 至 5 MHz 范围内; 在 BOOST 位开启时, AMCLK 应保持在 1 MHz 至 8.192 MHz 范围内。
AMCLK = MCLK/PRESCALE。如果使用晶体振荡器, 那么 CLKEXT 位应设置为 0。

串行接口规范

电气规范: 除非另有说明, 否则所有参数适用于下列条件: $AV_{DD} = 4.5$ 至 $5.5V$, $DV_{DD} = 2.7$ 至 $5.5V$, $-40^{\circ}C < T_A < +85^{\circ}C$, $C_{LOAD} = 30$ pF。						
参数	符号	最小值	典型值	最大值	单位	条件
串行时钟频率	f_{SCK}	—	—	20	MHz	$4.5 \leq DV_{DD} \leq 5.5$
		—	—	10	MHz	$2.7 \leq DV_{DD} < 5.5$
CS 设置时间	t_{CSS}	25	—	—	ns	$4.5 \leq DV_{DD} \leq 5.5$
		50	—	—	ns	$2.7 \leq DV_{DD} < 5.5$

- 注 1: 此参数仅为周期性采样, 未经 100% 测试。

MCP3901

串行接口规范（续）

电气规范：除非另有说明，否则所有参数适用于下列条件：AV _{DD} = 4.5 至 5.5V，DV _{DD} = 2.7 至 5.5V，-40°C < T _A < +85°C，C _{LOAD} = 30 pF。						
参数	符号	最小值	典型值	最大值	单位	条件
CS 保持时间	t _{CSH}	50	—	—	ns	4.5 ≤ DV _{DD} ≤ 5.5
		100	—	—	ns	2.7 ≤ DV _{DD} < 5.5
CS 禁止时间	t _{CS\bar{D}}	50	—	—	ns	—
数据设置时间	t _{SU}	5	—	—	ns	4.5 ≤ DV _{DD} ≤ 5.5
		10	—	—	ns	2.7 ≤ DV _{DD} < 5.5
数据保持时间	t _{HD}	10	—	—	ns	4.5 ≤ DV _{DD} ≤ 5.5
		20	—	—	ns	2.7 ≤ DV _{DD} < 5.5
串行时钟高电平时间	t _{HI}	25	—	—	ns	4.5 ≤ DV _{DD} ≤ 5.5
		50	—	—	ns	2.7 ≤ DV _{DD} < 5.5
串行时钟低电平时间	t _{LO}	25	—	—	ns	4.5 ≤ DV _{DD} ≤ 5.5
		50	—	—	ns	2.7 ≤ DV _{DD} < 5.5
串行时钟延迟时间	t _{CLD}	50	—	—	ns	—
串行时钟使能时间	t _{CLE}	50	—	—	ns	—
从 SCK 低电平到输出有效	t _{DO}	—	—	50	ns	2.7 ≤ DV _{DD} < 5.5
从 AMCLK 高电平到调制器输出	t _{DOMDAT}	—	—	1/ 2*AMCLK	s	—
输出保持时间	t _{HO}	0	—	—	ns	(注 1)
输出禁止时间	t _{DIS}	—	—	25	ns	4.5 ≤ DV _{DD} ≤ 5.5
		—	—	50	ns	2.7 ≤ DV _{DD} < 5.5 (注 1)
复位脉冲宽度 (RESET)	t _{MCLR}	100	—	—	ns	2.7 ≤ DV _{DD} < 5.5
至 DR 的数据传输时间 (数据就绪)	t _{DODR}	—	—	50	ns	2.7 ≤ DV _{DD} < 5.5
数据就绪脉冲低电平时间	t _{DRP}	—	1/ DMCLK	—	μs	2.7 ≤ DV _{DD} < 5.5
施密特触发器高电平输入电压	V _{IH1}	.7DV _{DD}	—	DV _{DD} +1	V	
施密特触发器低电平输入电压	V _{IL1}	-0.3	—	0.2 DV _{DD}	V	
施密特触发器输入迟滞 (所有数字输入)	V _{HYS}	300	—		mV	
低电平输出电压, SDO 引脚	V _{OL}	—	—	0.4	V	仅 SDO 引脚, I _{OL} = +2.0 mA, V _{DD} = 5.0V
低电平输出电压, DR 和 MDAT 引脚	V _{OL}	—	—	0.4	V	仅 DR 和 MDAT 引脚, I _{OL} = +800 mA, V _{DD} =5.0V
高电平输出电压, SDO 引脚	V _{OH}	DV _{DD} - 0.5	—	—	V	仅 SDO 引脚, I _{OH} = -2.0 mA, V _{DD} = 5.0V
高电平输出电压, DR 和 MDAT 引脚	V _{OH}	DV _{DD} - 0.5	—	—	V	仅 DR 和 MDAT 引脚, I _{OH} = -800 μA, V _{DD} =5.0V
输入泄漏电流	I _{LI}	—	—	±1	μA	CS = DV _{DD} , V _{IN} = DGND 或 DV _{DD}
输出泄漏电流	I _{LO}	—	—	±1	μA	CS = DV _{DD} , V _{OUT} = DGND 或 DV _{DD}
内部电容 (所有输入和输出)	C _{INT}	—	—	7	pF	T _A = 25°C, SCK = 1.0 MHz, DV _{DD} = 5.0V (注 1)

注 1: 此参数仅为周期性采样，未经 100% 测试。

温度特性

电气规范：除非另外说明，否则所有参数的适用条件为 $AV_{DD} = 4.5$ 至 $5.5V$ ， $DV_{DD} = 2.7$ 至 $5.5V$ 。

参数	符号	最小值	典型值	最大值	单位	条件
温度范围						
工作温度范围	T_A	-40	—	+85	°C	(注 1)
存储温度范围	T_A	-65	—	+150	°C	
封装热阻						
热阻, 20 引脚 SSOP	θ_{JA}	—	89.3	—	°C/W	

注 1：内部结温 (T_J) 不得超过绝对最大规范值 $+150^\circ\text{C}$ 。

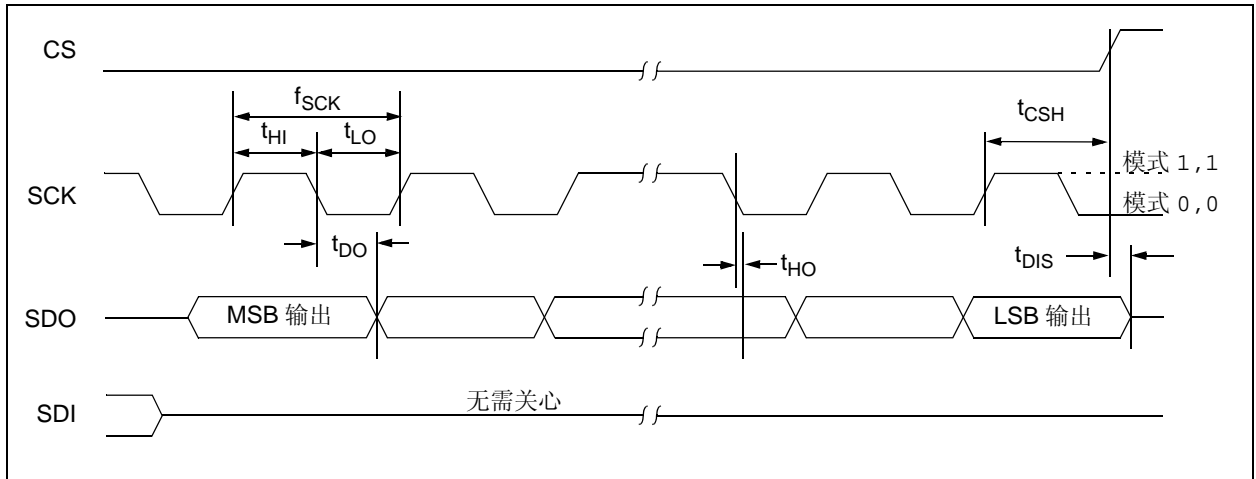


图 1-1: 串行输出时序图

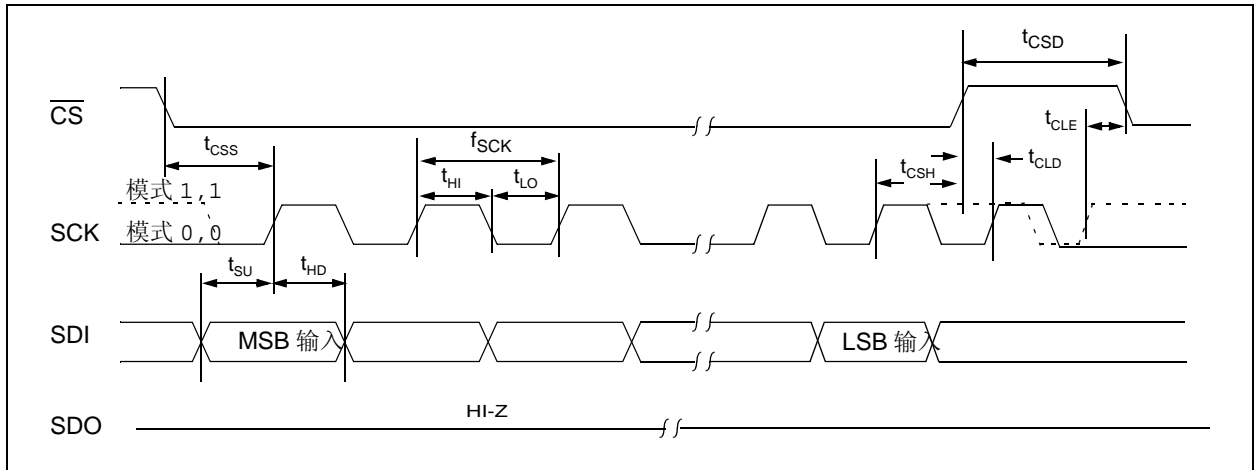


图 1-2: 串行输入时序图

MCP3901

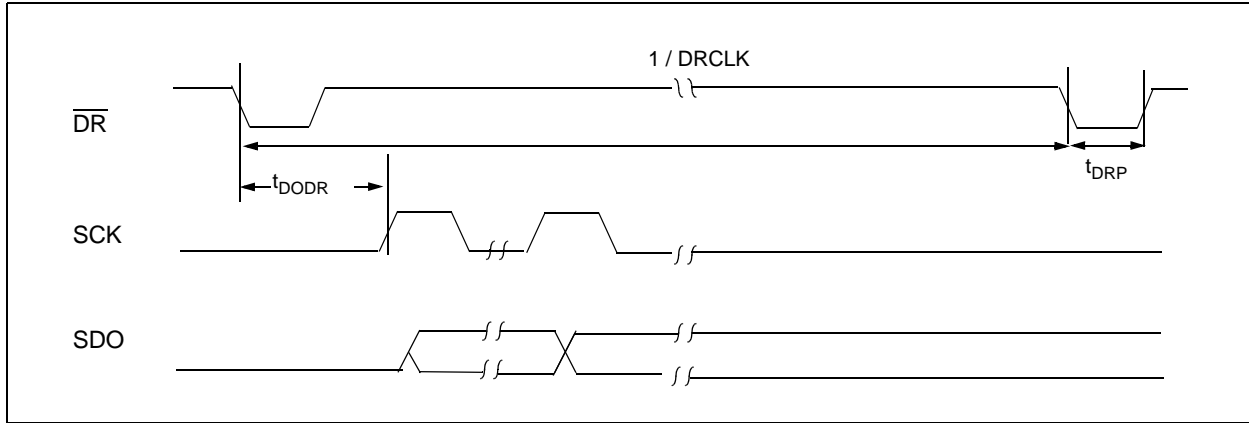


图 1-3: 数据就绪脉冲时序图

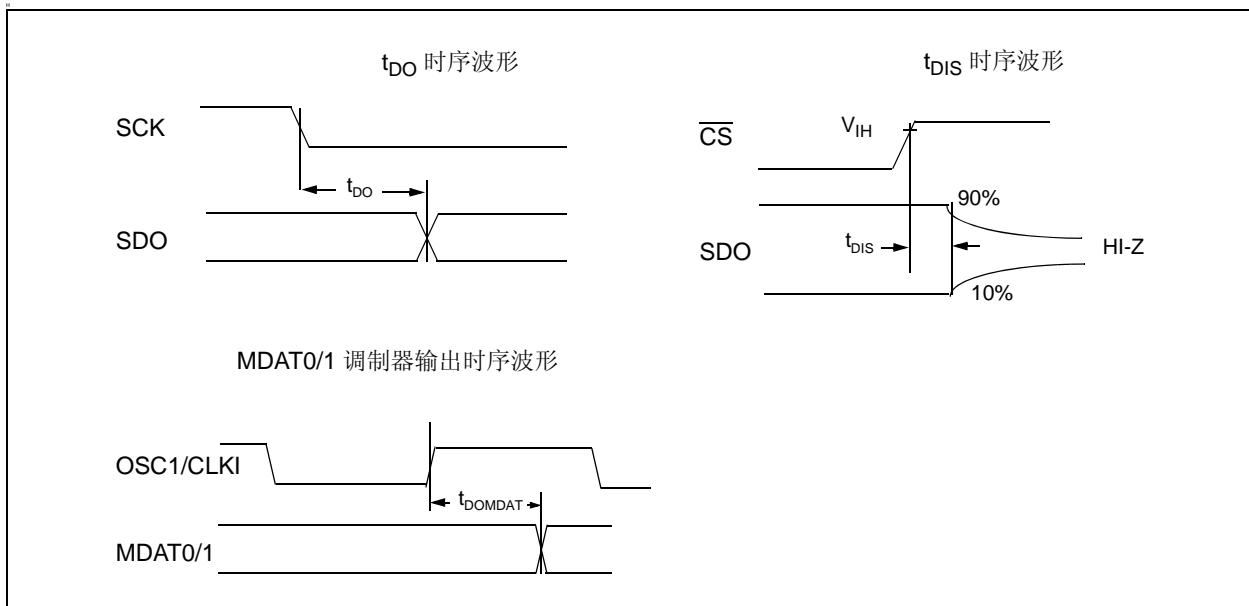


图 1-4: 特定参数时序图

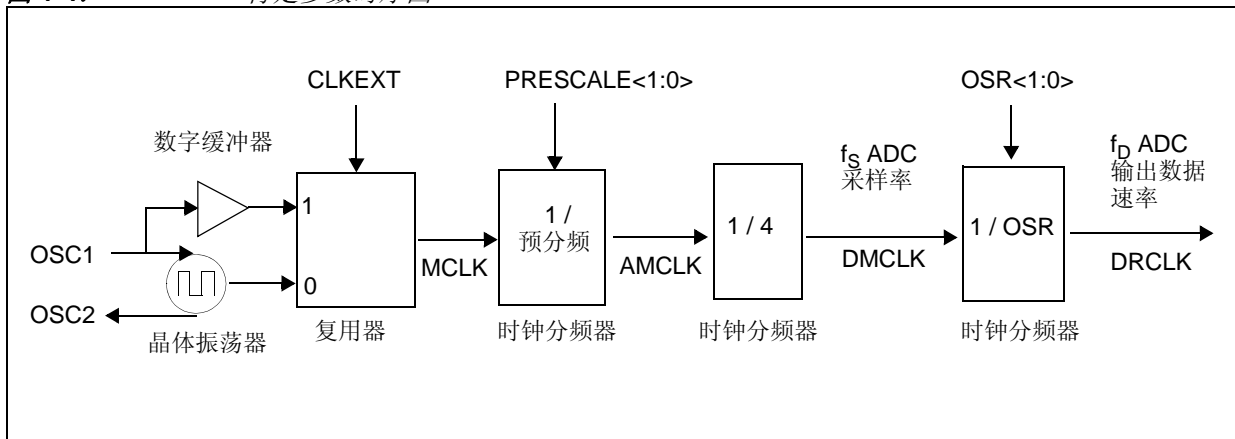


图 1-5: MCP3901 时钟结构

2.0 典型工作特性曲线

注： 以下图表为基于有限数量样本所作的统计，仅供参考。所列特性未经测试，我公司不作任何担保。在一些图表中，所列数据可能超出规定的工作范围（如：超出规定的电源电压范围），因而不在此担保范围内。

注： 除非另有说明，否则 $AV_{DD} = 5.0V$ ， $DV_{DD} = 5.0V$ ； $T_A = +25^\circ C$ ， $MCLK = 4 MHz$ ； $PRESCALE = 1$ ； $OSR = 64$ ； $GAIN = 1$ ；关闭抖动处理； $V_{IN} = -0.5dBFS @ 60 Hz$ 。

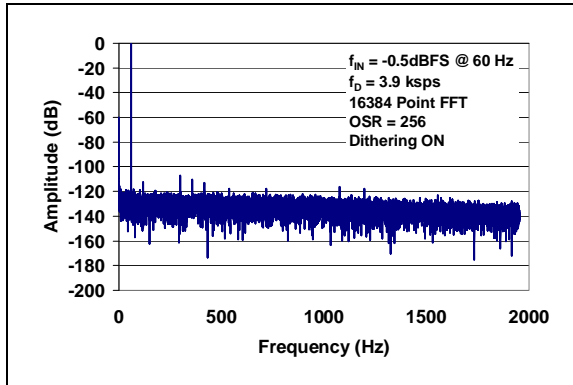


图 2-1: 频谱响应

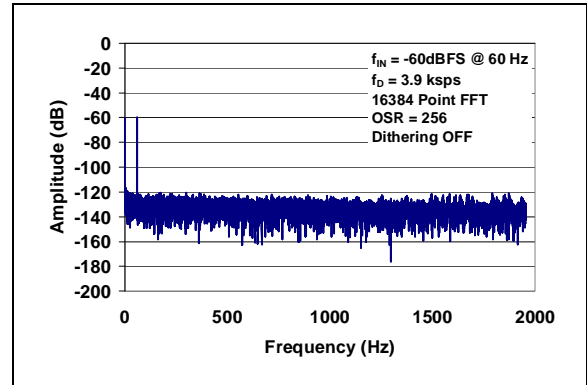


图 2-4: 频谱响应

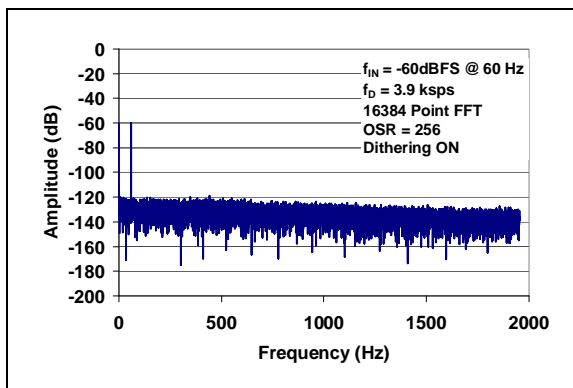


图 2-2: 频谱响应

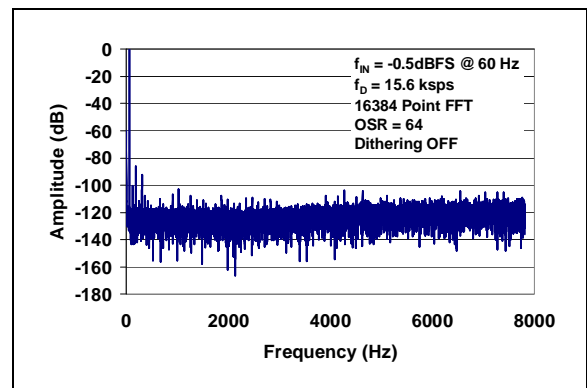


图 2-5: 频谱响应

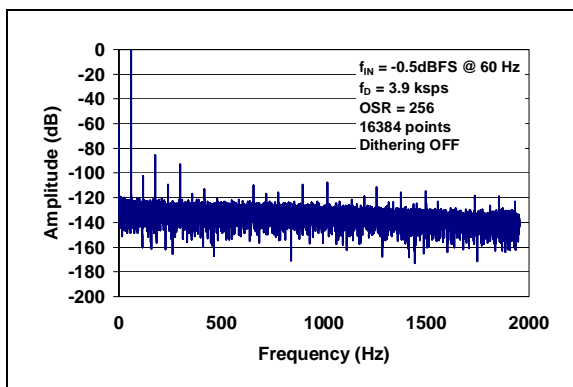


图 2-3: 频谱响应

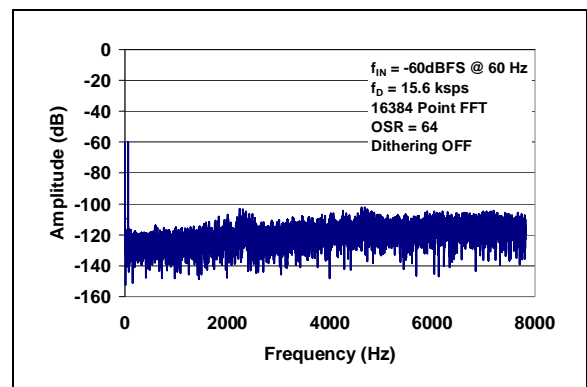


图 2-6: 频谱响应

MCP3901

注：除非另有说明，否则 $AV_{DD} = 5.0V$, $DV_{DD} = 5.0V$; $T_A = +25^\circ C$, $MCLK = 4 MHz$; $PRESCALE = 1$; $OSR = 64$; $GAIN = 1$; 关闭抖动处理; $V_{IN} = -0.5dBFS @ 60 Hz$ 。

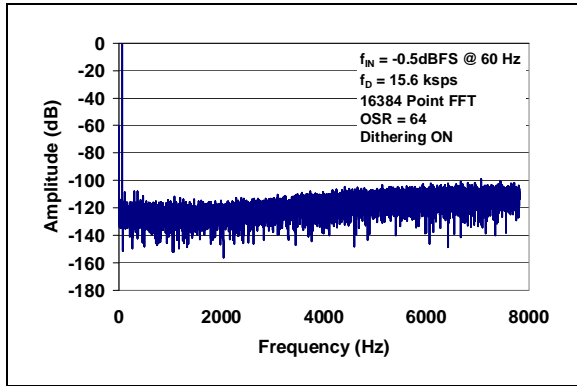


图 2-7: 频谱响应

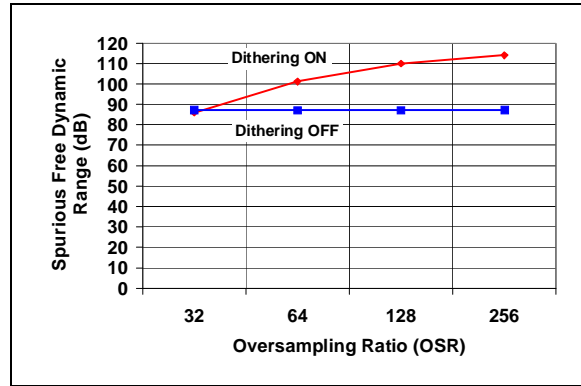


图 2-10: 杂散动态范围—过采样率曲线

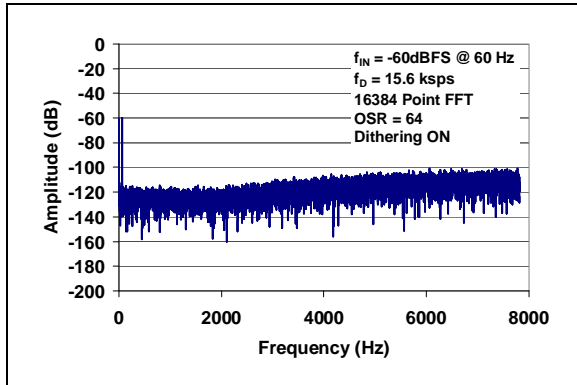


图 2-8: 频谱响应

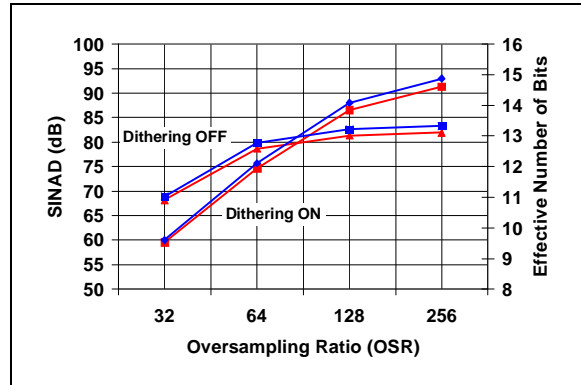


图 2-11: 信噪比和失真度及有效位数—过采样率曲线

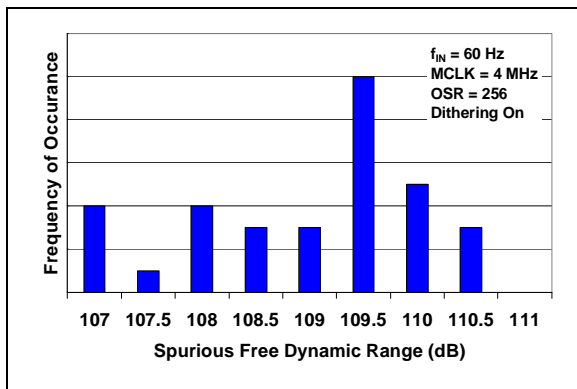


图 2-9: 杂散动态范围柱状图

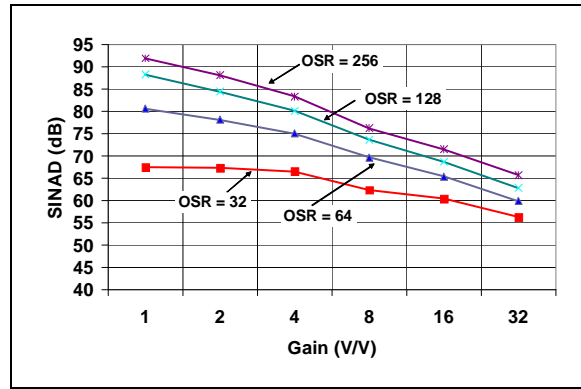


图 2-12: 信噪比和失真度—增益曲线

注：除非另有说明，否则 $AV_{DD} = 5.0V$ ， $DV_{DD} = 5.0V$ ； $T_A = +25^\circ C$ ， $MCLK = 4 MHz$ ； $PRESCALE = 1$ ； $OSR = 64$ ； $GAIN = 1$ ；关闭抖动处理； $V_{IN} = -0.5dBFS @ 60 Hz$ 。

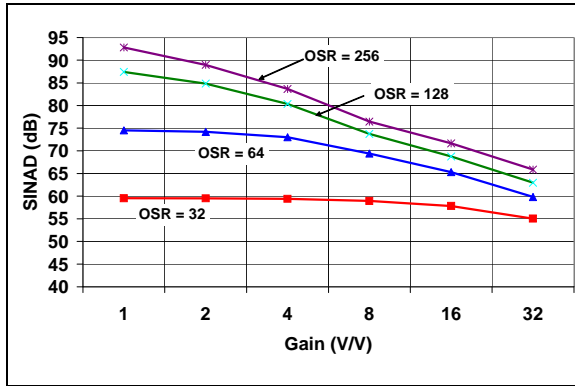


图 2-13: 信噪比和失真度 — 增益曲线 (抖动处理开启)

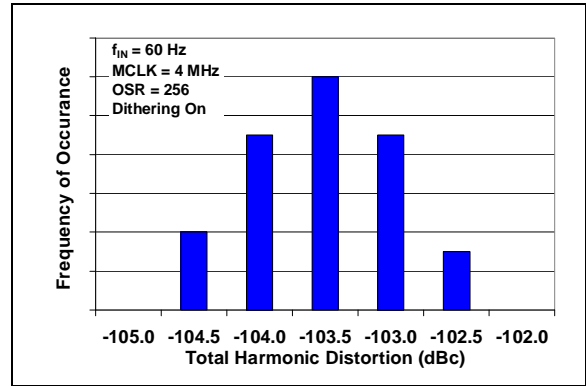


图 2-16: 总谐波失真柱状图 (抖动处理开启)

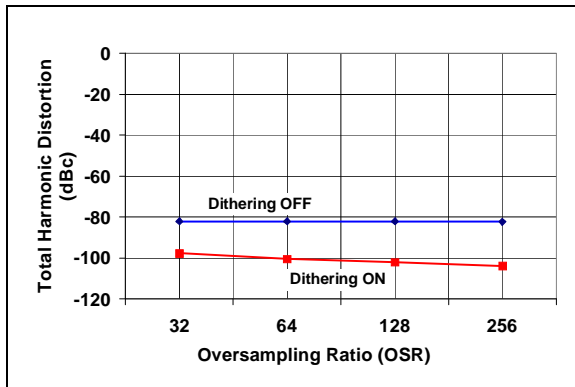


图 2-14: 总谐波失真 — 过采样率曲线

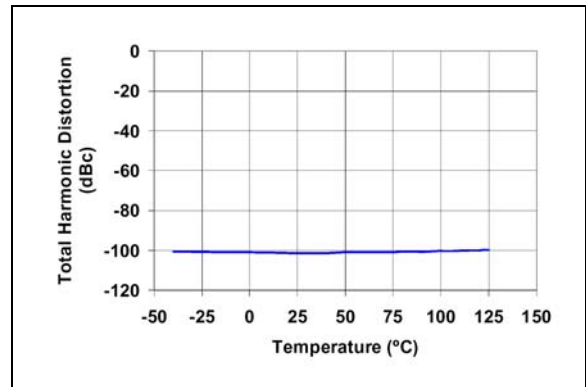


图 2-17: 总谐波失真 — 温度曲线

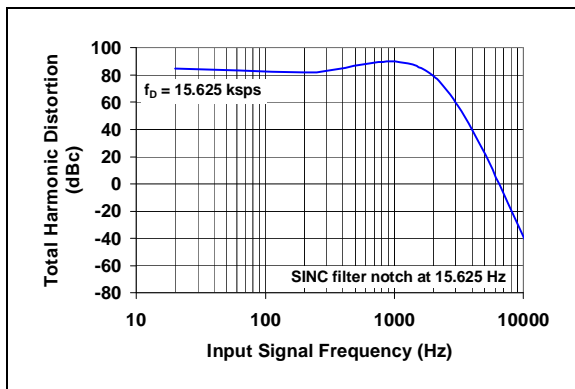


图 2-15: 总谐波失真 — 输入信号频率曲线

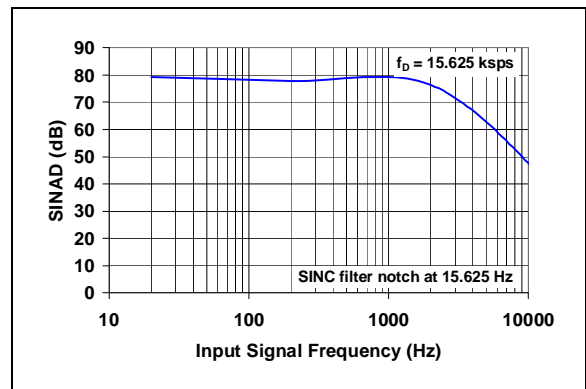


图 2-18: 信噪比和失真度 — 输入信号频率曲线

MCP3901

注：除非另有说明，否则 $AV_{DD} = 5.0V$ ， $DV_{DD} = 5.0V$ ； $T_A = +25^\circ C$ ， $MCLK = 4\text{ MHz}$ ； $PRESCALE = 1$ ； $OSR = 64$ ； $GAIN = 1$ ；抖动处理关闭； $V_{IN} = -0.5\text{dBFS}$ @ 60 Hz。

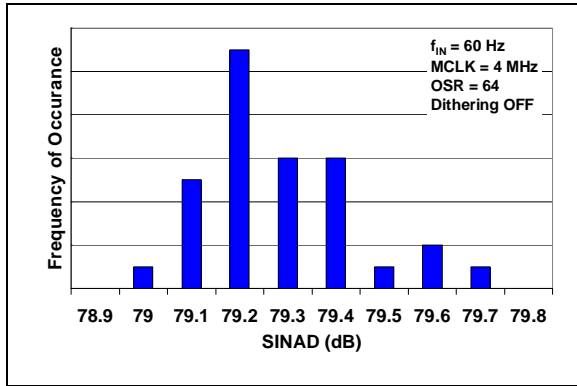


图 2-19: 信噪比和失真度柱状图

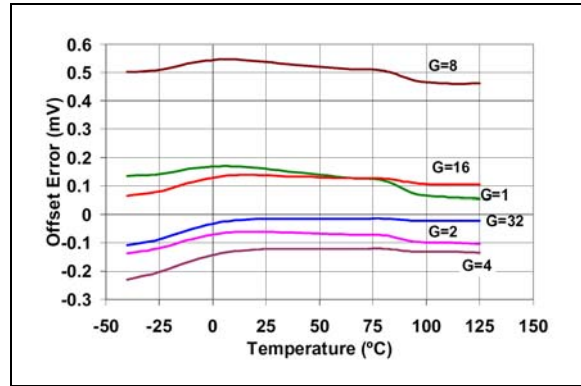


图 2-22: 通道 0 失调—温度曲线

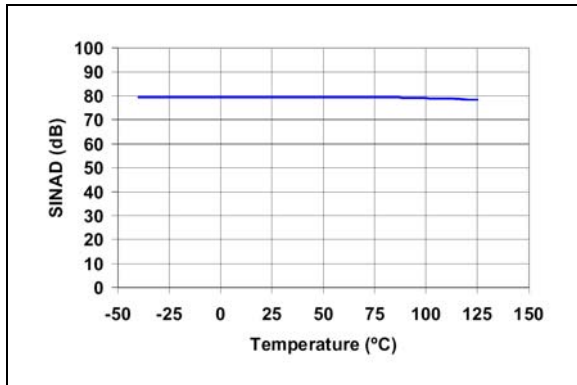


图 2-20: 信噪比和失真度—温度曲线

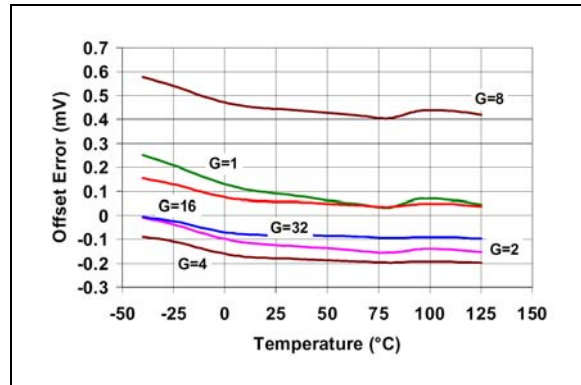


图 2-23: 通道 1 失调—温度曲线

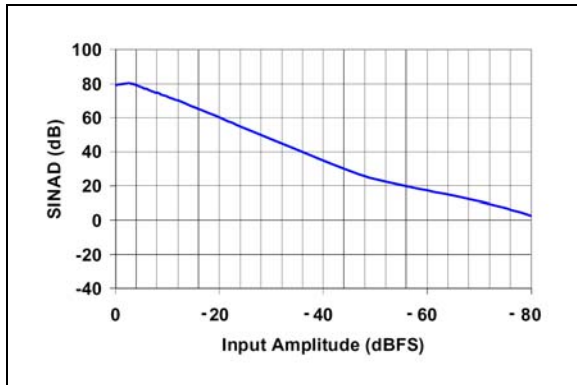


图 2-21: 信噪比和失真度—输入信号幅度曲线

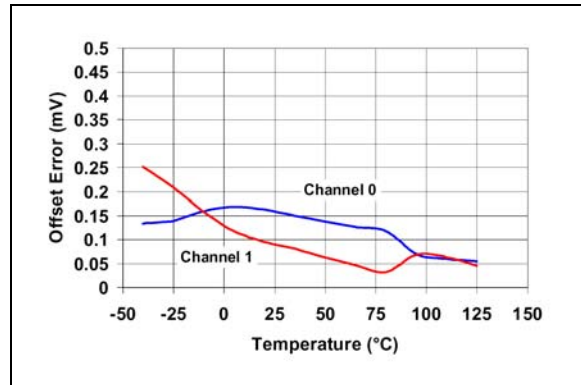


图 2-24: 通道到通道失调匹配—温度曲线

注：除非另有说明，否则 $AV_{DD} = 5.0V$ ， $DV_{DD} = 5.0V$ ； $T_A = +25^\circ C$ ， $MCLK = 4\text{ MHz}$ ； $PRESCALE = 1$ ； $OSR = 64$ ； $GAIN = 1$ ；抖动处理关闭； $V_{IN} = -0.5\text{dBFS}$ @ 60 Hz 。

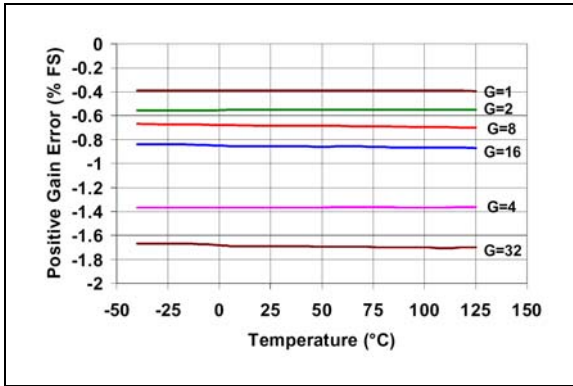


图 2-25: 正增益误差—温度曲线

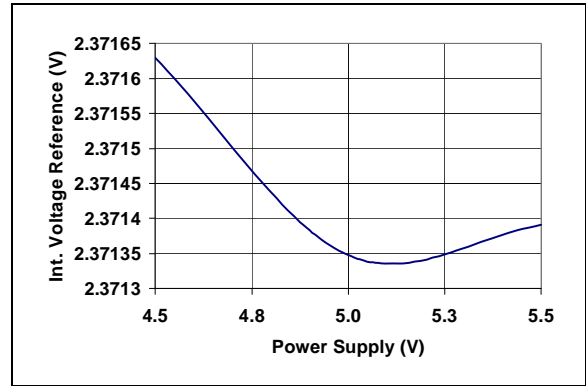


图 2-28: 内部参考电压—电源电压曲线

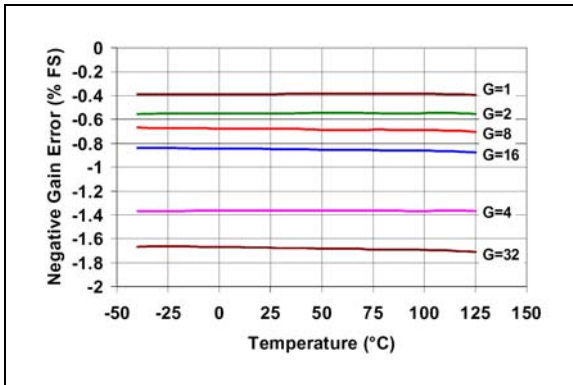


图 2-26: 负增益误差—温度曲线

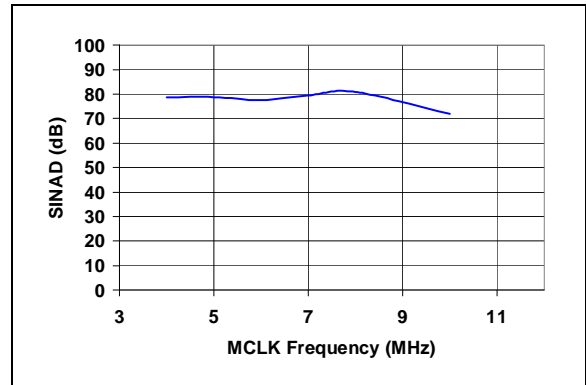


图 2-29: 信噪比和失真度—主时钟 (MCLK) 曲线 (BOOST 开启)

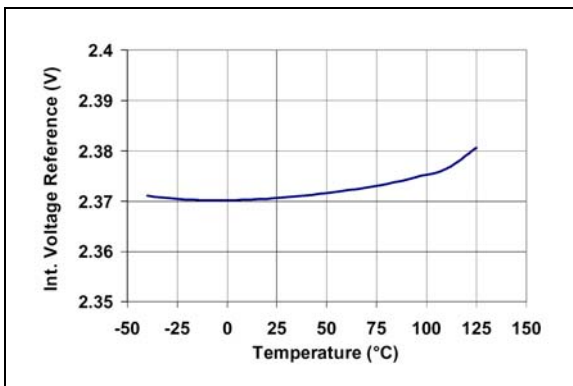


图 2-27: 内部参考电压—温度曲线

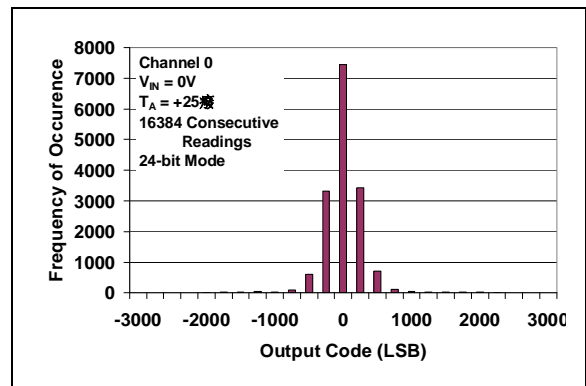


图 2-30: 噪声柱状图

MCP3901

注：除非另有说明，否则 $AV_{DD} = 5.0V$ ， $DV_{DD} = 5.0V$ ； $T_A = +25^\circ C$ ， $MCLK = 4\text{ MHz}$ ； $PRESCALE = 1$ ； $OSR = 64$ ； $GAIN = 1$ ；抖动处理关闭； $V_{IN} = -0.5\text{dBFS @ } 60\text{ Hz}$ 。

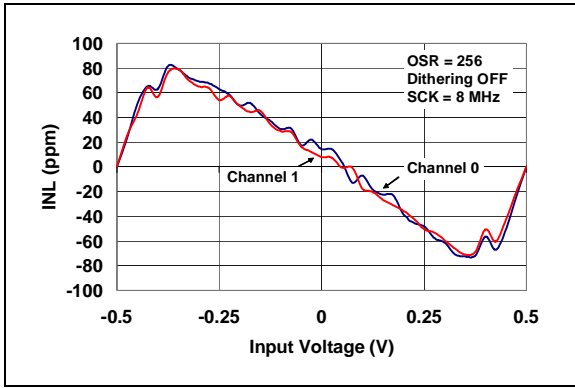


图 2-31: 积分非线性 (抖动处理关闭)

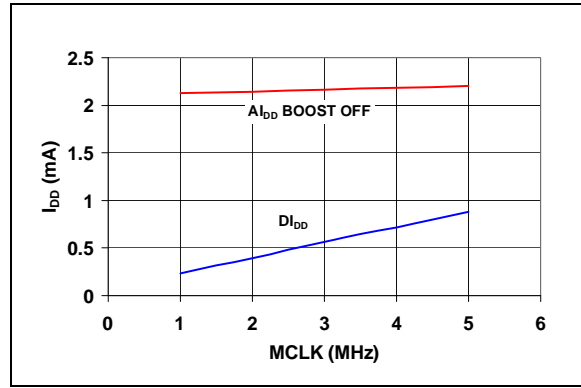


图 2-33: 工作电流 — 主时钟 (MCLK) 曲线

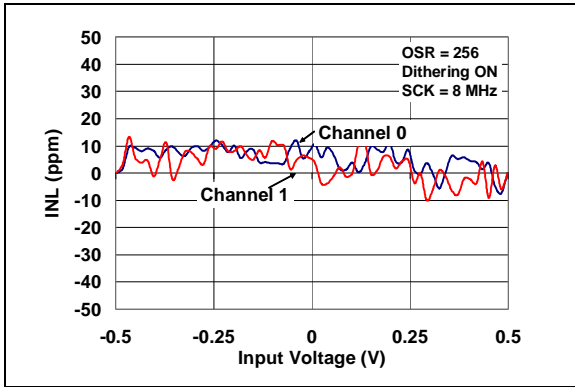


图 2-32: 积分非线性 (抖动处理开启)

3.0 引脚说明

表 3-1 列出了器件的引脚功能。

表 3-1: 引脚功能表

引脚编号 SSOP	符号	功能
1	$\overline{\text{RESET}}$	主复位逻辑输入引脚
2	DV_{DD}	数字电源引脚
3	AV_{DD}	模拟电源引脚
4	CH0+	通道 0 的同相模拟输入引脚
5	CH0-	通道 0 的反相模拟输入引脚
6	CH1-	通道 1 的反相模拟输入引脚
7	CH1+	通道 1 的同相模拟输入引脚
8	A_{GND}	模拟地引脚，内部模拟电路的返回路径
9	$\text{REFIN+}/\text{OUT}$	参考电压同相输入和内部参考电压输出引脚
10	REFIN-	参考电压反相输入引脚
11	D_{GND}	数字地引脚，内部数字电路的返回路径
12	MDAT1	通道 1 调制器数据输出引脚
13	MDAT0	通道 0 调制器数据输出引脚
14	$\overline{\text{DR}}$	数据就绪信号输出引脚
15	$\text{OSC1}/\text{CLKI}$	晶振连接引脚或外部时钟输入引脚
16	OSC2	晶振连接引脚
17	$\overline{\text{CS}}$	串行接口片选引脚
18	SCK	串行接口时钟引脚
19	SDO	串行接口数据输出引脚
20	SDI	串行接口数据输入引脚

3.1 $\overline{\text{RESET}}$

此引脚为低电平有效，当有效时将使整个芯片处于复位状态。

当 $\overline{\text{RESET}}=0$ 时，所有的寄存器复位到其默认值，不进行任何通信，同时器件内部无时钟分配。此状态等效于 POR 状态。

由于 ADC 的默认状态为开启，因此 $\overline{\text{RESET}}=0$ 时模拟功耗等效于 $\overline{\text{RESET}}=1$ 时的模拟功耗。仅数字电路的功耗大大减小，因为数字电路消耗的电流主要是动态的，当没有时钟运行时，此电流将显著地减少。

在复位时，所有模拟电路的偏置仍被使能，因此当在 $\overline{\text{RESET}}$ 施加上上升沿之后，器件就可以正常工作。

此引脚为施密特触发输入。

3.2 数字 V_{DD} (DV_{DD})

DV_{DD} 是 MCP3901 内部数字电路的电源引脚。此引脚需连接适当的旁路电容，并应保持在 2.7V 至 5.5V 以保证器件能正常工作。

3.3 模拟 V_{DD} (AV_{DD})

AV_{DD} 是 MCP3901 内部模拟电路的电源引脚。此引脚需连接适当的旁路电容，并应保持在 $5\text{V} \pm 10\%$ 以保证器件能正常工作。

3.4 ADC 差分模拟输入 (CHn+/CHn-)

CH0- 和 CH0+, 以及 CH1- 和 CH1+ 为 $\Delta\Sigma$ ADC 的两个完全差分模拟电压输入通道。

此通道的线性和工作区取决于 PGA 增益。此区域对应的差分电压范围为 $\pm 500 \text{ mV/GAIN}$ ($V_{\text{REF}}=2.4\text{V}$)。

每个 CHn+/- 输入引脚相对于 AGND 的最大绝对电压为 +/-1V (无失真) 和 $\pm 6\text{V}$ (无击穿) 的连续电压)。

3.5 模拟地 (AGND)

AGND 为内部模拟电路 (ADC、PGA、参考电压和 POR) 的地连接。为确保精度和消除噪声, 该引脚必须连接到与 DGND 相同的地引脚, 建议以星形连接的方式连接。如果电路中有模拟地平面, 那么建议将此引脚连接到 PCB 的模拟地平面。此地平面也是系统中其他模拟电路的参考地。

3.6 参考电压同相输入, 内部参考电压输出 (REFIN+/OUT)

此引脚为两个 ADC 的差分参考电压同相输入端或内部参考电压输出。

当 $V_{\text{REFEXT}}=1$ 时, 可使用外边参考电压源, 内部参考电压被禁止。当使用外部差分参考电压, 它应连接到 $V_{\text{REF+}}$ 引脚。当使用外部单端参考电压源, 则连接到此引脚。

当 $V_{\text{REFEXT}}=0$ 时, 内部参考电压被使能, 并通过一个开关连接到此引脚。此参考电压具有很小的驱动能力, 因此如果将它用在电压源, 那么需要考虑正确的缓冲和连接合适的旁路电容 (10 μF 的钽电容与 0.1 μF 的陶瓷电容并联)。

为达到最优性能, 即使使用内部参考电压时, 仍需在此引脚与 AGND 间一直连接旁路电容。然而, 这些电容并不是保证正常工作所必需的。

3.7 参考电压反相输入 (REFIN-)

此引脚为两个 ADC 的差分参考电压反相输入端。当使用外部差分参考电压时, 它应连接到 $V_{\text{REF-}}$ 引脚。当使用外部单端参考电压, 或当 $V_{\text{REFEXT}}=0$ (默认值) 以及使用内部参考电压时, 此引脚应直接连接到 AGND。

3.8 数字地连接 (DGND)

DGND 为内部数字电路 (SINC 滤波器、振荡器和串行接口) 的地连接。为确保精度和消除噪声, 该引脚必须连接到与 DGND 相同的地引脚, 建议以星形连接的方式连接。如果电路中有数字地平面, 那么建议将此引脚连接到 PCB (Printed Circuit Board, PCB) 的数字地平面。此地平面也是系统中其他数字电路的参考地。

3.9 通道 1 和通道 0 调制器数据输出引脚 (MDAT1/MDAT0)

MDAT0 和 MDAT1 分别为 ADC 通道 0 和通道 1 调制器串行数据流的输出引脚。这些引脚的默认状态为高阻抗。当 $\text{MODOUT}<1:0>$ 使能, 调整器位流的相应通道将出现在这些引脚上, 并以 AMCLK 频率进行更新 (关于调整器输出的完整介绍, 见第 5.4 节 “调制器输出功能块”)。当需要使用指定的数字滤波器时, 这些引脚可直接连接到 MCU 或 DSP。

3.10 $\overline{\text{DR}}$ (数据就绪引脚)

数据就绪引脚指示新的转换结果是否已就绪可以读取。当 $\text{DR_HIZN}=1$ 时, 此引脚的默认状态为高电平; 而 $\text{DR_HIZN}=0$ (默认值) 时, 此引脚的状态为高阻抗状态。在完成每次转换时, 将在数据就绪引脚输出一个可作为中断的低电平脉冲, 以指示转换结果已就绪。此脉冲与主时钟同步, 并具有已定义的恒定脉冲宽度。

数据就绪引脚独立于 SPI 接口, 因此可以作为中断输出。数据就绪引脚的状态未锁存, 其脉冲宽度 (及周期) 由 MCLK 频率、过采样率和内部时钟预分频设置确定。DR 脉冲宽度等于一个 DMCLK 周期, 其脉冲频率等于 DRCLK (见图 1-3)。

注: 当 DR_HIZN 位为低电平时, 此引脚不能悬空, 建议将一个 1 k Ω 的上拉电阻连接到 D_{VDD} 。

3.11 晶振和主时钟输入引脚 (OSC1/CLKI, OSC2)

OSC1/CLKI和OSC2为器件提供主时钟。当CLKEXT=0 (默认值) 时, 为确保器件正常工作, 必须在这些引脚间连接石英晶体振荡器或具有类似正弦波的时钟源。规定的典型时钟频率为 4 MHz。然而, 在不影响 ADC 精度时, 时钟频率可以在 1 MHz 至 5 MHz 范围内。如果使能电流提升电路, 那么主时钟可以高达 8.192 MHz 而不会影响 ADC 的精度。需在这些引脚连接合适的负载电容以确保器件正常工作。

注: 当 CLKEXT=1 时, 晶体振荡器以及 OSC2 输入被禁止。OSC1 变成了主时钟输入 CLKI, 直接连接到了外部时钟源, 例如由 MCU 产生的时钟源)。

3.12 \overline{CS} (片选)

此引脚为 SPI 片选, 用来使能串行通信。当此引脚为高电平时, 不进行任何通信。片选的下沿沿初始化串行通信, 而片选的上沿沿终止通信。当 \overline{CS} 为低电平和 RESET 为低电平时, 不进行任何通信。

此引脚为施密特触发输入。

3.13 SCK (串行数据时钟)

此引脚为 SPI 通信的串行时钟引脚。

在 SCK 的上升沿数据按时钟节拍输入到器件。在 SCK 的下降沿数据按时钟节拍从器件输出。

MCP3901接口与SPI0,0和SPI1,1模式兼容。SPI的模式仅在复位时可更改。

当 $DV_{DD}>4.5V$ 时, 最高时钟速率规定为 20 MHz, 其他条件下, 最高时钟速率规定为 10 MHz。

此引脚为施密特触发输入。

3.14 SDO (串行数据输出)

此引脚为 SPI 数据输出引脚。数据在 SCK 的下降沿按时钟节拍从器件输出。

此引脚在第一个命令字节时保持高阻抗状态。对于写命令以及 \overline{CS} 引脚为高电平或 RESET 引脚为低电平时, 此引脚在整个通信过程中保持高阻抗。此引脚仅在执行读命令时有效。每个读命令以 8 位数据包的形式执行。

3.15 SDI (串行数据输入)

此引脚为 SPI 数据输入引脚。数据在 SCK 的上升沿按时钟节拍输入到器件。

当 \overline{CS} 为低电平, 此引脚以一系列 8 位命令的方式进行通信。

接口为半双工 (不能同时进行输入和输出)。

每次通信以片选的下沿开始, 后跟 8 位命令字。每个命令为读命令或写命令。在读命令时翻转 SDI 将不起作用。

此引脚为施密特触发输入。

MCP3901

注:

4.0 术语和公式

本章节定义了本数据手册中使用的术语和公式。这些术语的定义如下：

MCLK— 主时钟

AMCLK— 模拟主时钟

DMCLK— 数字主时钟

DRCLK— 数据速率时钟

OSR— 过采样率

失调误差

增益误差

积分非线性误差

信噪比 (SNR)

信噪比和失真度 (SINAD)

总谐波失真 (THD)

杂散动态范围 (SFDR)

MCP3901 $\Delta\Sigma$ 结构

闲音

抖动处理

交调

PSRR

CMRR

ADC 复位模式

硬件复位模式 (**RESET = 0**)

ADC 关断模式

完全关断模式

4.1 MCLK— 主时钟

这是器件中最快的时钟。当 **CLKEXT=0** 时，此时钟为 **OSC1/OSC2** 输入引脚的晶体频率；或当 **CLKEXT=1** 时，此时钟为 **OSC1/CLKI** 的时钟输入。请参见图 1-5。

4.2 AMCLK— 模拟主时钟

这是通过 **CONFIG1 PRESCALE<1:0>** 寄存器位的预分频产生后，器件模拟部分的时钟频率。模拟部分包括 **PGA** 和两个 $\Delta\Sigma$ 调制器。

公式 4-1:

$$AMCLK = \frac{MCLK}{PRESCALE}$$

表 4-1: **MCP3901** 过采样率设置

配置		模拟主时钟 预分频
PRE<1:0>		
0	0	AMCLK = MCLK/1 (默认值)
0	1	AMCLK = MCLK/2
1	0	AMCLK = MCLK/4
1	1	AMCLK = MCLK/8

4.3 DMCLK— 数字主时钟

这是经过预分频并除以 4 后，器件数字部分的时钟频率。这也是采样频率，即调制器输出更新的速率。此时钟的每个周期对应于一个采样和一个调制器输出。请参见图 1-5。

公式 4-2:

$$DMCLK = \frac{AMCLK}{4} = \frac{MCLK}{4 \times PRESCALE}$$

4.4 DRCLK— 数据速率时钟

数据输出速率，即 **ADC** 输出新数据的速率。通过在 \overline{DR} 引脚输出数据就绪脉冲来指示每个新数据。

数据速率取决于 **OSR** 和预分频值，由下列公式定义：

公式 4-3:

$$DRCLK = \frac{DMCLK}{OSR} = \frac{AMCLK}{4 \times OSR} = \frac{MCLK}{4 \times OSR \times PRESCALE}$$

MCP3901

由于这是输出数据速率，同时抽样滤波器为 SINC（或陷波）滤波器，因此每个积分器与此速率相乘时会在滤波器的传输函数中产生陷波。

下表介绍了不同 OSR 和 PRESCALE 的组合以及相应的 AMCLK、DMCLK 和 DRCLK 速率。

表 4-2: 器件数据速率与 MCLK、OSR 和 PRESCALE 的函数关系

PRE <1:0>		OSR<1:0>		OSR	AMCLK	DMCLK	DRCLK	DRCLK (ksps)	SINAD (dB)	ENOB (bits)
1	1	1	1	256	MCLK/8	MCLK/32	MCLK/8192	0.4882	91.4	14.89
1	1	1	0	128	MCLK/8	MCLK/32	MCLK/4096	0.976	86.6	14.10
1	1	0	1	64	MCLK/8	MCLK/32	MCLK/2048	1.95	78.7	12.78
1	1	0	0	32	MCLK/8	MCLK/32	MCLK/1024	3.9	68.2	11.04
1	0	1	1	256	MCLK/4	MCLK/16	MCLK/4096	0.976	91.4	14.89
1	0	1	0	128	MCLK/4	MCLK/16	MCLK/2048	1.95	86.6	14.10
1	0	0	1	64	MCLK/4	MCLK/16	MCLK/1024	3.9	78.7	12.78
1	0	0	0	32	MCLK/4	MCLK/16	MCLK/512	7.8125	68.2	11.04
0	1	1	1	256	MCLK/2	MCLK/8	MCLK/2048	1.95	91.4	14.89
0	1	1	0	128	MCLK/2	MCLK/8	MCLK/1024	3.9	86.6	14.10
0	1	0	1	64	MCLK/2	MCLK/8	MCLK/512	7.8125	78.7	12.78
0	1	0	0	32	MCLK/2	MCLK/8	MCLK/256	15.625	68.2	11.04
0	0	1	1	256	MCLK	MCLK/4	MCLK/1024	3.9	91.4	14.89
0	0	1	0	128	MCLK	MCLK/4	MCLK/512	7.8125	86.6	14.10
0	0	0	1	64	MCLK	MCLK/4	MCLK/256	15.625	78.7	12.78
0	0	0	0	32	MCLK	MCLK/4	MCLK/128	31.25	68.2	11.04

注：对于 OSR = 32 和 64，DITHER = 0。对于 OSR = 128 和 256，DITHER = 1。

4.5 OSR—过采样率

采样频率与数据输出速率的比率。OSR=DMCLK/DRCLK。OSR 默认为 64，或 MCLK = 4 MHz，PRESCALE = 1，AMCLK = 4 MHz， $f_S = 1$ MHz， $f_D = 15.625$ ksp/s。CONFIG1 寄存器中的下列位用于更改过采样率（OSR）：

表 4-3: MCP3901 过采样率设置

CONFIG		过采样率 OSR
OSR<1:0>		
0	0	32
0	1	64（默认值）
1	0	128
1	1	256

4.6 失调误差

当输入短路（VIN=0V）时 ADC 引入的误差。此规范主要由 PGA 和 ADC 的失调组成。此误差随 PGA 和 OSR 的设置而变化。每个通道的失调误差不同，同时随芯片的不同而变化。此失调误差可使用 MCU 对数据进行相减而很容易地校正。此失调规定的测量单位为 mV。

MCP3901 的失调误差具有很低的温度系数，请参见第 2.0 节“典型工作特性曲线”。

4.7 增益误差

由于 ADC 传递函数的斜率而导致的误差。这是与公式 5-3 定义的理想传输函数相比得到的偏差，以百分比（%）表示。此规范主要由 PGA 和 ADC 的增益误差引起，不包括 V_{REF} 引起的误差（此参数测量时采用外部 V_{REF}）。此误差随 PGA 和 OSR 的设置而变化。

MCP3901 的增益误差具有很低的温度系数，更多信息，请参见典型性能曲线图 2-24 和图 2-25。

4.8 积分非线性误差

积分非线性误差为移除失调误差和增益误差后，或使其终点等于零时 ADC 转换点与其理想传递函数对应的转换点间的最大偏差。

对于直流输入信号，积分非线性误差为校正失调误差和增益误差后仍然保留的最大误差。

4.9 信噪比 (SNR)

对于 MCP3901 ADC，信噪比等于在给定频率的正弦波信号输入时，输出基频信号的功率与噪声功率（不包括信号的谐波）的比值。其单位为 dB。通常仅标出最大的信噪比。SNR 数值主要取决于器件的 OSR 和 DITHER 设置。

公式 4-4: 信噪比

$$SNR(dB) = 10\log\left(\frac{SignalPower}{NoisePower}\right)$$

4.10 信噪比和失真度 (SINAD)

评估 MCP3901 中 ADC 模拟性能的最重要参数为信噪比和失真度 (SINAD)。

信噪比和失真度的比率与信噪比类似，区别在于噪声功率计算时需要包括谐波的功率。SINAD 规范主要取决于 OSR 和 DITHER 设置。

公式 4-5: SINAD 公式

$$SINAD(dB) = 10\log\left(\frac{SignalPower}{Noise + HarmonicsPower}\right)$$

通过以下公式，结合 SNR 和 THD 的计算，可得到 SINAD:

公式 4-6: SINAD、THD 和 SNR 的相互关系

$$SINAD(dB) = 10\log\left[10^{\left(\frac{SNR}{10}\right)} + 10^{\left(\frac{-THD}{10}\right)}\right]$$

4.11 总谐波失真 (THD)

总谐波失真为给定正弦波输入时输出谐波功率与基频信号功率的比值，其定义如以下公式所示:

公式 4-7:

$$THD(dB) = 10\log\left(\frac{HarmonicsPower}{FundamentalPower}\right)$$

MCP3901 规范中 THD 计算主要包括前 35 次谐波。THD 通常只测量前 10 次谐波。有时 THD 也采用百分比 (%) 表示。以下公式可将 THD 转化成百分比 (%):

公式 4-8:

$$THD(\%) = 100 \times 10^{\frac{THD(dB)}{20}}$$

此参数规范主要取决于 DITHER 设置。

4.12 杂散动态范围 (SFDR)

杂散动态范围指基频输出功率与频谱中最大毛刺功率的比值。毛刺频率不一定是基频的谐波，尽管通常是指基频的谐波。在采用满量程信号作为输入信号时，此数值表示了 ADC 的动态范围。此参数规范主要取决于 DITHER 设置。

公式 4-9:

$$SFDR(dB) = 10\log\left(\frac{FundamentalPower}{HighestSpurPower}\right)$$

4.13 MCP3901 $\Delta\Sigma$ 结构

MCP3901 包含两个多位结构的 $\Delta\Sigma$ ADC。 $\Delta\Sigma$ ADC 是一种过采样转换器，它包括内置调制器，用于将调制器环路中积分产生的电荷量进行数字化（见图 5-1）。量化器是进行模拟到数字转换的功能块。量化器通常采用 1 位，或简单的比较器，这样有利于维持 ADC 的线性性能（这种情况下的 DAC 结构具有固有的线性度）。

多位量化器用于降低量化误差（采用 1 位量化器时反馈进回路的误差有可能很大），而无需改变调制器的级数或 OSR，从而获得更佳的 SNR 数值。然而，通常很难得到这种结构的线性度，因为无法采用简化的方式来实现 DAC，进而 DAC 的线性度限制了 ADC 的 THD 参数。

MCP3901 的 5 级量化器采用闪烁式 ADC，包括四个相等门限值和温度计式编码的比较器。MCP3901 包括了获专利的 5 级 DAC 结构，其固有的线性度提高了 THD 数值。

4.14 闲音

$\Delta\Sigma$ 转换器为一种积分式转换器。它具有有限的量化级 (LSB)，这些量化级可由其量化器检测。低于量化级的直流输入电压仅提供全零的输出结果，因为输入信号太小而无法被检测到。由于是积分器件，因此所有的 $\Delta\Sigma$ 转换器都会出现闲音。这意味着其输出在一些频率成分上将出现毛刺，这些频率成分取决于量化级电压和输出电压的比例。这些毛刺是经过很长时间的积分时间后，那些低于量化级的输入信号仍被积分并超过量化级时产生的。这将在 ADC 的输出中产生交流频率并显示在 ADC 的输出频谱中。

闲音是量化过程和转换器没有被复位而一直在进行积分而产生的固有残留。它们是转换过程有限分辨率的残留。它们很难被衰减，因为它们主要取决于输入信号。即使在直流输入时，它们也会降低转换器的 SFDR 和 THD。它们也可以处于转换器的基带中，因此很难从实际输入信号中滤除掉。

对于电表应用，闲音非常棘手。因为即使在 50 或 60 Hz 频率（取决于 ADC 的直流失调）时，也会检测到功率，而此时并没有功率施加到输入端。抑制或衰减闲音现象惟一可行的方法就是对 ADC 进行抖动处理。闲音的幅度是调制器的级数、OSR 和调制器中量化器的级数的函数。采用高阶调制器，更高的 OSR 或更多级数的量化器可衰减闲音的幅度。

4.15 抖动处理

为了抑制或衰减出现在 $\Delta\Sigma$ ADC 中的闲音，可以对 ADC 进行抖动处理。抖动处理就是向 ADC 的反馈回路中增加误差，从而对其输出“去相关”并“中断”闲音反应。通常使用随机或伪随机发生器在 $\Delta\Sigma$ ADC 的反馈回路中增加模拟或数字误差，使得其输出不会产生闲音反应。此误差能够被反馈回路滤除，通常其平均值为零，因而转换器的静态传输函数不受抖动处理过程影响。然而，抖动处理在减小闲音反应并因此提高 SFDR 和 THD 时，会略微增加噪声阈值（因为它增加了器件噪声）。（见图 2-10 和图 2-14）。抖动处理扰乱了闲音，使其成为基带白噪声并确保动态参数（SNR、SINAD、THD 和 SFDR）与信号的相关性减弱。MCP3901 的两个 ADC 中采用了获专利的抖动处理算法，用来移除闲音并提高 THD，这对电表应用极为关键。

4.16 交调

交调定义为一个 ADC 通道对另一个 ADC 通道的干扰。它用于测量同一个芯片中两个 ADC 通道间的隔离性。

测量分两个步骤：

1. 在另外一个 ADC 没有干扰（ADC 输入短路）的情况下测量一个 ADC 输入。
2. 对另外一个 ADC 输入施加给定频率的正弦波干扰信号，此时测量同一个 ADC 的输入。

交调等于施加干扰以及没有施加干扰时 ADC 的输出功率比值除以干扰信号的功率。

交调值越高意味着两个通道间具有更高的无关性和隔离度。

在下列条件下对信号进行测量：

- GAIN = 1
- PRESCALE = 1
- OSR = 256
- MCLK = 4 MHz

步骤 1

- CH0+=CH0- = AGND
- CH1+=CH1- = AGND

步骤 2

- CH0+=CH0- = AGND
- CH1+ - CH1- = 1V_{P-P} @ 50/60 Hz（满量程正弦波）

然后，采用下列公式计算交调：

公式 4-10：

$$CTalk(dB) = 10\log\left(\frac{\Delta CH0Power}{\Delta CHIPower}\right)$$

4.17 PSRR

PSRR 为电源电压的变化与 ADC 输出代码间的比值。它测量电源电压对 ADC 输出的影响。

PSRR 规范可针对直流（电源具有多个直流值）或交流（共模情况下，共模输入电压在给定频率下为正弦波）。在交流情况下，正弦波的幅度代表电源电压的变化。

它定义为：

公式 4-11：

$$PSRR(dB) = 20\log\left(\frac{\Delta V_{OUT}}{\Delta V_{DD}}\right)$$

其中 V_{OUT} 为输出代码根据 ADC 传输函数转换得到的等效输入电压。在 MCP3901 规范中， AV_{DD} 在 4.5V 至 5.5V 间变化，同时对于交流 AC PSRR，选择 50/60 Hz 正弦波，其中心约为 5V，幅度为 500 mV。PSRR 规范在 $AV_{DD} = DV_{DD}$ 时进行测量。

4.18 CMRR

CMRR 为共模输入电压的变化与 ADC 输出代码的比值。它测量共模输入电压对 ADC 输出的影响。

CMRR 规范可针对直流（共模输入电压具有多个直流值）或交流（共模情况下，共模输入电压在给定频率下为正弦波）。在交流情况下，正弦波的幅度代表着电源电压的变化。

它定义为：

公式 4-12：

$$CMRR(dB) = 20\log\left(\frac{\Delta V_{OUT}}{\Delta V_{CM}}\right)$$

其中 $V_{CM} = (CHn+ + CHn-)/2$ 为共模输入电压， V_{OUT} 为根据 ADC 传输函数输出代码转换得到的等效输入电压。在 MCP3901 规范中， V_{CM} 在 -1V 到 +1V 间变化，而对于交流 AC 规范，选择 50/60 Hz 正弦波，其中心约为 0V，幅度为 500 mV。

4.19 ADC 复位模式

进入 ADC 复位模式（也称为软件复位模式）仅可通过将配置寄存器中 RESET<1:0> 位设置为实现。此模式在转换器有效的条件下定义，但其输出强制为 0。

此复位模式下，寄存器不受影响并保持其值。

离开此复位模式后（在 sinc 滤波器设定 3/DRCLK 的时间后），ADC 立即输出有意义的代码。通过设置配置寄存器中的位进入和退出此复位模式。

每个转换器可单独设置成软件复位模式。软件复位模式并不改变配置寄存器。

在复位模式时，ADC 不产生数据就绪脉冲。

复位模式也影响调制器输出功能块，如 MDAT 引脚，此时相应的通道处于复位状态。如果使能，它将提供对应于零输出的位流（连续并重复输出一系列 0011 位）。

当 ADC 退出 ADC 复位模式时，仍保持着进入复位前出现的相位延迟。如果其中一个 ADC 不处于复位状态，那么退出复位模式的 ADC 将根据相位寄存器功能块的设置自动重新同步，并保持相对于另一个 ADC 通道的相位延迟，并输出相应的 DR 脉冲。

如果一个 ADC 处于复位模式，而另一个 ADC 仍在进行转换，则并未关断内部时钟。当从复位状态下退出时，它将与复位时未关断的内部时钟自动重新同步。

如果两个 ADC 均处于软件复位或关断模式，那么时钟将不会分配到数字电路以保持低功耗。一旦任意 ADC 恢复到正常工作模式，则时钟将自动重新分配。

4.20 硬件复位模式 ($\overline{\text{RESET}} = 0$)

当产生上电复位 (POR) 或 $\overline{\text{RESET}}$ 引脚被拉低时，器件将进入此模式。 $\overline{\text{RESET}}$ 引脚处于低电平状态将使器件进入硬件复位模式。

在此模式，所有内部寄存器复位到其默认状态。

模拟功能块的支流偏置仍然有效，因此 MCP3901 准备好开始转换。然而，该引脚将清除 ADC 内所有的转换数据。在此模式，MDAT 输出为高阻抗。两个 ADC 的比较器输出强制进入其复位状态 (0011)。SINC 滤波器及其两个输出缓冲器也被复位。关于最小脉冲低电平串行时序，请参见第 1.0 节“电气特性”中。

在硬件复位期间，器件无法进行通信。数字接口也保持在复位状态。

4.21 ADC 关断模式

ADC 关断模式定义为关闭转换器及其偏置，仅消耗泄漏电流的状态。当关断模式移除后，在输出有用代码前，需要一个启动延迟时间 (SINC 滤波器的设定时间)。启动延迟用于启动被关断的通道中的所有直流偏置。此延迟与 t_{POR} 相同，在此延迟期间输出的任何 $\overline{\text{DR}}$ 脉冲应丢弃掉。

每个转换器可单独被设置成关断模式。关断模式并不改变 CONFIG 寄存器。只有通过 CONFIG2 寄存器中 SHUTDOWN<1:0> 位编程才能进入此模式。

当 ADC 处于关断时，输出数据将被设置成全零。同样，在 ADC 处于关断模式时，ADC 不产生数据就绪脉冲。

ADC 关断模式也影响调制器输出功能块，例如，如果处于关断模式的通道被使能，那么 MDAT 引脚将提供对应于零输出的位流（连续而重复的 0011 串行位流）。

当 ADC 退出 ADC 关断模式时，保持进入关断前的相位延迟。如果其中一个 ADC 不处于复位状态，那么退出复位模式的 ADC 将根据相位寄存器功能块的设置自动重新同步，并保持相对于另一个 ADC 通道的相位延迟，并输出相应的 DR 脉冲。

如果一个 ADC 被置为关断模式，而另一个 ADC 仍在进行转换，那么不关断其内部时钟。当退出关断模式时，它将利用在复位时未停止的时钟自动重新同步。

如果两个 ADC 均处于 ADC 复位或 ADC 关断模式，那么时钟将不会分配到数字内核，以使其工作在低功耗模式。一旦任意一个 ADC 恢复到正常工作，则时钟自动进行分配。

4.22 完全关断模式

当 SHUTDOWN<1:0>=11, VREFEXT=CLKEXT=1 时，可达到最低的功耗。此模式也称为“完全关断模式”，所有模拟电路被禁止。在此模式下，POR 中 AV_{DD} 监视电路也被禁止。当时钟空闲 (CLKI = 0 或 1 并连续) 时，芯片内部没有时钟传输。两个 ADC 处于关断状态，内部参考电压被禁止，同时内部振荡器也被禁止。

惟一保持有效的电路为 SPI 接口，但是此电路并不消耗任何静态功率。如果 SCK 处于空闲，惟一的电流消耗为晶体管导致的泄漏电流，对于每个电源来说，此泄漏电流低于 $1 \mu\text{A}$ 。

此模式可用来完全关断芯片，并在没有模拟输入及数据转换时节省功耗。在此模式中，任何 SCK 或 MCLK 边沿将产生动态功耗。

一旦 SHUTDOWN, CLKEXT 和 VREFEXT 中的任意位恢复为 0，则 POR AV_{DD} 监视功能块恢复正常功能，并开始监视 AV_{DD} 。

5.0 器件概述

5.1 模拟输入 (CHn+/-)

MCP3901 的模拟输入可直接连接到电流和电压传感器（如分流器、电流变压器或 Rogowski 线圈）。每个输入引脚均由专门的 ESD 结构保护，经认证可承受 7 kV HBM 和 400V MM 接触电荷。这些结构还允许在其输入端施加双极 $\pm 6V$ 的连续电压（相对于 AGND）而造成器件的永久损坏。

两个通道均有完全的差分电压输入，以获得最佳的噪声性能。每个引脚上相对于 AGND 的绝对电压应在工作时保持在 $\pm 1V$ 范围内，以保证规定的 ADC 精度。对共模信号应进行适当处理，使其同时符合先前的条件以及差分输入电压范围。为达到最佳性能，共模信号应保持以 AGND 为参考电位。

5.2 可编程增益放大器 (PGA)

在每个 $\Delta\Sigma$ ADC 的前端均有一个可编程增益放大器 (Programmable Gain Amplifier, PGA)。它们具有两个功能：将相对于 AGND 的共模输入信号转变成处于 AGND 和 A_{VDD} 间的内部电压，以及对输入差分信号进行放大。对共模信号的转变并不改变差分信号，只是改变了其中心点，使得输入信号可以被准确地放大。

PGA 功能块可用于放大很小的信号，但不能超过 $\Delta\Sigma$ 调制器的差分输入电压范围。PGA 由 GAIN 寄存器中 PGA_CHn<2:0> 位的设置进行控制。下表显示了 PGA 的增益设置：

表 5-1: PGA 配置设置

增益 PGA_CHn<2:0>			增益 (V/V)	增益 (dB)	V_{IN} 范围 (V)
0	0	0	1	0	± 0.5
0	0	1	2	6	± 0.25
0	1	0	4	12	± 0.125
0	1	1	8	18	± 0.0625
1	0	0	16	24	± 0.03125
1	0	1	32	30	± 0.015625

5.3 $\Delta\Sigma$ 调制器

5.3.1 结构

MCP3901 内部的两个 ADC 是完全相同的。它们包括一个多位 DAC 结构的二阶调制器（见图 5-1）。量化器采用闪烁式 ADC，包括四个阈值间隔相等的比较器和温度补偿式输出编码。获专利的 5 级结构保证调制器的输出具有最小的量化噪声，同时不会影响线性度或产生额外的失真。采样频率为 DMCLK（当 MCLK=4 MHz 时其典型值为 1 MHz），因此调制器的输出将以 DMCLK 速率进行更新。调制器的输出可在 MOD 寄存器中实现或从每个 MDAT 引脚串行传输。

两个调制器包含抖动处理算法，该算法可通过配置寄存器中的 DITHER<1:0> 位进行使能。该抖动算法处理将提高 THD 和 SFDR 性能（针对高 OSR 设置），而仅稍微增加 ADC 的背景噪声。对于电表应用以及对失真敏感的应用，建议使能两个 ADC 的 DITHER。在电表应用中，THD 和 SFDR 是需要优化的关键参数，而 SNR（背景噪声）并不重要，因为要对 ADC 的输出进行大量的平均，因此即使对于低 OSR 设置，抖动算法对于应用的性能具有正面影响。

图 5-1 显示了 MCP3901 中 $\Delta\Sigma$ ADC 的简化框图。

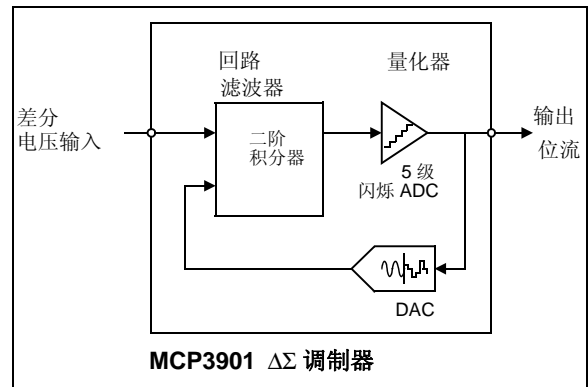


图 5-1: 简化的 $\Delta\Sigma$ ADC 框图

5.3.2 调制器输入范围和饱和点

对于规定的 2.4V 参考电压，调制器规定的差分输入电压范围为 ± 500 mV。输入电压范围与 V_{REF} 成正比，并与 V_{REF} 电压成比例。此电压范围保证调制器在幅度和频率变化时保持稳定。超过此电压范围，调制器仍然工作，但是无法保证其稳定性，因此不建议在应用中使用输入电压超过此阈值。调制器的饱和点为 $V_{REF}/3$ ，因为 ADC 的传输函数包含 3 倍默认值的增益（独立于 PGA 设置。见第 5.6 节“ADC 输出代码”）。

5.3.3 升压模式

每个通道的 $\Delta\Sigma$ 调制器也包含一个独立的升压模式。如果相应的 $BOOST<1:0>$ 位使能，那么调制器的功耗将加倍，同时其带宽增加，以在保持 ADC 精度的同时支持高达 8.192 MHz 的 AMCLK 时钟频率。当禁止时，在不影响 ADC 精度的情况下，其功耗恢复到正常，AMCLK 时钟频率仅能支持到 5 MHz。

5.4 调制器输出功能块

如果用户希望使用器件的调制器输出，那么必须在配置寄存器中设置相应位，以使能调制器输出。

当 $MODOUT<1:0>$ 使能时，一旦发出命令，则相应通道的调制器输出将出现在对应的 MDAT 输出引脚。

由于 $\Delta\Sigma$ 调制器具有 5 级输出，其输出由 4 个比较器的温度计式编码状态决定。其输出由 4 个位表示，每一位给出对应比较器的状态（见表 5-2）。这些位出现在 MOD 寄存器中，并以 DMCLK 速率进行更新。

为了在单独引脚（MDAT0 和 MDAT1）上输出比较器的结果，这些比较器输出位被重新安排，从而能以 AMCLK 速率串行输出（见图 5-2）。

这些 1 位串行位流与 1 位 DAC 调制器按采样频率 AMCLK 产生的位流相同。调制器可以看作是以 DMCLK 速率产生的 5 级输出或是以 AMCLK 速率产生的 1 位输出，这两种表示方式可互换。MDAT 输出可用于需要 1 位调制器输出的任何应用中。这些应用通常集成有 SINC 或利用 MCU 或 DSP 进行计算的复杂抽取滤波器，这些滤波器对此 1 位位流进行滤波处理。

表 5-2: $\Delta\Sigma$ 调制器编码

Comp<3:0> 代码	调制器输出代码	MDAT 串行流
1111	+2	1111
0111	+1	0111
0011	0	0011
0001	-1	0001
0000	-2	0000

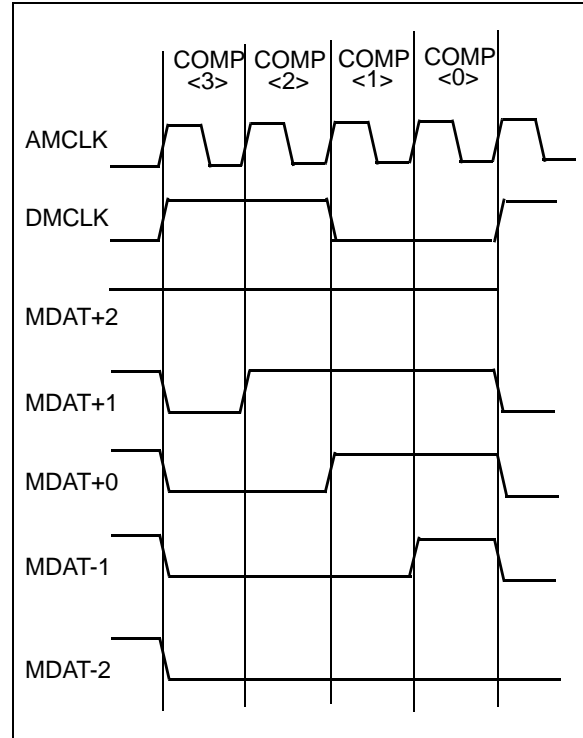


图 5-2: 调制器输出代码模式下 MDAT 串行输出

由于复位和关断 SPI 命令是异步的，因此每次器件退出复位和关断时，MDAT 引脚将与 DMCLK 时钟重新同步。这意味着复位后，在第一个 DMCLK 上升沿时，MDAT 的第一个输出总是 0011。

5.5 SINC³ 滤波器

MCP3901 内的两个 ADC 均包括一个抽取滤波器，该抽取滤波器为三阶 sinc（或陷波）滤波器。此滤波器将多位流转换成 16 或 24 位字（取决于 WIDTH 配置位）。滤波器的稳定时间为 3 个 DMCLK 周期。避免数据损坏，建议丢弃未稳定的数据，这可通过将 STATUS/COM 寄存器的 DR_LTY 位设置为高而方便地实现。

在 sinc 滤波器输出端可实现的分辨率（即 ADC 的输出分辨率）取决于 OSR，并在下表中总结了 ADC 的分辨率与 OSR 间的关系：

表 5-3: ADC 分辨率与 OSR 关系

OSR<1:0>		OSR	ADC 分辨率 (位) (无丢失码)
0	0	32	17
0	1	64	20
1	0	128	23
1	1	256	24

对于 24 位模式（WIDTH=1），分辨率低于 24 位时，在 sinc 滤波器的输出的低位填充零。

对于 16 位输出模式，sinc 滤波器的输出取整成最接近的 16 位数，以保持 16 位字，同时使截尾误差最小。

对于此滤波器，在每个 DMCLK（1 MHz 典型值）整数倍处其传递函数增益为 1，因此必须在输入端放置合适的抗混叠滤波器，以衰减 DMCLK 附近的频率成分，并在转换器的基带内保持所需的精度。这种抗混叠滤波器可以是简单的一阶 RC 网络，具有足够低的时间常数，可以在 DMCLK 频率上产生高抑制能力。

公式 5-1: SINC 滤波器传递函数 H (Z)

$$H(z) = \left(\frac{1 - z^{-OSR}}{OSR(1 - z^{-1})} \right)^3$$

其中：

$$z = \exp\left(\frac{2\pi f j}{DMCLK}\right)$$

正常模式抑制比（Normal-Mode Rejection Ratio, NMRR）或传递函数的增益由以下公式给出：

公式 5-2: H (f) 幅频响应

$$NMRR(f) = \left| \frac{\text{sinc}\left(\pi \cdot \frac{f}{DMCLK}\right)}{\text{sinc}\left(\pi \cdot \frac{f}{DRCLK}\right)} \right|^3$$

或：

$$NMRR(f) = \left| \frac{\text{sinc}\left(\pi \cdot \frac{f}{f_D}\right)}{\text{sinc}\left(\pi \cdot \frac{f}{f_S}\right)} \right|^3$$

其中：

$$\text{sinc}(x) = \frac{\sin(x)}{x}$$

图 5-3 显示了 sinc 滤波器的频率响应：

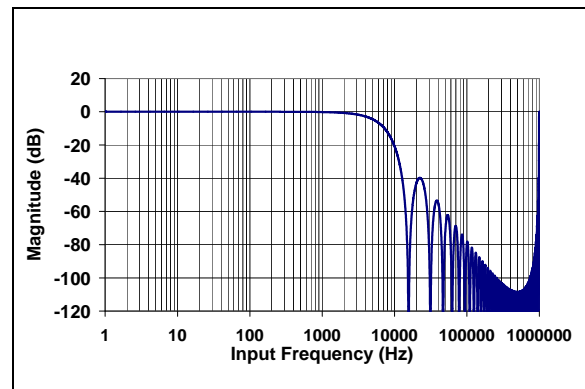


图 5-3: SINC 滤波器响应 (MCLK = 4 MHz, OSR = 64, PRESCALE = 1)

MCP3901

5.6 ADC 输出代码

二阶调制器、SINC³滤波器、PGA、V_{REF}和模拟输入结构共同产生了器件模拟到数字转换的传递函数，如公式 5-3 所示。

通道的数据为 16 位或 24 位字格式，表示为 23 位或 15 位加符号位，并采用二进制补码格式，以及 MSB（靠左）调整。

基于相关通道的 WIDTH 位设置，ADC 数据为两字节或三字节宽。16 位模式将数据取整成最接近的 16 位字（而不是截尾）以提高 ADC 数据的精度。

在正饱和（CH_{n+} - CH_{n-} > V_{REF}/3）时，输出被锁定成 7FFFFFFF（对于 24 位模式），或锁定成 7FFF（对于 16 位模式）。在负饱和（CH_{n+} - CH_{n-} < -V_{REF}/3）时，输出代码被锁定成 800000（对于 24 位模式），或锁定成 8000（对于 16 位模式）。

公式 5-3 仅适用于直流输入。对于交流输入，此传递函数需要与 SINC³滤波器的传递函数相乘以产生整个器件的传递函数（见公式 5-1 和公式 5-2）。

公式 5-3:

$$DATA_CHn = \left(\frac{CH_{n+} - CH_{n-}}{V_{REF+} - V_{REF-}} \right) \times 8,388,608 \times G \times 3 \quad (\text{对于 24 位模式或 WIDTH} = 1)$$

$$DATA_CHn = \left(\frac{CH_{n+} - CH_{n-}}{V_{REF+} - V_{REF-}} \right) \times 32,768 \times G \times 3 \quad (\text{对应 16 位模式或 WIDTH} = 0)$$

5.6.1 ADC 分辨率与 OSR 的函数关系

ADC 的分辨率是 OSR 的函数（见第 5.5 节“SINC³滤波器”）。两个通道的分辨率保持相同。如果 OSR 没有大到产生 24 位分辨率（经过左调整），那么不管分辨率如何，ADC 的输出数据总是保持为后面带添加零的 24 位字。

表 5-4: OSR = 256 时输出代码示例

ADC 输出代码 (MSB 在先)	十六进制	十进制
0 1	0x7FFFFFFF	+ 8,388,607
0 1 0	0x7FFFFFFE	+ 8,388,606
0 0	0x000000	0
1 1	0xFFFFF	-1
1 0 1	0x800001	- 8,388,607
1 0	0x800000	- 8,388,608

表 5-5: OSR = 128 时输出代码示例

ADC 输出代码 (MSB 在先)	十六进制	十进制 23 位分辨率
0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0	0x7FFFFE	+ 4,194,303
0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0	0x7FFFFC	+ 4,194,302
0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x000000	0
1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0	0xFFFFE	-1
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0	0x800002	- 4,194,303
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x800000	- 4,194,304

表 5-6: OSR = 64 时输出代码示例

ADC 输出代码 (MSB 在先)	十六进制	十进制 20 位分辨率
0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0 0 0 0	0x7FFFF0	+ 524, 287
0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0 0 0 0 0	0x7FFFE0	+ 524, 286
0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x000000	0
1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0 0 0 0	0xFFFFF0	-1
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1	0x800010	- 524,287
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x800000	- 524, 288

表 5-7: OSR = 32 时输出代码示例

ADC 输出代码 (MSB 在先)	十六进制	十进制 17 位分辨率
0 1 1 1 1 1 1 1 1 1 1 0 0 0 0 0 0 0 0 0	0x7FFF80	+ 65, 535
0 1 1 1 1 1 1 1 1 1 1 0 0 0 0 0 0 0 0 0	0x7FFF00	+ 65, 534
0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x000000	0
1 1 1 1 1 1 1 1 1 1 1 0 0 0 0 0 0 0 0 0	0xFFFF80	-1
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0	0x800080	- 65,535
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x800000	- 65, 536

5.7 参考电压

5.7.1 内部参考电压

MCP3901 包含一个特别设计的内部参考电压源，用于将随温度产生的偏移减到最小。为使能内部参考电压，配置寄存器中的 VREFEXT 位必须设置为 0（默认模式）。该内部 V_{REF} 为两个 ADC 通道提供参考电压。该参考电压的典型值为 $2.37V \pm 2\%$ 。内部参考电压典型的温度系数非常低，仅为 $\pm 12 \text{ ppm}/^\circ\text{C}$ ，这使输出代码相对于温度的变化最小，因为输出代码与 $(1/V_{REF})$ 成正比。

与外部的精密低噪声参考电压相比，内部参考电压的噪声足够低而不至于对 ADC 的 SNR 产生显著影响。

内部参考电压的输出引脚为 REFIN+/OUT。

当使能内部参考电压时，REFIN- 引脚应始终连接到 AGND。

为达到最优的 ADC 精度，必须在 REFIN+/OUT 和 AGND 间连接合适的旁路电容。在采样频率（约 1 MHz）处去耦很重要，因为在此频率附近的任何噪声在转换数据中都会产生混叠。建议采用 0.1 μF 的陶瓷电容和 10 μF 的钽电容。

这些旁路电容对 ADC 的正常工作并不是必须的，但去掉这些电容将会降低 ADC 的精度。在参考电压输出给其他电路的应用中，这些旁路电容也是有帮助的。这种情况下，由于参考电压输出的驱动能力很低，可能需要额外的缓冲器对参考电压进行缓冲。

5.7.2 外部差分参考输入

当 VREFEXT 位为高时，则两个参考引脚（REFIN+/OUT 和 REFIN-）变成了差分参考电压输入引脚。REFIN+/OUT 上的电压记作 V_{REF+} ，而 REFIN- 引脚上的电压记作 V_{REF-} 。以下公式给出了差分输入电压值：

公式 5-4:

$$V_{REF} = V_{REF+} - V_{REF-}$$

V_{REF} 规定的范围为 2.2V 至 2.6V。REFIN- 引脚电压 (V_{REF-}) 应限制在 $\pm 0.3V$ 。通常，对于单端参考源应用，REFIN- 引脚应直接连接到 AGND。

5.8 上电复位

MCP3901 包含内部 POR 电路，可在工作时监视模拟电源电压 AV_{DD} 。上电时检测的典型阈值为 $4.2V \pm 5\%$ 。POR 电路带有能获得改善的瞬态尖峰抑制能力的内置迟滞，其典型值为 200 mV。合适的去耦电容（0.1 μF 的陶瓷电容和 10 μF 的钽电容）应以尽可能靠近地连接到 AV_{DD} 引脚，以提供额外的瞬态抑制能力。

图 5-4 所示为典型情况下上电和掉电的不同情形。在发生系统上电复位（POR）至少 50 μs 后，所有内部直流偏置才稳定。应忽略系统复位后在此期间的任何 \overline{DR} 脉冲。上电复位（POR）后， \overline{DR} 脉冲以配置寄存器中默认条件的设置出现在 \overline{DR} 引脚。

AV_{DD} 和 DV_{DD} 是独立的电源。由于 AV_{DD} 是唯一监视的电源，所以强烈建议在上电顺序时先给 DV_{DD} 上电。如果 AV_{DD} 先上电，那么强烈建议在整个上电顺序期间，将 \overline{RESET} 引脚一直保持为低电平。

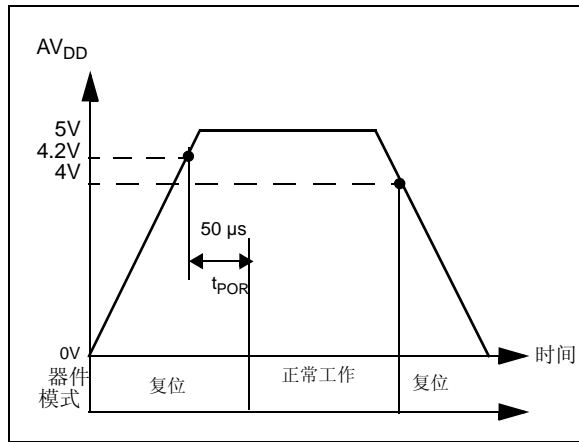


图 5-4: 上电复位操作

5.9 \overline{RESET} 对 $\Delta\Sigma$ 调制器/SINC滤波器的影响

当 \overline{RESET} 引脚处于低电平，两个 ADC 将处于复位状态，并输出代码 0x0000h。 \overline{RESET} 引脚将执行硬件复位（仍施加直流偏置，器件准备开始转换）并清除 $\Delta\Sigma$ 调制器中保留的所有电荷。对于每个 ADC，其比较器输出为 0011。

SINC 滤波器及其两个输出缓冲器都被复位。此引脚（ \overline{RESET} ）独立于串行接口。它将使 CONFIG 寄存器置位为默认状态。当 \overline{RESET} 为低电平，通过 SPI 接口的任何写操作将被禁止，并不会产生任何影响。所有输出引脚（ \overline{SDO} 、 \overline{DR} 和 $MDAT0/1$ ）为高阻抗，芯片内部没有时钟传输。

5.10 相位延迟功能块

MCP3901 包含一个相位延迟发生器，它确保两个 ADC 以固定延迟间隔对输入进行转换。两个 ADC 同步进行采样，但是对调制器输出进行平均会延迟，因此 SINC 滤波器输出（即 ADC 输出）具有固定的相位延迟，其数值由 PHASE 寄存器的设置决定。

相位寄存器（PHASE<7:0>）为 7 位加符号位格式，MSB 在先，并采用二进制补码格式，此寄存器用于指示通道 0 和通道 1 间的相位延迟大小。用于延迟的参考通道为通道 1（在电表应用中，此通道通常为电压通道）。当 PHASE<7:0> 为正值时，通道 0 滞后于通道 1；当 PHASE<7:0> 为负值时，通道 0 先于通道 1。两个 ADC 转换的延迟时间由下列公式给出：

公式 5-5:

$$Delay = \frac{Phase\ Register\ Code}{DMCLK}$$

相位延迟的时序分辨率为 $1/DMCLK$ 或 1 μs （采用默认配置，同时 $MCLK = 4\ MHz$ ）。

数据就绪信号也受相位延迟设置的影响。通常，通道 0 和通道 1 的数据就绪脉冲的时间差等于相位延迟设定值。

注： 有关数据就绪脉冲（ \overline{DR} ）及其相位延迟的详细解释在第 6.10 节“数据准备锁存和数据准备模式（ $DRMODE<1:0>$ ）”中。

5.10.1 相位延迟限制

相位延迟仅可从 $-OSR/2$ 变化到 $+OSR/2 - 1$ 。这能设置微调相位分辨率。相位寄存器采用二进制补码的方式进行编码。

如果需要在两个通道间增加很大的延迟，那么可通过使用外部的 MCU 芯片来实现。MCU 内的 FIFO 可以将超前通道 N 个 DRCLK 时钟的输入数据保存起来。因此，DRCLK 可对时间分辨率进行粗调，而 DMCLK 对时间分辨率进行微调。总的时间延迟等于：

$$\text{延迟} = N/\text{DRCLK} + \text{PHASE}/\text{DMCLK}$$

只需在 $OSR=256$ 时编程相位延迟寄存器，随后其数值将根据 OSR 而自动调整，而无需每次改变 PHASE 寄存器中的数值。

- **OSR=256:** 延迟的范围为 -128 至 +127。
PHASE<7> 为符号位，Phase<6> 为 MSB，PHASE<0> 为 LSB。
- **OSR=128:** 延迟的范围为 -64 至 +63。
PHASE<6> 为符号位，Phase<5> 为 MSB，PHASE<0> 为 LSB。
- **OSR=64:** 延迟的范围为 -32 至 +31。
PHASE<5> 为符号位，Phase<4> 为最高位 MSB，PHASE<0> 为最低位 LSB。
- **OSR=32:** 延迟的范围为 -16 至 +15。
PHASE<4> 为符号位，Phase<3> 为 MSB，PHASE<0> 为 LSB。

表 5-8: 相位值 (MCLK = 4 MHz, OSR = 256)

相位寄存器值	十六进制	延迟 (CH0 相对于 CH1)
0 1 1 1 1 1 1 1	0x7F	+ 127 μ s
0 1 1 1 1 1 1 0	0x7E	+ 126 μ s
0 0 0 0 0 0 0 1	0x01	+ 1 μ s
0 0 0 0 0 0 0 0	0x00	0 μ s
1 1 1 1 1 1 1 1	0xFF	- 1 μ s
1 0 0 0 0 0 0 1	0x81	- 127 μ s
1 0 0 0 0 0 0 0	0x80	-128 μ s

5.11 晶体振荡器

MCP3901 包含一个皮尔斯石英振荡器，具有很高的稳定性，并能确保在时钟产生时具有很低的温漂和抖动。在使用合适的负载电容和选择合适品质因子的晶体时，此振荡器可以处理高达 16.384 MHz 的晶体频率。

为达到规定的 ADC 精度，在 BOOST 关闭或为 1 时，AMCLK 应该保持在 1 MHz 至 5 MHz 之间，在 BOOST 开启时，AMCLK 应保持在 1 MHz 至 8.192 MHz 之间。如果预分频器时钟设置允许 AMCLK 满足这些频率范围，就可使用更高的 MCLK 频率。

为保证正常的启动，需在 OSC1 和 DGND 以及 OSC2 和 DGND 间连接晶振的负载电容。电容值应满足以下公式：

公式 5-6:

$$R_M < 1.6 \times 10^6 \times \left(\frac{f}{C_{LOAD}} \right)^2$$

其中：

- f = 晶振频率 (MHz)
- C_{LOAD} = 负载电容 (pF)，包括 PCB 引起的寄生电容
- R_M = 晶体的谐振电阻 (Ω)

当 CLKEXT=1 时，石英振荡器被数字缓冲器旁路，因此可以直接使用外部时钟作为时钟输入（见图 1-5）。

MCP3901

注:

6.0 串行接口概述

6.1 概述

MCP3901 器件兼容 SPI 模式 0,0 和模式 1,1。数据在 SCK 的下降沿从 MCP3901 移出，而在 SCK 的上升沿移入 MCP3901。在两种模式下，SCK 的空闲状态可以为高电平或低电平。

每个 SPI 通信以 \overline{CS} 的下降沿开始，并以 \overline{CS} 的上升沿终止。每个 SPI 通信相互独立。当 \overline{CS} 处于高电平时，SDO 为高阻抗，SCK 和 SDI 上的信号跳变不会产生任何影响。其他控制信号： \overline{RESET} 、 \overline{DR} 和 MDAT0/1 具有独立的引脚，可用于高级通信。

MCP3901 接口采用简单的命令结构。最先发送的字节总是控制 CONTROL 字节，紧接着是 8 位宽的数据字节。默认时，两个 ADC 连续进行数据转换，并可通过 CONFIG2 寄存器的设置进行复位或关闭。

由于每个 ADC 数据为 16 或 24 位（取决于 WIDTH 位设置），内部寄存器在不同配置下（通过 READ 位设置）可按组的方式进行读取，从而可以通过一次通信来方便的读取数据。当对器件读取时，内部地址计数器自动增加，从而对寄存器映射中组数据进行循环读取。SDO 将输出控制字节定义地址 ADDRESS (A<4:0>) 所寻址的数据，紧接着是 ADDRESS+1 寻址的数据，ADDRESS+1 寻址取决于 READ<1:0> 位设置选择的寄存器组。这些寄存器组在第 7.1 节“ADC 通道数据输出寄存器”（寄存器映射）中定义。

数据就绪引脚 (\overline{DR}) 可用作 MCU 的中断，当 ADC 通道产生新数据时，该引脚输出脉冲。 \overline{RESET} 引脚可以作为硬件复位，并可将器件复位成其上电时的默认配置。MDAT0/1 引脚可提供调制器输出（见第 5.4 节“调制器输出功能块”）。

6.2 控制字节

MCP3901 的控制字节包括两个器件地址位 A<6:5>，5 个寄存器地址位 A<4:0> 和读 / 写位 (R/W)。最先发送到 MCP3901 的字节总是控制字节。

MCP3901 接口采用器件寻址的方式（通过 A<6:5>），因此多个 MCP3901 芯片可以连接到同一个 SPI 总线而不会造成数据总线冲突。因此在三相电表系统中，可以通过单个 SPI 总线（单个 \overline{CS} 、SCK、SDI 和 SDO 引脚）来控制三个 MCP3901 芯片。

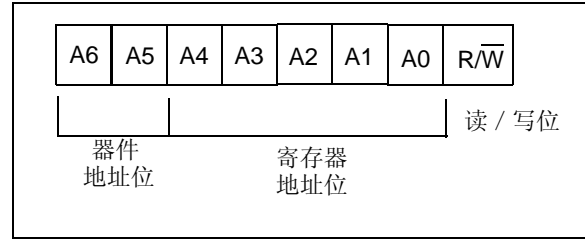


图 6-1: 控制字节

默认的器件地址位为 00。联系 Microchip 工厂以获得其他器件地址位。更多详细信息，请参见“产品标识体系”。

读取未定义地址的器件，将在第一及随后所有发送字节中返回全零输出。对未定义地址的器件进行写操作，不会对器件产生影响，地址计数器不会增加。

第 7.1 节“ADC 通道数据输出寄存器”定义了寄存器映射。

6.3 读取器件

读取的第一个数据字节为 CONTROL 字节中定义地址对应的数据。发送完第一个字节后，如果 \overline{CS} 引脚仍保持低电平，那么继续进行通信，下一个发送字节的地址由 STATUS/COM 寄存器中 READ 位的状态决定。可通过设置 READ<1:0> 位实现多个循环配置，从而地址将自动增加（见第 6.6 节“SPI 模式 0,0—时钟空闲为低电平，读 / 写示例”）。

6.4 写器件

写入器件的第一个数据字节为控制字节定义地址单元。写通信为随后的字节写入而自动增加地址。

在同一次通信 (\overline{CS} 保持低电平) 中，下一个数据发送的字节地址为寄存器映射中定义的下一个地址。到达寄存器映射的结尾时，地址循环到寄存器映射的开始处。写入不可写的寄存器将不会产生任何影响。

在写通信时，SDO 引脚保持高阻抗状态。

6.5 SPI 模式 1,1—时钟空闲为高电平，读 / 写示例

在此 SPI 模式下，时钟空闲时为高电平。对于 MCP3901，这意味着在上升沿之前为一个下降沿。

注：可以将 SPI 模式 1,1 改变成 SPI 模式 0,0，但是需要在两个模式之间增加一个 RESET 脉冲，以确保通信正确。

MCP3901

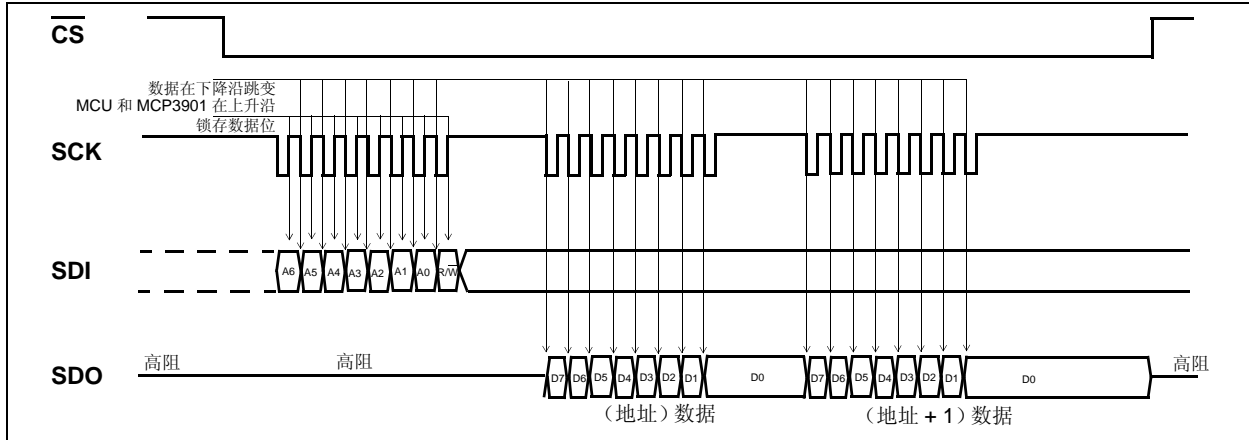


图 6-2: 读器件 (SPI 模式 1,1—时钟空闲为高电平)

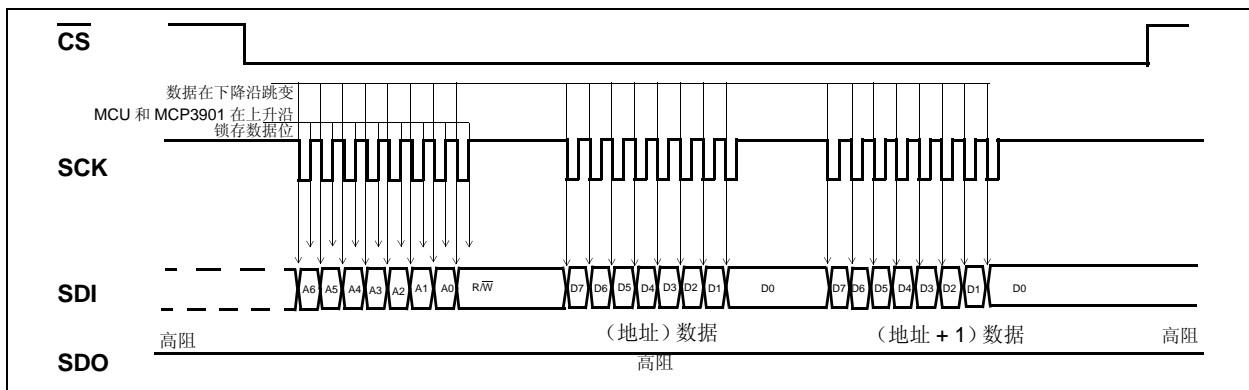


图 6-3: 写器件 (SPI 模式 1,1—时钟空闲为高电平)

6.6 SPI 模式 0,0—时钟空闲为低电平, 读/写示例

在此 SPI 模式, 时钟空闲时为低电平。对于 MCP3901, 这意味着在下降沿之前为一个上升沿。

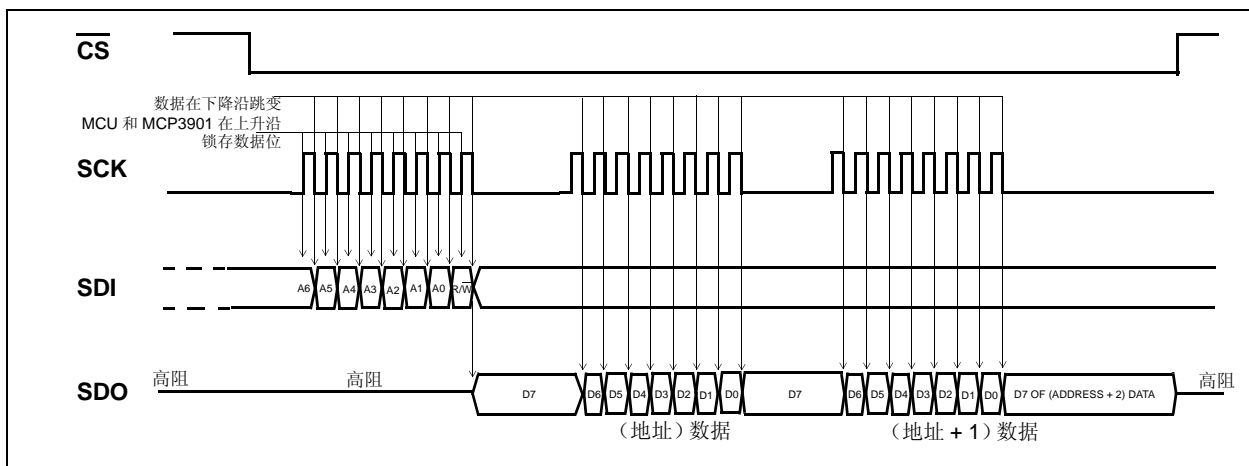


图 6-4: 读器件 (SPI 模式 0,0—时钟空闲为低电平)

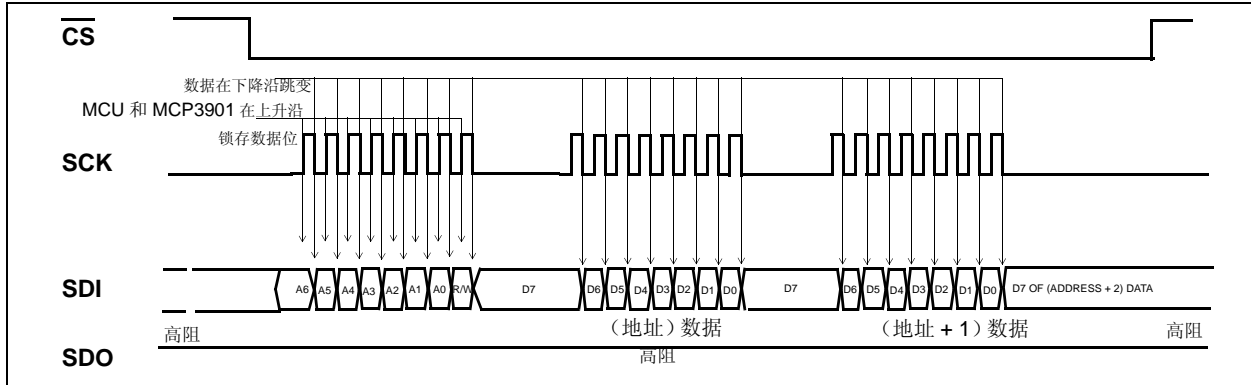


图 6-5: 写器件 (SPI 模式 0,0—时钟空闲为低电平)

6.7 连续通信, 地址集循环

如果用户希望连续读取某个 ADC 通道, 或连续读取两个通道, 那么可将 MCP3901 的内部地址计数器针对特定寄存器集设置成循环模式。此时, 仅需 SDI 上的一个控制字节就可以启动通信。器件一直保持此循环读取, 直到 CS 变成高电平。

内部地址计数器可用于实现下列功能:

- 连续读一个 ADC 通道的数据
- 连续读两个 ADC 通道的数据 (两个 ADC 的数据可独立, 也可基于 DRMODE 设置链接在一起)
- 连续读取整个寄存器映射
- 连续读取单个寄存器
- 连续读所有的配置寄存器
- 在一次通信中写所有配置寄存器 (见图 6-6)

STATUS/COM 寄存器中包含了内部地址计数器 (READ<1:0>) 的循环设置。内部地址计数器即可保持恒定 (READ<1:0>=00) 并连续读取同一字节, 或自动递增并在寄存器组 (在 (READ<1:0>=01) 中定义)、寄存器类型 (在 READ<1:0>=10 中定义) 或整个寄存器映射 (在 READ<1:0>=11 中定义) 中循环。

每个通道可被独立配置成 16 位或 24 位数据字, 这取决于 CONFIG1 寄存器中对应的 WIDTH 位设置。

当 WIDTH=0 (16 位) 时, 对于连续读取, ADC 数据的低字节并没有被读取, 器件自动跳到接下来的地址 (若 WIDTH=0, 由于低字节的数据为未定义, 所以用户并不需要移出这些位)。

下图为在两种 WIDTH 设置时, 使用默认设置 (DRMODE<1:0>=00, READ<1:0>=10) 时典型的连续读通信。该配置通常适合于电表应用。

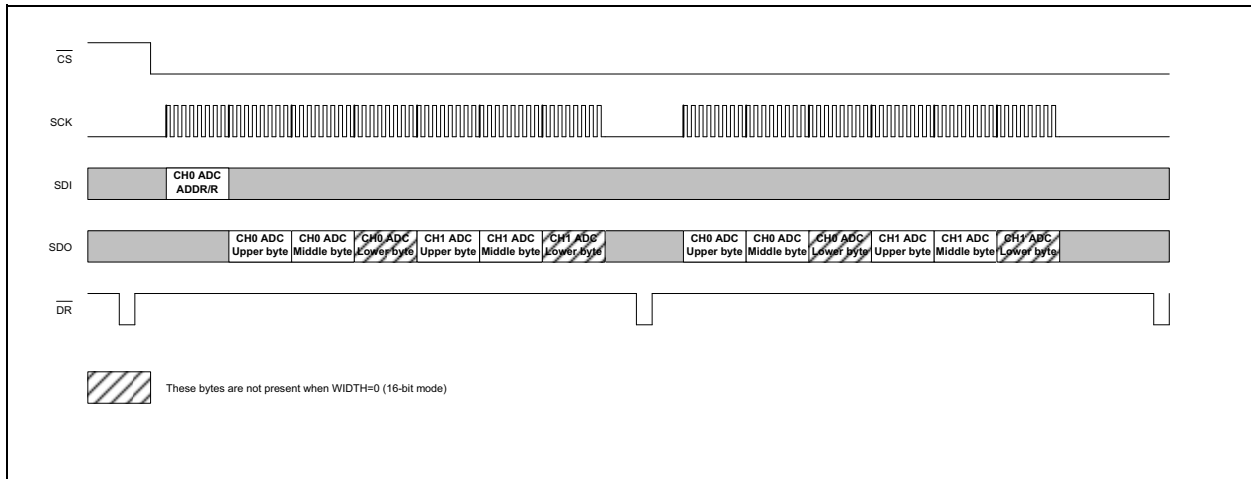


图 6-6: 典型的连续读通信

MCP3901

6.7.1 连续写

上电时两个 ADC 采用其默认配置，并开始输出 \overline{DR} 脉冲（默认时 RESET<1:0> 和 SHUTDOWN<1:0> 位关闭）。

两个 ADC 默认输出代码为全零。两个 ADC 的调制器输出默认值为 0011（对应于理论的零伏输入电压）。两个通道的默认相位值为零。

建议在上电后，将两个 ADC 置于 ADC 复位模式，因为所需的 MCP3901 寄存器也可能并未处于默认设置。此时 ADC 会输出非期望的数据。在 ADC 复位模式（RESET<1:0>=11），用户可使用单次通信而对整个器件进行配置。写命令将自动递增地址，因此用户可在一个通信中开始写 PHASE 寄存器并结束写 CONFIG2 寄存器而完成整个配置（见图 6-6）。CONFIG2 寄存器中的 RESET<1:0> 位允许退出软件复位模式，并仅使用一个命令对整个器件进行配置并准备好运行。

以下寄存器集可以被定义成寄存器组：

表 6-1: 寄存器组

组	地址
ADC DATA CH0	0x00 - 0x02
ADC DATA CH1	0x03 - 0x05
MOD, PHASE, GAIN	0x06 - 0x08
CONFIG, STATUS	0x09 - 0x0B

以下寄存器集可以被定义成寄存器类型：

表 6-2: 寄存器类型

类型	地址
ADC DATA (两个通道)	0x00 - 0x05
CONFIGURATION	0x06 - 0x0B

6.8 复位 ADC 数据的情形

出现下列情形时，ADC 立即会暂时复位，从而可提供正常运行：

1. 改变 PHASE 寄存器。
2. 改变 OSR 设置。
3. 改变 PRESCALE 设置。
4. 对同一个 PHASE 寄存器的值覆写。
5. 改变 CONFIG2 寄存器中 CLKEXT 位，从而改变内部振荡器状态。

在这些暂时复位后，ADC 无需额外的命令即可恢复成正常工作模式。这也是影响 DR 位置的设置。如果对 PHASE 寄存器写入同样的数值，那么可以利用 PHASE 寄存器并采用串行方式对 ADC 进行软复位，而无需使用配置寄存器中 RESET 位。

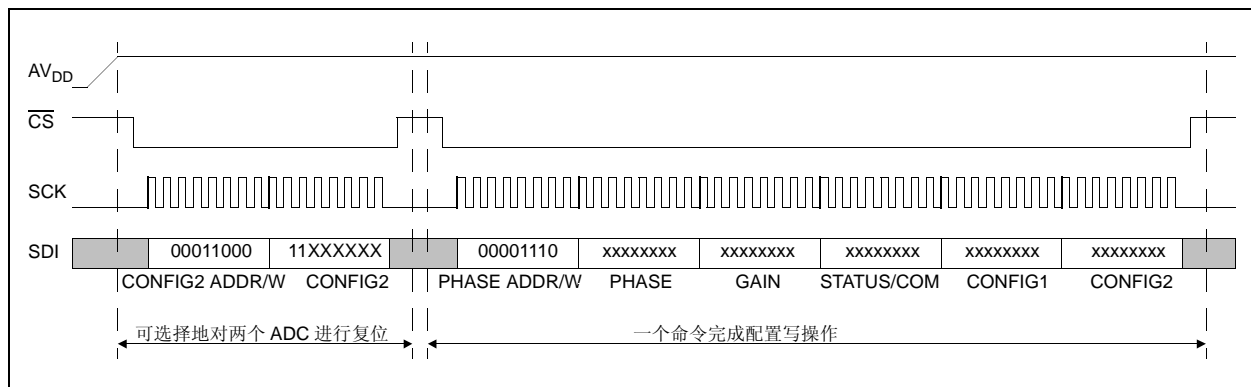


图 6-7: 上电时建议配置序列

6.9 数据就绪引脚 (\overline{DR})

为指示通道数据已就绪并可开始传输时，在每个通道转换结束时在数据就绪引脚 (\overline{DR}) 上输出低电平有效的数据就绪脉冲。

数据就绪引脚输出低电平有效脉冲，其周期等于 DRCLK 的时钟周期，其宽度等于一个 DMCLK 周期。

当此引脚处于非低电平有效状态时，其状态为高阻抗（当 DR_HIZN=0）或预先定义的逻辑高状态（当 DR_HIZN=1）。这由配置寄存器的设置来控制。因此在 3 相电表设计中允许多个器件共享同一个数据就绪引脚（在 \overline{DR} 和 DV_{DD} 间需连接上拉电阻），这样能减小单片机引脚数。如果总线上只有单个器件，那么不需要连接上拉电阻。

产生数据就绪脉冲后，可通过 SPI 通信来读取 ADC 输出数据。在 ADC 输出的两组锁存器可防止输出数据混乱（见第 6.10 节“数据准备锁存和数据准备模式 (DRMODE<1:0>)”）。

\overline{CS} 引脚并不影响 \overline{DR} 引脚，这意味着如果 \overline{CS} 为高电平，器件仍提供数据就绪脉冲（除非其配置阻止输出数据就绪脉冲）。 \overline{DR} 引脚连接到 MCU 或 DSP 时，它可以用作 MCU 或 DSP 的中断。当 \overline{RESET} 引脚为低电平时， \overline{DR} 引脚将无效。

6.10 数据准备锁存和数据准备模式 (DRMODE<1:0>)

不管一个或两个通道的相位延迟设置如何，为保证在 SPI 读时两个通道的 ADC 数据同时出现，使用两组串联的锁存器，并同时提供数据就绪和‘启动读’触发。

当数据就绪时，第一组锁存器在数据就绪时保留每个输出，并在 DRMODE<1:0>=00 时将两个输出级锁存在一起。当启动此模式时，两个 ADC 同时工作，并在每个数据就绪脉冲后产生一个数据集（对应于滞后的 ADC 数据就绪信号）。第二组锁存器确保开始读取 ADC 输出时，相应的数据被锁存而不会发生数据损坏。

如果已经开始读取 ADC，只有完成当前的读取后（需从 ADC 输出数据寄存器中读出所有的位），才能读取下一个 ADC 输出。

6.10.1 使用 DRMODE 位控制数据就绪引脚 (\overline{DR})

有四种模式可控制数据就绪脉冲，这些模式通过 STATUS/COM 寄存器中 DRMODE<1:0> 位来进行设置。对于电表应用，建议选用 DRMODE<1:0>=00，模式（默认模式）。

\overline{DR} 脉冲的位置随模式类型、OSR 和 PHASE 设置而变化：

- **DRMODE<1:0> = 11:** ADC 通道 0 和 ADC 通道 1 的数据就绪脉冲同时出现在 \overline{DR} 引脚
- **DRMODE<1:0> = 10:** ADC 通道 1 的数据就绪脉冲出现在 \overline{DR} 引脚。ADC 通道 0 的数据就绪脉冲 \overline{DR} 未出现在此引脚。
- **DRMODE<1:0> = 01:** ADC 通道 0 的数据就绪脉冲同时出现在 \overline{DR} 引脚。ADC 通道 1 的数据就绪脉冲 \overline{DR} 未出现在此引脚。
- **DRMODE<1:0> = 00:**（建议使用且为默认模式）。两个 ADC 中滞后的 ADC 通道的数据就绪脉冲输出到 \overline{DR} 引脚。滞后 ADC 的选择取决于相位寄存器和 OSR 设置。在此模式下，当滞后 ADC 的输出就绪时，两个 ADC 被链接在一起，因此它们的数据也被锁存在一起。

6.10.2 关断或复位条件下 $\overline{\text{DR}}$ 脉冲

如果 $\text{DRMODE}\langle 1:0 \rangle = 00$ ，那么当其中一个或两个 ADC 处于复位或关断状态时，将不会出现 $\overline{\text{DR}}$ 脉冲。在模式 00 时，只有当两个 ADC 均就绪才产生 $\overline{\text{DR}}$ 脉冲。任何 $\overline{\text{DR}}$ 脉冲将对应于两个 ADC 的一个数据。两个 ADC 链接在一起，因此好像两个 ADC 的数据结合在一起而成为一个通道。这种模式很实用，因为此时两个 ADC 通道的数据可以被同步读取和处理，在电表应用中就采用了。

注： 如果 $\text{DRMODE}\langle 1:0 \rangle = 11$ ，用户仍然能够读取未被关断或复位的 ADC 的 $\overline{\text{DR}}$ 脉冲，例如，仅其中的一个 ADC 通道处于唤醒状态。

图 6-8 显示了在施加关断或复位信号时，不同 DRMODE 和 DR_LTY 配置下的数据就绪引脚的特性。

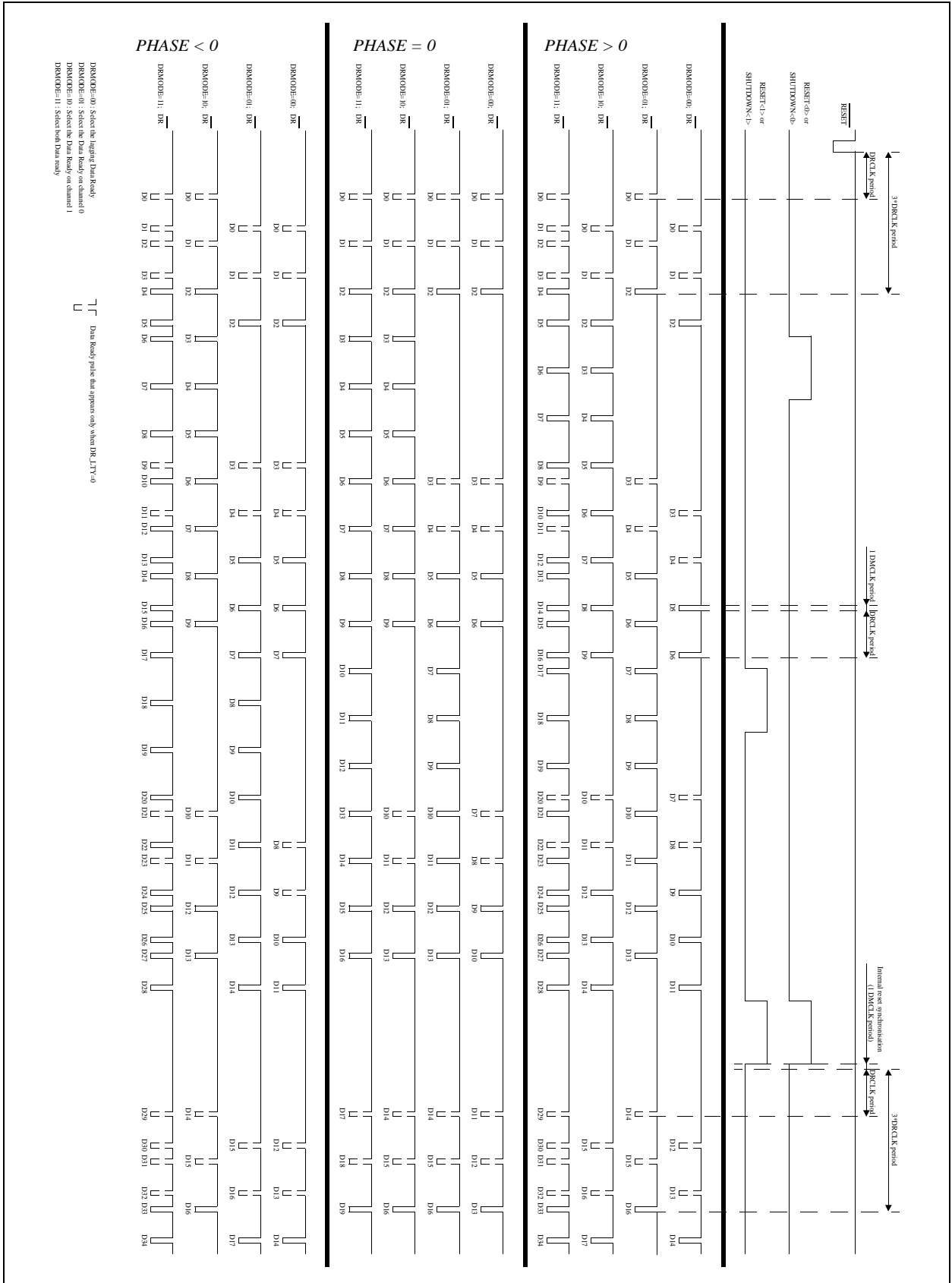


图 6-8: 数据就绪特性

MCP3901

注:

7.0 内部寄存器

与内部寄存器相关的地址如下所示。以下将对各寄存器进行详细介绍。所有的寄存器为 8 位长，并可以单独寻址。在地址集中 READ 模式对连续读取通信定义了寄存器组和类型。

表 7-1: 寄存器映射

地址	名称	位	R/W	描述
0x00	DATA_CH0	24	R	通道 0 ADC 数据 <23:0>, 首先读取 MSB
0x03	DATA_CH1	24	R	通道 1 ADC 数据 <23:0>, 首先读取 MSB
0x06	MOD	8	R/W	$\Delta\Sigma$ 调制器输出寄存器
0x07	PHASE	8	R/W	相位延迟配置寄存器
0x08	GAIN	8	R/W	增益配置寄存器
0x09	STATUS/COM	8	R/W	状态 / 通信寄存器
0x0A	CONFIG1	8	R/W	配置寄存器 1
0x0B	CONFIG2	8	R/W	配置寄存器 2

表 7-2: 连续读模式下寄存器映射组

功能	地址	READ<1:0>		
		=“01”	=“10”	=“11”
DATA_CH0	0x00	组	类型	整个寄存器 循环映射
	0x01			
	0x02			
DATA_CH1	0x03	组	类型	
	0x04			
	0x05			
MOD	0x06	组	类型	
PHASE	0x07			
GAIN	0x08			
STATUS/ COM	0x09	组	类型	
CONFIG1	0x0A			
CONFIG2	0x0B			

MCP3901

7.1 ADC 通道数据输出寄存器

ADC通道数据输出寄存器总是包含每个通道最新的A/D转换数据。这些寄存器为只读寄存器。它们可以单独读取，或链接在一起读取（通过设置 READ<1:0> 位）。当正在进行 ADC 读通信时，这些寄存器被锁存。在读通信时，当发生数据就绪事件，则最新的 ADC 数据被

锁存，以避免产生数据损坏问题。每个通道的三个字节数据以 DRCLK 速率而同步更新。如果需要，这三个字节也可以被单独读取，但是它们仍然被同步更新。

寄存器 7-1: 通道输出寄存器: 地址 0X00-0X02: CH0 ; 0X03-0X05: CH1

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
DATA_CHn <23>	DATA_CHn <22>	DATA_CHn <21>	DATA_CHn <20>	DATA_CHn <19>	DATA_CHn <18>	DATA_CHn <17>	DATA_CHn <16>
bit 23							bit 16

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
DATA_CHn <15>	DATA_CHn <14>	DATA_CHn <13>	DATA_CHn <12>	DATA_CHn <11>	DATA_CHn <10>	DATA_CHn <9>	DATA_CHn <8>
bit 15							bit 8

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
DATA_CHn <7>	DATA_CHn <6>	DATA_CHn <5>	DATA_CHn <4>	DATA_CHn <3>	DATA_CHn <2>	DATA_CHn <1>	DATA_CHn <0>
bit 7							bit 0

图注:							
R = 可读位	W = 可写位	U = 未实现位, 读为 0					
-n = POR 时的值	'1' = 置 1	'0' = 清零	x = 未知				

7.2 调制器输出寄存器

MOD 寄存器包含着最新的调制器输出数据。默认值为对应这两个 ADC 在 0V 输入时的等效值。此寄存器中的每一位对应于一个通道的每一个比较器输出。

该寄存器应被用作只读寄存器（注 1）。

该寄存器以 DMCLK 的速率更新（在 MCLK=4 MHz 时，其典型值为 1 MHz）。

更多详细信息，请参见第 5.4 节“调制器输出功能块”。

寄存器 7-2: 调制器输出寄存器 (MOD): 地址 0X06

R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-1	R/W-1
COMP3 _CH1	COMP2 _CH1	COMP1 _CH1	COMP0 _CH1	COMP3 _CH0	COMP2 _CH0	COMP1 _CH0	COMP0 _CH0
bit 7							bit 0

图注:

R = 可读位

W = 可写位

U = 未实现位，读为 0

-n = POR 时的值

‘1’ = 置 1

‘0’ = 清零

x = 未知

bit 7:4 **COMPn_CH1:** 来自通道 1 调制器中比较器输出

bit 3:0 **COMPn_CH0:** 来自通道 0 调制器中比较器输出

注 1: 可对该寄存器写，以覆写调制器输出数据，但是在此的任何写操作将中断在接下来 3 个数据就绪脉冲的 ADC_DATA。

MCP3901

7.3 PHASE 寄存器

PHASE 寄存器 (PHASE<7:0>) 为 7 位加符号位格式, MSB 在先, 并采用二进制补码格式, 此寄存器用于指示通道 0 和通道 1 间的相位延迟大小。

用于延迟的参考通道为通道 1 (在电表应用中, 此通道通常为电压通道)。当 PHASE 寄存器代码为正值时, 通道 0 滞后于通道 1。

当 PHASE 寄存器代码为负值时, 通道 0 超前于通道 1。延迟时间由以下公式给出:

公式 7-1:

$$Delay = \frac{Phase\ Register\ Code}{DMCLK}$$

7.3.1 从 OSR 推导相位分辨率

相位延迟的时间分辨率为 1/DMCLK 或 1 μs (采用默认配置, 同时 MCLK = 4 MHz)。PHASE 寄存器的代码取决于 OSR 设置:

- **OSR=256:** 延迟的范围为 -128 至 +127。PHASE<7> 为符号位, Phase<6> 为 MSB, PHASE<0> 为 LSB。
- **OSR=128:** 延迟的范围为 -64 至 +63。PHASE<6> 为符号位, Phase<5> 为 MSB, PHASE<0> 为 LSB。
- **OSR=64:** 延迟的范围为 -32 至 +31。PHASE<5> 为符号位, Phase<4> 为 MSB, PHASE<0> 为 LSB。
- **OSR=32:** 延迟的范围为 -16 至 +15。PHASE<4> 为符号位, Phase<3> 为 MSB, PHASE<0> 为 LSB。

寄存器 7-3: 相位寄存器 (PHASE): 地址 0X07

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PHASE<7>	PHASE<6>	PHASE<5>	PHASE<4>	PHASE<3>	PHASE<2>	PHASE<1>	PHASE<0>
bit 7							bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
-n = POR 时的值 '1' = 置 1 '0' = 清零 x = 未知

bit 7:0 **CH0 相对于 CH1 的相位延迟**

延迟 = PHASE 寄存器的二进制补码代码 / DMCLK (默认时 PHASE=0)

7.4 增益配置寄存器

此寄存器包含每个通道 PGA 增益的设置，以及每个通道的 BOOST 选项。

寄存器 7-4: 增益配置器 (GAIN) -> 地址 0X08

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PGA_CH1 <2>	PGA_CH1 <1>	PGA_CH1 <0>	BOOST_ CH1	BOOST_ CH0	PGA_CH0 <2>	PGA_CH0 <1>	PGA_CH0 <0>
bit 7							bit 0

图注:

R = 可读位

W = 可写位

U = 未实现位，读为 0

-n = POR 时的值

'1' = 置 1

'0' = 清零

x = 未知

bit 7:5 **PGA_CH1<2:0>**: 通道 1 的 PGA 设置

- 111 = 保留 (增益 = 1)
- 110 = 保留 (增益 = 1)
- 101 = 增益为 32
- 100 = 增益为 16
- 011 = 增益为 8
- 010 = 增益为 4
- 001 = 增益为 2
- 000 = 增益为 1

bit 4:3 **BOOST<1:0>**: 高速工作时电流放大比例

- 11 = 两个通道的电流 x2
- 10 = 通道 1 的电流 x2
- 01 = 通道 0 的电流 x2
- 00 = 没有通道的电流 x2

bit 2:0 **PGA_CH0<2:0>**: 通道 0 的 PGA 设置

- 111 = 保留 (增益 = 1)
- 110 = 保留 (增益 = 1)
- 101 = 增益为 32
- 100 = 增益为 16
- 011 = 增益为 8
- 010 = 增益为 4
- 001 = 增益为 2
- 000 = 增益为 1

7.5 状态和通信寄存器

这个寄存器含有与通信有关的所有设置，包括数据就绪设置及状态，以及读模式设置。

7.5.1 数据就绪 (\overline{DR}) 延迟控制 — DR_LTY

此位确定第一个数据就绪脉冲是对应于 SINC³ 滤波器的稳定的数据还是未稳定的数据。未稳定的数据将在每个 DRCLK 周期提供 \overline{DR} 脉冲。如果设置此位，那么未稳定的数据将等待 3 个 DRCLK 周期才给出 \overline{DR} 脉冲，然后在每个 DRCLK 周期给出 \overline{DR} 脉冲。

7.5.2 数据就绪 (\overline{DR}) 引脚高阻抗 — DR_HIZN

此位定义了数据就绪引脚在无效时的状态（逻辑 1 或高阻抗）。通过使用此位，用户可通过在同一 \overline{DR} 引脚上连接上拉电阻（DR_HIZN=0）而连接多个芯片或无需外部元件连接单个芯片。

7.5.3 数据就绪模式 — DRMODE<1:0>

如果其中一个通道处于复位或关断状态，那么仅出现一个数据就绪脉冲，其情形与 DRMODE = 01 或 10 类似。在 01, 10 和 11 模式，需要读取的 ADC 通道数据在读取开始时被锁存，从而可避免在读期间由于出现 \overline{DR} 脉冲而导致数据出错。在这些模式下，两个通道是相互独立的。

当这些位等于 11、10 或 01，它们将控制哪个 ADC 的数据就绪信号出现在 \overline{DR} 引脚。当 DRMODE=00 时，数据就绪脉冲输出滞后的 ADC 通道（由 PHASE 寄存器定义）同步，同时两个 ADC 被链接在一起。在此模式，在产生 \overline{DR} 事件时，两个 ADC 的输出被同步锁存。这可以防止两个 ADC 间的不同步。在一个读操作开始时，输出也被锁存，以保证在读取时数据不会被更新，而得到错误的的结果。

对于电表应用，此模式非常有用。即使在两个通道间具有很大的相位延迟情况下，也可以使用单个数据就绪事件并且同步处理。此模式工作时就像只有一个 ADC 通道，其数据为 48 位长且包含两个通道的数据。作为序列方式，如果一个通道处于复位或关断（DRMODE=00），在输出端将不会产生数据就绪脉冲（如果在此模式下，两个通道均未就绪，那么认为整个数据未就绪）。

关于数据就绪引脚特性的更多详细信息，请参见第 6.9 节“数据就绪引脚（DR）”。

7.5.4 DR 状态标志 — DRSTATUS<1:0>

这些位分别指示两个通道的 \overline{DR} 状态。在每次读取 STATUS/COM 寄存器后，这些标志位将设置成逻辑高电平。当相应 ADC 通道产生 \overline{DR} 事件时这些位将被清零，对这些位的写不会产生影响。

注： 当多个器件共享一个 \overline{DR} 输出引脚（DR_HIZN=0）时，为了了解哪个器件触发了 \overline{DR} 事件时，这些位尤其有用。这种配置可用于三相电表系统中，此时所有三相共享一个数据就绪引脚。此时，DRMODE=00（ADC 链接在一起），这些数据就绪状态位同时同步更新（当滞后的 ADC 就绪时）。当为了节省 MCU 的 I/O 引脚而未使用 \overline{DR} 引脚时，这些状态位同样有用。

寄存器 7-5: 状态和通信寄存器 -> 地址 0X09

R/W-1	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0	R-1	R-1
READ<1>	READ<0>	DR_LTY	DR_HIZN	DRMODE<1>	DRMODE<0>	DRSTATUS_ CH1	DRSTATUS_ CH0
bit 7						bit 0	

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 '1' = 置 1 '0' = 清零 x = 未知

- bit 7:6 **READ:** 地址循环设置
 11 = 整个寄存器映射的地址计数器循环
 10 = 寄存器类型的地址计数器循环 (默认值)
 01 = 寄存器组的地址计数器循环
 00 = 地址计数不递增, 连续读取单个寄存器
- bit 5 **DR_LTY:** 数据就绪延迟控制
 1 = “无延迟”转换, 每 3 个 DRCLK 周期后提供 \overline{DR} 脉冲 (默认值)
 0 = 在每个 DRCLK 周期后, 提供未稳定的数据
- bit 4 **DR_HIZn:** 数据就绪引脚无效时状态控制
 1 = 当数据未就绪时, 此引脚的默认状态为逻辑高电平。
 0 = 当数据未就绪时, 此引脚的默认状态为高阻抗 (默认值)。
- bit 3:2 **DRMODE<1:0>:** 数据就绪引脚 (DR) 控制
 11 = ADC 通道 0 和 ADC 通道 1 的数据就绪脉冲同时输出到 \overline{DR} 引脚。
 10 = ADC 通道 1 的数据就绪脉冲输出到 \overline{DR} 引脚。ADC 通道 0 的 \overline{DR} 信号未出现在此引脚。
 01 = ADC 通道 0 的数据就绪脉冲输出到 \overline{DR} 引脚。ADC 通道 1 的 \overline{DR} 信号未出现在此引脚。
 00 = 两个 ADC 中滞后的 ADC 通道的数据就绪脉冲输出到 \overline{DR} 引脚。滞后 ADC 的选择取决于相位寄存器和 OSR 设置 (默认值)。
- bit 1:0 **DRSTATUS<1:0>:** 数据就绪状态
 11 = ADC 通道 1 和通道 0 数据未就绪 (默认值)
 10 = ADC 通道 1 数据未就绪, ADC 通道 0 数据已就绪
 01 = ADC 通道 0 数据未就绪, ADC 通道 1 数据已就绪
 00 = ADC 通道 1 和通道 0 数据均已就绪

MCP3901

7.6 配置寄存器

的复位和关断状态、抖动算法控制（用于闲音抑制）以及外部 VREF 和外部 CLK 的控制位的设置。

配置寄存器包含对内部时钟预分频器、过采样率、通道 0 和通道 1 宽度（16 位或 24 位）、调制器输出控制、通道

寄存器 7-6: 配置寄存器: CONFIG1: 地址 0X0A, CONFIG2: 地址 0X0B

R/W-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0
PRESCALE <1>	PRESCALE <0>	OSR<1>	OSR<0>	WIDTH _CH1	WIDTH _CH0	MODOUT _CH1	MODOUT _CH0
bit 15						bit 8	
R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0
RESET _CH1	RESET _CH0	SHUTDOWN _CH1	SHUTDOWN _CH0	DITHER _CH1	DITHER _CH0	VREFEXT	CLKEXT
bit 7						bit 0	

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
-n = POR 时的值 '1' = 置 1 '0' = 清零 x = 未知

- bit 15:14 **PRESCALE<1:0>**: 内部主时钟 (AMCLK) 预分频值
 11 = AMCLK = MCLK/8
 10 = AMCLK = MCLK/4
 01 = AMCLK = MCLK/2
 00 = AMCLK = MCLK (默认值)
- bit 13-12 **OSR<1:0>**: $\Delta\Sigma$ A/D 转换的过采样率 (所有通道, DMCLK/DRCLK)
 11 = 256
 10 = 128
 01 = 64 (默认值)
 00 = 32
- bit 11:10 **WIDTH<1:0>**: ADC 通道输出数据字宽度
 1 = 24 位模式
 0 = 16 位模式 (默认值)
- bit 9:8 **MODOUT<1:0>**: MDAT 引脚的调制器输出设置
 11 = CH0 和 CH1 调制器的输出在 MDAT1 和 MDAT0 引脚上
 10 = CH1 ADC 调制器的输出在 MDAT1 引脚上
 01 = CH0 ADC 调制器的输出在 MDAT0 引脚上
 00 = 无调制器输出被使能 (默认值)
- bit 7:6 **RESET<1:0>**: ADC 复位模式设置
 11 = CH0 和 CH1 的 ADC 处于复位模式
 10 = CH1 的 ADC 处于复位模式
 01 = CH0 的 ADC 处于复位模式
 00 = 两个通道均不处于复位模式 (默认值)
- bit 5:4 **SHUTDOWN<1:0>**: ADC 的关断模式设置
 11 = CH0 和 CH1 的 ADC 处于关断模式
 10 = CH1 的 ADC 处于关断模式
 01 = CH0 的 ADC 处于关断模式
 00 = 两个通道均不处于关断模式 (默认值)
- bit 3:2 **DITHER<1:0>**: 抖动电路控制
 11 = 对 CH0 和 CH1 的 ADC 施加抖动电路 (默认值)
 10 = 仅对 CH1 的 ADC 施加抖动电路
 01 = 仅对 CH0 的 ADC 施加抖动电路
 00 = 两个通道均不施加抖动电路

寄存器 7-6: 配置寄存器: CONFIG1: 地址 0X0A, CONFIG2: 地址 0X0B (续)

bit 1 **VREFEXT:** 内部参考电压关断控制

1 = 禁止内部参考电压, 必须在 REFIN+/OUT 和 REFIN- 引脚间提供外部参考电压

0 = 使能内部参考电压 (默认值)

bit 0 **CLKEXT:** 时钟模式

1 = 外部时钟模式 (内部振荡器禁止并旁通—低功耗)

0 = XT 模式 -OSC1/OSC2 引脚间需提供晶体振荡器 (默认值)

MCP3901

注:

8.0 封装信息

8.1 封装标识信息



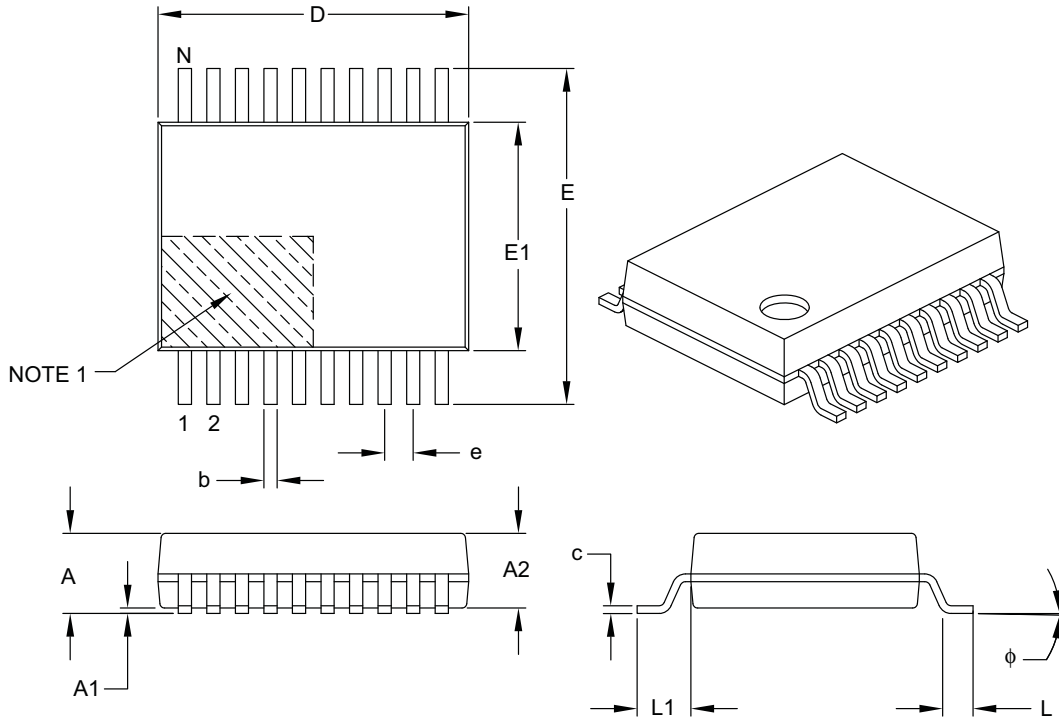
图注: XX...X 客户信息
Y 年份代码 (日历年的最后一位数字)
YY 年份代码 (日历年的最后两位数字)
WW 星期代码 (一月一日的星期代码为“01”)
NNN 以字母数字排序的追踪代码
^{e3} 雾锡 (Matte Tin, Sn) 的 JEDEC 无铅标志
* 表示无铅封装。JEDEC 无铅标志 (^{e3}) 标示于此种封装的外包装上。

注: Microchip 器件编号如果无法在一行内完整标注, 将换行标出, 因此会限制表示客户信息的字符数。

MCP3901

20 引脚塑封缩小外型封装 (SS) —— 5.30 mil 主体 [SSOP]

注：最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Number of Pins	N	20		
Pitch	e	0.65 BSC		
Overall Height	A	–	–	2.00
Molded Package Thickness	A2	1.65	1.75	1.85
Standoff	A1	0.05	–	–
Overall Width	E	7.40	7.80	8.20
Molded Package Width	E1	5.00	5.30	5.60
Overall Length	D	6.90	7.20	7.50
Foot Length	L	0.55	0.75	0.95
Footprint	L1	1.25 REF		
Lead Thickness	c	0.09	–	0.25
Foot Angle	ϕ	0°	4°	8°
Lead Width	b	0.22	–	0.38

Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.20 mm per side.
- Dimensioning and tolerancing per ASME Y14.5M.

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-072B

附录 A: 版本历史

版本 B (2009 年 11 月)

进行了以下修改:

1. 去除了 QFN 封装及其相关参考。

版本 A (2009 年 9 月)

- 本文档的初始版本。

MCP3901

注：

产品标识体系

欲订货，或获取价格、交货等信息，请与我公司生产厂或各销售办事处联系。

部件编号	XX	X	X	XX
器件	地址选项	卷带式	温度范围	封装
器件:	MCP3901: 双通道 $\Delta\Sigma$ A/D 转换器			
地址选项:	XX	A6	A5	
	A0*	= 0	0	
	A1	= 0	1	
	A2	= 1	0	
	A3	= 1	1	
	* 默认选项。联系 Microchip 工厂咨询地址选项			
卷带式:	T	=	卷带式	
温度范围:	I	=	-40°C 至 +85°C	
封装封装:	SS	=	塑料缩小外形封装 (SSOP), 20 引脚	

示例:	
a) MCP3901A0-I/SS:	双通道 $\Delta\Sigma$ A/D 转换器, SSOP-20 封装, 地址选项 = A0
b) MCP3901A0T-I/SS:	卷带式, 双通道 $\Delta\Sigma$ A/D 转换器, SSOP-20 封装, 地址选项 = A0
c) MCP3901A1-I/SS:	双通道 $\Delta\Sigma$ A/D 转换器, SSOP-20 封装, 地址选项 = A1
d) MCP3901A1T-I/SS:	卷带式, 双通道 $\Delta\Sigma$ A/D 转换器, SSOP-20 封装, 地址选项 = A1

MCP3901

注:

请注意以下有关 Microchip 器件代码保护功能的要点:

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信: 在正常使用的情况下, Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前, 仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知, 所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。

代码保护功能处于持续发展中。Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了《数字器件千年版权法案 (Digital Millennium Copyright Act)》。如果这种行为导致他人在未经授权的情况下, 能访问您的软件或其他受版权保护的成果, 您有权依据该法案提起诉讼, 从而制止这种行为。

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分, 因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为您提供便利, 它们可能由更新之信息所替代。确保应用符合技术规范, 是您自身应尽的责任。Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保, 包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和/或生命安全应用, 一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时, 会维护和保障 Microchip 免于承担法律责任, 并加以赔偿。在 Microchip 知识产权保护下, 不得暗或以其他方式转让任何许可证。

商标

Microchip 的名称和徽标组合、Microchip 徽标、dsPIC、KEELOQ、KEELOQ 徽标、MPLAB、PIC、PICmicro、PICSTART、PIC³² 徽标、rfPIC 和 UNI/O 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

FilterLab、Hampshire、HI-TECH C、Linear Active Thermistor、MXDEV、MXLAB、SEEVAL 和 The Embedded Control Solutions Company 均为 Microchip Technology Inc. 在美国的注册商标。

Analog-for-the-Digital Age、Application Maestro、CodeGuard、dsPICDEM、dsPICDEM.net、dsPICworks、dsSPEAK、ECAN、ECONOMONITOR、FanSense、HI-TIDE、In-Circuit Serial Programming、ICSP、Mindi、MiWi、MPASM、MPLAB Certified 徽标、MPLIB、MPLINK、mTouch、Octopus、Omniscient Code Generation、PICC、PICC-18、PICDEM、PICDEM.net、PICKit、PICtail、REAL ICE、rfLAB、Select Mode、Total Endurance、TSHARC、UniWinDriver、WiperLock 和 ZENA 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。

SQTP 是 Microchip Technology Inc. 在美国的服务标记。

在此提及的所有其他商标均为各持有公司所有。

© 2010, Microchip Technology Inc. 版权所有。

ISBN: 978-1-60932-105-5

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
== ISO/TS 16949:2002 ==

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham 的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2002 认证。公司在 PIC[®] MCU 与 dsPIC[®] DSC、KEELOQ[®] 跳码器件、串行 EEPROM、单片机外设、非易失性存储器 and 模拟产品方面的质量体系流程均符合 ISO/TS-16949:2002。此外, Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

全球销售及服务中心

美洲

公司总部 **Corporate Office**
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277

技术支持:
<http://support.microchip.com>
网址: www.microchip.com

亚特兰大 Atlanta

Duluth, GA
Tel: 678-957-9614
Fax: 678-957-1455

波士顿 Boston

Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago

Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

克里夫兰 Cleveland

Independence, OH
Tel: 216-447-0464
Fax: 216-447-0643

达拉斯 Dallas

Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit

Farmington Hills, MI
Tel: 1-248-538-2250
Fax: 1-248-538-2260

科科莫 Kokomo

Kokomo, IN
Tel: 1-765-864-8360
Fax: 1-765-864-8387

洛杉矶 Los Angeles

Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608

圣克拉拉 Santa Clara

Santa Clara, CA
Tel: 408-961-6444
Fax: 408-961-6445

加拿大多伦多 Toronto

Mississauga, Ontario,
Canada
Tel: 1-905-673-0699
Fax: 1-905-673-6509

亚太地区

亚太总部 Asia Pacific Office

Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2401-1200
Fax: 852-2401-3431

中国 - 北京

Tel: 86-10-8528-2100
Fax: 86-10-8528-2104

中国 - 成都

Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 重庆

Tel: 86-23-8980-9588
Fax: 86-23-8980-9500

中国 - 香港特别行政区

Tel: 852-2401-1200
Fax: 852-2401-3431

中国 - 南京

Tel: 86-25-8473-2460
Fax: 86-25-8473-2470

中国 - 青岛

Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海

Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 - 沈阳

Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深圳

Tel: 86-755-8203-2660
Fax: 86-755-8203-1760

中国 - 武汉

Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安

Tel: 86-29-8833-7252
Fax: 86-29-8833-7256

中国 - 厦门

Tel: 86-592-238-8138
Fax: 86-592-238-8130

中国 - 珠海

Tel: 86-756-321-0040
Fax: 86-756-321-0049

台湾地区 - 高雄

Tel: 886-7-536-4818
Fax: 886-7-536-4803

台湾地区 - 台北

Tel: 886-2-2500-6610
Fax: 886-2-2508-0102

亚太地区

台湾地区 - 新竹

Tel: 886-3-6578-300
Fax: 886-3-6578-370

澳大利亚 Australia - Sydney

Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

印度 India - Bangalore

Tel: 91-80-3090-4444
Fax: 91-80-3090-4080

印度 India - New Delhi

Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

印度 India - Pune

Tel: 91-20-2566-1512
Fax: 91-20-2566-1513

日本 Japan - Yokohama

Tel: 81-45-471-6166
Fax: 81-45-471-6122

韩国 Korea - Daegu

Tel: 82-53-744-4301
Fax: 82-53-744-4302

韩国 Korea - Seoul

Tel: 82-2-554-7200
Fax: 82-2-558-5932 或
82-2-558-5934

马来西亚 Malaysia - Kuala Lumpur

Tel: 60-3-6201-9857
Fax: 60-3-6201-9859

马来西亚 Malaysia - Penang

Tel: 60-4-227-8870
Fax: 60-4-227-4068

菲律宾 Philippines - Manila

Tel: 63-2-634-9065
Fax: 63-2-634-9069

新加坡 Singapore

Tel: 65-6334-8870
Fax: 65-6334-8850

泰国 Thailand - Bangkok

Tel: 66-2-694-1351
Fax: 66-2-694-1350

欧洲

奥地利 Austria - Wels

Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦 Denmark - Copenhagen

Tel: 45-4450-2828
Fax: 45-4485-2829

法国 France - Paris

Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

德国 Germany - Munich

Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

意大利 Italy - Milan

Tel: 39-0331-742611
Fax: 39-0331-466781

荷兰 Netherlands - Druenen

Tel: 31-416-690399
Fax: 31-416-690340

西班牙 Spain - Madrid

Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

英国 UK - Wokingham

Tel: 44-118-921-5869
Fax: 44-118-921-5820